

طراحی سیستمهای دیجیتال (FPGA,ASIC)

تکلیف سری چهارم ماشین حالت پروتکل ارتباط SPI را با استفاده از ماشین حالت را پیاده سازی و شبیه سازی کنید.

در این طراحی ورودی ها به صورت زیر خواهند بود:

- یک ورودی ۸ بیتی داده ورودی
- یک ورودی تک بیتی برای فعالسازی پروتکل data ready
 - یک ورودی برای فعالسازی دریافت داده miso in
 - یک ورودی miso مربوط به دریافت سریالی در
 - یک ورودی کلاک سیستم
 - یک ورودی کلاک SPI

خروجي ها:

- خروجی های SCK,MOSI,CS مربوط به ارتباط SPI
- یک خروجی ۸ بیتی داده دریافت شده از طریق MISO
- یک خروجی Data ready out برای تعیین اینکه ۸ بیت با موفقیت دریافت شده است یا نه.

سیستم با کلاک اصلی کار خواهد کرد اما کلاکی که از طریق خروجی SCK ارسال می شود و کلاکی که با آن داده ارسال می شود کلاک SPI خواهد بود که به صورت یک ورودی دیگر تعریف شده است.

ماشين حالت سه حالت send ، idle و tranceive را خواهد داشت.

نحوه ی تغییر حالات بین سه حالت با استفاده از ورودی ها data ready و miso in تعیین می شود.

توضیحات تکمیلی مربوط به این تمرین را در ویدیو آپلود شده مشاهده کنید.

نحوه تحویل: برای هر طراحی دو فایل VHDL آماده نمایید. یک فایل خود طراحی و یک فایل دیگر هم فایل تست طراحی (Test Bench). همچنین یک فایل PDF حداکثر ۱۰ صفحهای شامل نتایج سنتز و شبیه سازی طراحیها نیز آماده نمایید. برای این سری ۲ فایل طراحی همراه با یک فایل pdf را در یک فولدر با نامی به فرمت زیر گذاشته و به صورت یک فایل فشرده در سایت درس بارگذاری نمایید.

فرمت نام فولدر: FullName#9123456#EXS3

از گزارش سنتز فقط قسمتی که اعلام میکند چه مداری استخراج شده و همچنین بخشی که بیان میکند چه درصدی از منابع FPGA استفاده شده است را ارسال نمایید. عکسهای نتایج شبیهسازی باید به وضوح درستی کارکرد قطعه را نشان دهد.

تذكر ١: تمام طراحي ها بايد به صورت قابل سنتز باشد.

تذکر ۲: دانشجویانی که فرمت ارسال تکلیف را رعایت نکنند و یا فایل های اضافه ارسال نمایند، نمره انجام تکلیف را از دست خواهند داد.

تذکر۳: فرض بر این است که برای انجام تکالیف هر دانشجو شخصا، به طور مستقل و بدون همکاری هیچ فرد دیگری وقت صرف میکند. این فرض به روشهای مختلف برای تمام دانشجویان مورد راستی آزمایی قرار خواهد گرفت. دانشجویانی که این فرض را نقض کنند اسم آنها وارد Black List خواهد شد.