

Nombre:

DNI:

Grupo:

## Test de Teoría (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 0.1p si es correcta, 0p si está en blanco o claramente tachada, -0.03p si es errónea.

Anotar las respuestas (a, b, c ó d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

1. ¿Cuál es el valor mínimo (más negativo) que puede tomar un entero de 32 bits en complemento a dos?

- a.  $-2^{32}$
- b.  $-2^{32} + 1$
- c.  $-2^{31}$
- d.  $-2^{31} + 1$

2. Un datapath con bus de direcciones de 32 bits y bus de datos de 16 bits tiene un registro de 16 bits conectado al bus de datos y a la unidad de control. Puede tratarse del registro

- a. IR
- b. SP
- c. MAR
- d. PC

3. ¿Cuál de las siguientes características sobre RISC es **\*FALSA\***?

- a. Para acelerar un procesador RISC se deberían emplear técnicas de segmentación.
- b. Las instrucciones máquina en un procesador RISC deberían ser complejas y potentes.
- c. La decodificación de las instrucciones debe ser simple: un procesador RISC debería emplear pocos formatos de instrucción.
- d. La unidad de control de un procesador RISC debería ser cableada, no microprogramada.

4. ¿Cuál de las siguientes instrucciones máquina copia en el registro EDI la dirección efectiva resultante de la operación  $EAX * 8 + EBX$ ?

- a. `movl (%ebx, %eax, 8), %edx`
- b. `movl 8(%edx, %eax), %edx`
- c. `leal (%ebx, %eax, 8), %edx`
- d. `leal 8(%edx, %eax), %edx`

5. En el contexto general del lenguaje máquina, el acrónimo ISA suele referirse a:

- a. Internal Standard Architecture
- b. Integrated Set Assembly
- c. Instruction System Architecture
- d. Instruction Set Architecture

6. En una suma de dos números en complemento a dos, se produce desbordamiento cuando

- a. Sumamos dos positivos y el resultado es negativo o bien sumamos dos negativos y el resultado es positivo.
- b. Sumamos dos positivos y el resultado es positivo.
- c. Sumamos un número positivo y uno negativo.
- d. Sumamos dos negativos y el resultado es negativo.

7. Usando el repertorio IA32, para intercambiar el valor de 2 registros se pueden usar...

- a. 4 mov, no menos (debido a la arquitectura R/M)
- b. 3 mov, no menos (se le llama "intercambio circular")
- c. dos instrucciones mov
- d. una instrucción mov y una instrucción lea

8. Al ejecutar el fragmento de código:

```
leal    -1(%eax), %edx
cmpl    $9, %edx
ja      .L2
```

se salta a .L2 si el contenido del registro %eax:

- a. es menor o igual que 1
- b. es mayor o igual que 10
- c. está fuera del intervalo [1,10]
- d. está dentro del intervalo [1,10]

9. ¿Cuál de las siguientes instrucciones convierte %eax = 5 \* %eax?

- 1) `mov 4(%eax, %eax), %eax`
- 2) `lea 4(%eax, %eax), %eax`

- a. Sólo la 2
- b. Sólo la 1
- c. Ambas, la 1 y la 2
- d. Ninguna de las dos

10. Si el registro **r12b** contiene la variable booleana **cond**, y **rax** la variable **valor**, la secuencia de instrucciones:

```
testb %r12b, %r12b
movq   $13, %rax
cmovle $17, %rax
```

realiza la operación:

- a. `valor = cond ? 13 : 17;`
- b. `valor = 17;`
- c. `valor = cond ? 17 : 13;`
- d. `valor = 13;`

11. En una matriz declarada como “`int a[n][n];`” en lenguaje C...

- a. los n elementos de una columna se almacenan en memoria de manera contigua
- b. los n elementos de una fila se almacenan en memoria de manera contigua
- c. podría haber huecos de relleno al final de cada columna para alineamiento, dependiendo de n
- d. podría haber huecos de relleno al final de cada fila para alineamiento, dependiendo de n

12. ¿Cuáles de las siguientes señales son entradas a la unidad de control?

- a. El contenido del contador de programa
- b. Las señales de habilitación de buffers triestado entre registros y buses

c. El contenido del registro de instrucción

d. Las señales de control de la ALU

13. Una CPU con bus de direcciones de 64 bits y bus de datos de 32 bits tiene un registro de 64 bits conectado al bus de direcciones de la memoria. Probablemente se trata del registro

- a. IR
- b. MBR
- c. Acumulador
- d. MAR

14. En la secuencia de instrucciones siguiente, siendo el primer registro el destino, ¿cuántos riesgos se dan?

```
sub    r2, r1, r3
or     r8, r6, r1
```

- a. Un riesgo por dependencia de datos
- b. Un riesgo estructural
- c. Un riesgos por dependencia de datos y uno de control
- d. Ninguno

15. Un sistema no segmentado tarda 10 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

- a. 2
- b. 5
- c. 10
- d. 20

16. ¿Cuál de las siguientes técnicas no se puede usar para determinar la causa de una interrupción?

- a. línea de reconocimiento INTA#
- b. interrupciones vectorizadas
- c. consulta de estado, o polling
- d. múltiples líneas de interrupción INT1#, INT2#... con un dispositivo en cada línea

17. Señale cuál de las siguientes opciones es una técnica para llevar a cabo la transferencia de datos entre el computador y los dispositivos de E/S externos:

- a. E/S por flanco
- b. E/S programada
- c. Acceso indirecto a memoria
- d. E/S por nivel

18. ¿Cuál de las siguientes afirmaciones es **\*FALSA\***?

- a. La operación de lectura de una celda DRAM es destructiva
  - b. Las memorias DRAM son en general más lentas que las SRAM
  - c. Una celda DRAM no pierde la información al desconectar la alimentación
  - d. Las memorias DRAM presentan generalmente una capacidad de almacenamiento mayor que las SRAM
- 

19. La memoria DRAM:

- a. Se inventó en la década de los 2000
  - b. Necesita 6 transistores por cada celda
  - c. Se denomina dinámica porque su contenido puede alterarse, al contrario que la SRAM
  - d. Es más densa que la memoria SRAM
- 

20. Indique cuál es la dirección de la instrucción **mov** en el siguiente desensamblado, donde se ha borrado parte de la dirección

```
0804xxxx: 74 12          je 08048391
0804xxxx: b8 00 00 00 00 mov $0, %eax
```

- a.  $08048391 + 12 = 08048403$
  - b.  $08048391 - 12 = 08048379$
  - c. 0804837d
  - d. 0804837f
- 

21. Dada la siguiente declaración en lenguaje C, una estructura de este tipo podría ocupar, bien sea en un sistema Linux IA32 o bien en uno x86-64, un total de...

```
struct a{
    int i;
    double d;
    char c;
    short s; };
```

- a. 18 B
  - b. 20 B
  - c. 22 B
  - d. 24 B
- 

22. Dado un camino de datos concreto, un posible formato de microprogramación se caracteriza como horizontal o vertical según tenga más o menos (señalar la respuesta **\*FALSA\***)

- a. codificación
- b. solapamiento
- c. microbifurcaciones

d. longitud relativa de microinstrucción

---

23. En una unidad de control microprogramada con formato de microinstrucciones vertical, un subcampo que deba especificar 16 señales de control codificadas de tal forma que pueda activarse sólo una o ninguna habrá de tener una anchura mínima de

- a. 4 bits
  - b. 5 bits
  - c. 16 bits
  - d. 17 bits
- 

24. Motivos que impiden que la ganancia (aceleración) de un cauce segmentado sea ideal (señale la respuesta **\*FALSA\***)

- a. registros de acoplo (coste de la segmentación)
  - b. fragmentación desigual (duración desigual de etapas)
  - c. riesgos (*hazards*)
  - d. cola de instrucciones (precaptación)
- 

25. Un procesador de 1 GHz sin segmentación de cauce tarda 4 ns en ejecutar 4 instrucciones. ¿Cuánto tardaría en ejecutar 9 instrucciones una versión de dicho procesador con segmentación de cauce de 4 etapas si no existiera ningún retraso en ninguna de las instrucciones?

- a. 2 ns
  - b. 3 ns
  - c. 4,5 ns
  - d. 9 ns
- 

26. Respecto al salto retardado y al salto anulante, ¿cuál permite que se ejecute la siguiente instrucción, y cuál no?

- a. el retardado ejecuta la siguiente instrucción (con el correspondiente retraso), el anulante no la ejecuta (de hecho la anula)
  - b. el retardado la ejecuta sólo si se cumple la condición de salto, el anulante sólo si no se cumple
  - c. el retardado la ejecuta sólo si no se cumple la condición de salto, el anulante no la ejecuta nunca
  - d. el retardado la ejecuta siempre, el anulante la ejecuta sólo si se cumple la condición de salto
-

**27.** Sobre la E/S mapeada en memoria podemos decir que:

- a. Usa el espacio común de direccionamiento para acceder a puertos de E/S
  - b. La CPU necesita el pin IO/M#
  - c. Dispone de instrucciones especiales de E/S
  - d. Todas las respuestas anteriores son falsas
- 

**28.** ¿Cuál de las siguientes tareas no es responsabilidad de un circuito de interfaz o controlador de periféricos sencillo?

- a. Adaptar el formato de las señales
  - b. Ajustar la temporización entre el procesador y los dispositivos de E/S
  - c. Recibir señales de control desde el procesador
  - d. Ejecutar el programa de transferencia de información entre el procesador y los dispositivos de E/S
- 

**29.** ¿Cuál es el ancho del bus de direcciones de un chip DRAM de 1G palabra, siendo la longitud de palabra de 16 bits?

- a. 20
  - b. 16
  - c. 30
  - d. 15
- 

**30.** Sea un computador de 32 bits que dispone de una memoria cache de 512 KB y líneas de 64 bytes. ¿Cuántas líneas tiene la cache?

- a. 64
  - b. 1024
  - c. 8192
  - d. 65536
-