

Nombre:

DNI:

Grupo:

Test de Teoría (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 0.1p si es correcta, 0p si está en blanco o claramente tachada, -0.03p si es errónea.

Anotar las respuestas (a, b, c ó d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

- ¿Cuál de las siguientes afirmaciones sobre el benchmark SPEC CPU es falsa?
 - La última versión es SPEC CPU2006 V1.2 de 2011
 - Se cronometran unos 12 tests de enteros (CINT2006) y unos 17 tests de punto flotante (CFP2006)
 - Se usa como referencia un computador UltraSPARC II 300MHz, y para cada test se calcula el cociente entre el tiempo de ejecución en el computador a testear y en el de referencia
 - El resultado final es la media aritmética de las (12 ó 17) velocidades, bien sea de enteros ó de punto flotante (SPECint2006 ó SPECfp2006)
- ¿En qué generación, dentro de la historia de los computadores digitales, aparecieron la microprogramación, la segmentación de cauce, la memoria cache, los S.O. multiusuario y la memoria virtual?
 - 2ª generación (1955-65)
 - 3ª generación (1965-75)
 - 4ª generación (1975-85)
 - esas innovaciones se repartieron a lo largo de varias generaciones, no sólo una
- Respecto a tamaños de tipos integrales en x86 y x86-64, la excepción es que
 - int pasa de 4 B (x86) a 8 B (x86-64)
 - long int pasa de 4 B a 8 B
 - long long int pasa de 4 B a 8 B
 - ninguna de las anteriores
- Con el repertorio IA32, para sumar %eax y %ebx dejando el resultado en %ecx se podría hacer lo siguiente:
 - lea %eax, %ebx, %ecx
 - lea (%eax, %ebx, 1), %ecx
 - lea %ecx, [%eax, %ebx]
 - lea %ecx, %ebx, %eax
- Cuál de las instrucciones máquina siguientes es incorrecta en x86-64:
 - testl %edx, %edx
 - movl %r8, %eax
 - movl (%rdi,%rcx,4), %edx
 - addq \$1, %rcx
- Si la variable val está almacenada en ebx y la variable x está almacenada en eax, la sentencia `val ^= x;` se puede traducir a ensamblador como:
 - xorl %ebx,%eax
 - xorl %eax,%ebx
 - andl %ebx,%eax
 - testl %eax,%ebx
- Para poner a 1 el bit 5 del registro %edx sin cambiar el resto de bits podemos usar la instrucción máquina:
 - and \$32, %edx
 - and \$0x5, %edx
 - or \$0b101, %edx
 - or \$0x20, %edx
- Si tenemos un número n , de 64 bits, almacenado en la pareja de registros EDX:EAX (EDX contiene los 32 bits más

significativos y EAX los 32 bits menos significativos) y queremos realizar la división $n / 2^{32}$ entonces:

- a. Podemos quedarnos con EDX, pero sólo en el caso de que n sea un número sin signo.
- b. Podemos quedarnos con EDX tanto si n es un número con signo como sin signo.
- c. Podemos usar las instrucciones siguientes, pero sólo en el caso de que n sea un número sin signo:

```
mov $0x100000000,%ecx
div %ecx
```

- d. Podemos usar las instrucciones siguientes tanto si n es un número con signo como sin signo:

```
mov $0x100000000,%ecx
div %ecx
```

-
9. ¿Dónde está ubicado el primer argumento a una función (suponer código ensamblador cdecl generado por gcc para Linux/x86) inmediatamente después de ejecutar la instrucción call?

- a. %ebp + 0x4
- b. %ebp - 0x4
- c. %esp + 0x4
- d. %esp - 0x4

-
10. Dado el código C siguiente:

```
struct data {
    char str[16];
};
char *f(struct data *ptr) {
    return &(ptr->str[2]);
}
```

la función se traducirá a ensamblador de x86-64 como:

- a. leaq 2(%rdi), %rax
ret
- b. movq (,%rdi,2), %rax
ret
- c. movq 2(%rdi), %rax
ret
- d. leaq (,%rdi,2), %rax
ret

-
11. Respecto a requisitos de alineamiento de structs en gcc/IA32 x86 y x86-64, alguna de las siguientes afirmaciones es falsa

- a. en x86 Linux alinea double a 4x (Windows no)
- b. en x86 Linux alinea long double a 4x (Windows también)
- c. en x86-64 Linux alinea double a 8x (Windows también)
- d. en x86-64 Linux alinea float a 8x (Windows también)

-
12. Si la estructura **struct a** ocupa un espacio de 28 bytes en memoria, ¿cuántos bytes ocupa la siguiente estructura **struct b** cuando se compila en 64 bits?

```
struct b {
    struct a a1;
    int i;
    struct a a2;
};
```

- a. 24 bytes
- b. 60 bytes
- c. 64 bytes
- d. 84 bytes

-
13. Respecto a los términos microinstrucción y microcódigo:

- a. Son equivalentes, llamamos microcódigo o microinstrucción a una palabra de la memoria de control
- b. Una microinstrucción está programada en microcódigo, que es un lenguaje para programar señales de control
- c. Un microcódigo controla una serie de señales de control relacionadas (por ejemplo, el código 000 para que la ALU realice la suma), y varios microcódigos juntos forman una microinstrucción
- d. Microcódigo es el contenido de la memoria de control, y una microinstrucción es una palabra de dicha memoria

-
14. ¿Cuál de las siguientes afirmaciones es verdadera?

- a. La unidad de control necesita como entrada el registro de estado para poder controlar la ejecución de las instrucciones de salto condicional.
- b. El registro de instrucción es un registro de propósito específico que contiene la dirección de la siguiente instrucción a ejecutar.

- c. Las únicas instrucciones en las que algunas de sus fases de ejecución conllevan un acceso a memoria son las instrucciones load y store.
 - d. El registro puntero de pila es un registro de propósito general que suele contener tanto direcciones como datos.
-

15. Un procesador con una unidad de control microprogramada tiene una memoria de control de 300 palabras de 100 bits, de las que 200 son diferentes. Si se rediseñara como unidad de control nanoprogramada, ¿qué tamaño ocuparía la nanomemoria que contiene las microinstrucciones completas sin repeticiones?

- a. 20000 bits
 - b. 21600 bits
 - c. 22400 bits
 - d. 30000 bits
-

16. En el pseudocódigo usado para representar las microinstrucciones, la expresión “goto f(IR)”:

- a. Se utiliza para realizar un microsalto condicional en función del registro de estado.
 - b. Realiza una llamada a una microsubrutina.
 - c. Salta a una dirección de memoria de control que depende de la instrucción máquina actual.
 - d. Permite saltar a la dirección de memoria de control del principio de un microbucle.
-

17. Respecto a la predicción de saltos, alguna de las siguientes afirmaciones es falsa

- a. si se toma la misma decisión para cada tipo de instrucción, se trata de "predicción estática"
 - b. si la predicción cambia según la historia de ejecución del programa, se trata de "predicción dinámica"
 - c. para predicción estática, es conveniente decidir que los saltos hacia adelante siempre se cumplen, y hacia atrás no
 - d. para predicción dinámica, existen, entre otros, algoritmos de dos o cuatro estados, que requieren 1 o 2 bits por instrucción
-

18. Respecto a los conceptos de procesamiento segmentado y superescalar, una de las siguientes afirmaciones es falsa

- a. idealmente, con el segmentado se intenta ejecutar una instrucción por ciclo, y con el superescalar más de una por ciclo (al combinarlo con segmentado)
 - b. en cualquier procesador resulta ventajoso usar una cola de instrucciones, pero es más importante para uno segmentado (fundamental) que para uno superescalar (conveniente)
 - c. por definición, un procesador superescalar debe tener varias unidades funcionales (más de una)
 - d. implícitamente, se presupone que un procesador superescalar emitirá más de una instrucción por ciclo
-

19. Respecto a los conceptos de interfaz de dispositivo, controlador(a), puerto de E/S:

- a. La controladora o interfaz contiene los puertos necesarios para utilizar el dispositivo
 - b. Cada puerto o interfaz es una línea de comunicación con el procesador. El conjunto de ellos forma el controlador.
 - c. El puerto, o interfaz, contiene los controladores necesarios para comunicar el dispositivo con el procesador
 - d. El interfaz contiene las controladoras necesarias para conectar los puertos con el procesador
-

20. Respecto a los conceptos de procesador de E/S, canal de E/S, dispositivos de E/S:

- a. Un procesador o canal tiene un repertorio de instrucciones específico para manejar los dispositivos E/S
 - b. Cada canal es una línea de comunicación entre el procesador y un dispositivo de E/S.
 - c. Al conjunto de conexiones entre el procesador y los dispositivos se le denomina canal de E/S (de ese ordenador)
 - d. La pregunta es capciosa, el procesador no es E/S, son otros dos componentes von Neumann distintos (ALU+UC)
-

21. La E/S programada:

- a. Mejora las prestaciones globales del sistema respecto a la E/S por interrupciones porque la CPU tiene el control de toda la operación.
- b. Mejora las prestaciones globales del sistema respecto a la E/S por interrupciones porque la CPU es más rápida que el controlador de interrupciones y la interfaz del periférico.
- c. Empeora las prestaciones globales del sistema respecto a la E/S por interrupciones porque una

- instrucción de transferencia individual de datos con la interfaz del periférico (por ej. IN, OUT) es más lenta en E/S programada que en E/S por interrupciones.
- d. Empeora las prestaciones globales del sistema respecto a la E/S por interrupciones porque la CPU debe encargarse de la sincronización con la interfaz del periférico haciendo una espera activa.
-
22. Una puerta AND con 16 entradas conectada a un bus de direcciones de 16 bits, con todos los bits negados excepto A10 y A6, permite seleccionar un dispositivo (con CS activa en alta) en la dirección:
- a. 0xFDDF
 - b. 0xFBBF
 - c. 0x0220
 - d. 0x0440
-
23. Un computador con 15 líneas de direcciones tiene 3 módulos de memoria de 2^{13} palabras y utiliza E/S mapeada en memoria. ¿Cuál es el número máximo de periféricos que pueden conectarse, si cada uno de ellos utiliza 8 direcciones?
- a. 2^{10}
 - b. 2^{12}
 - c. 2^{11}
 - d. 2^{13}
-
24. Un procesador accede en el instante de tiempo t a una posición de memoria $d(t)$. Poco tiempo después (en el instante de tiempo $t+k$) accede a la posición anterior $d(t)-1$. Esos dos accesos son un ejemplo de...
- a. Localidad espacial
 - b. Localidad temporal
 - c. No tiene nombre, ese tipo de localidad con incremento negativo ($d(t)-1$) no se ha estudiado en clase
 - d. No es una localidad, esa condición no guarda relación con el concepto de localidad
-
25. Una jerarquía de memoria consta de una cache de con una tasa de aciertos del 92% y 4 ns de tiempo de acceso y una memoria principal con una tasa de aciertos del 100% y 100 ns de tiempo de acceso. ¿Cuál es el tiempo promedio estimado de acceso a memoria?
- a. 6 ns
 - b. 8 ns
 - c. 10 ns
 - d. 12 ns
-
26. Una SRAM de 1Mx4bit (4Mbit) puede venir organizada en 2048 filas, dedicando por tanto al decodificador de columnas...
- a. 6 bits
 - b. 7 bits
 - c. 8 bits
 - d. 9 bits
-
27. Un sistema basado en un microprocesador con un bus de datos de n bits y un bus de direcciones de 16 bits direcciona la memoria por palabras de n bits y dispone de una memoria SRAM formada por dos módulos de 16 K x n cada uno. ¿Qué porcentaje del mapa de memoria está ocupado por la SRAM?
- a. 12,5%
 - b. 25%
 - c. 50%
 - d. 100%
-
28. Un módulo de memoria de 16 GB está formado por varios chips DRAM de 1024Mx4. ¿Cuántos chips DRAM necesita el módulo?
- a. 4
 - b. 8
 - c. 16
 - d. 32
-
29. Una cache de 256 B asociativa por conjuntos de 4-vías con líneas de 16 B tendría
- a. 4 conjuntos
 - b. 16 conjuntos
 - c. 64 conjuntos
 - d. ningún conjunto
-
30. En un sistema con memoria de bytes, ¿cuál sería el tamaño de una línea de cache, si la cache del procesador fuera de 4MB, asociativa por conjuntos de 16-vías, y contuviera 4096 conjuntos?
- a. 16 B
 - b. 32 B
 - c. 64 B
 - d. 128 B
-