



Nombre:	
DNI:	Grupo:

Test de Teoría (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 0.1p si es correcta, 0p si está en blanco o claramente tachada, -0.03p si es errónea.

Anotar las respuestas (a, b, c ó d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

- Respecto a direccionamiento a memoria en ensamblador IA32 (sintaxis AT&T), de la forma D(Rb, Ri, S), sólo una de las siguientes afirmaciones es FALSA. ¿Cuál?
 - El desplazamiento D puede ser una constante literal (1, 2 ó 4 bytes)
 - EBP no se puede usar como registro base
 - ESP no se puede usar como registro índice
 - El factor de escala S puede ser 1, 2, 4, 8
- La extensión de signo a m bits de un número original N de n bits, con $m > n$, consiste en:
 - Realizar la operación $2^m - N$
 - Realizar la operación $2^m - N - 1$
 - Incrementar la cantidad de bits a m preservando el signo y el valor del número.
 - Incrementar la cantidad de bits a m rellenando con unos por la izquierda.
- En IA32, ¿cuál de los siguientes fragmentos de programa tiene un efecto sobre los flags distinto al resto?
 - sub %edi, %edi
adc \$0xFFFFFFFF, %edi
 - mov \$-1, %edi
 - mov \$-1, %edi
add \$0, %edi
 - mov \$0, %edi
sub \$1, %edi
- Si %rsp vale 0xdeadbeefdeadd0d0, ¿cuál será su nuevo valor después de que se ejecute pushq %rbx?
 - 0xdeadbeefdeadd0d4
 - 0xdeadbeefdeadd0d8
 - 0xdeadbeefdeadd0cc
 - 0xdeadbeefdeadd0c8
- ¿Cómo se devuelve en ensamblador x86-64 Linux gcc el valor de retorno de una función long int al terminar ésta?
 - La instrucción RET lo almacena en un registro especial de retorno.
 - Por convención se guarda en %eax.
 - Se almacena en pila justo encima de los argumentos de la función.
 - Ninguna de esas formas es la correcta.
- Comparando las convenciones de llamada de gcc Linux IA32 con x86-64 respecto a registros
 - En IA32 %ebx es salva-invocante, pero en x86-64 %rbx es salva-invocado
 - En IA32 %ecx es salva-invocante, y en x86-64 %rcx es salva-invocante también
 - En IA32 %esi es salva-invocado, y en x86-64 %rsi es salva-invocado también
 - En IA32 %ebp es especial (marco de pila), y en x86-64 %rbp también
- Son funciones de la unidad de control:

- a. la codificación de las instrucciones máquina
 - b. la lectura de memoria principal de la instrucción apuntada por el μ PC
 - c. el secuenciamiento de las instrucciones máquina
 - d. todas las respuestas son ciertas
-

8. Respecto a MBR y MAR

- a. Ambos son accesibles por el programador
 - b. MAR contiene el dato/instrucción que se leerá o escribirá en memoria
 - c. MAR requiere menos señales de control que MBR
 - d. Ambos permiten guardar información sobre el marco de pila
-

9. Una instrucción máquina puede desglosarse en las siguientes operaciones elementales:

`sp := sp - 1; m[sp] := pc; pc := x`

Probablemente se trate de una instrucción de:

- a. apilamiento
 - b. llamada a subrutina
 - c. carga local
 - d. almacenamiento local
-

10. En una unidad de control microprogramada con formato de microinstrucciones vertical, un subcampo que deba especificar 16 señales de control codificadas de tal forma que pueda activarse sólo una o ninguna habrá de tener una anchura mínima de

- a. 4 bits
 - b. 5 bits
 - c. 16 bits
 - d. 17 bits
-

11. Dado un camino de datos concreto, un posible formato de microprogramación se caracteriza como horizontal o vertical según tenga más o menos (señalar la respuesta falsa)

- a. codificación
- b. solapamiento

- c. microbifurcaciones
 - d. longitud relativa de microinstrucción
-

12. El control residual se utiliza para:

- a. reducir el tiempo de ejecución de las instrucciones máquina
 - b. eliminar los bits residuales de la ejecución de las microinstrucciones
 - c. reducir el tamaño de la memoria de control
 - d. ninguna de las anteriores es cierta
-

13. Un procesador está segmentado en las etapas F, D, E, M y W. Cada una de ellas consume un tiempo t . La aceleración ideal (si no hay riesgos) al ejecutar n instrucciones respecto a un procesador no segmentado será:

- a. $5n / (4+n)$
 - b. $(4+n) / 5t$
 - c. $4n / (5+n)$
 - d. $(5+n) / 4t$
-

14. En un procesador con segmentación de cauce, aumentar el número de etapas (p.ej. de 2 a 4, o de 4 a 8), tiene en general como consecuencia:

- a. Un incremento de las prestaciones
 - b. Un mayor retraso en la ejecución de los programas debido al incremento del número de etapas
 - c. Una disminución en la posible dependencia de datos
 - d. Una disminución de la máxima frecuencia de reloj a la que puede operar el cauce
-

15. En la secuencia de instrucciones siguiente, siendo el primer registro el destino, ¿cuántos riesgos se dan?

`sub r2,r1,r3`
`or r8,r6,r2`

- a. Un riesgo estructural
 - b. Un riesgo por dependencia de datos
 - c. Un riesgo estructural y dos por dependencia de datos
 - d. Dos riesgos por dependencia de datos y uno de control
-

16. La precaptación (cola de instrucciones) está relacionada con...

- a. Los riesgos estructurales (intenta evitar el efecto de un fallo de cache)
 - b. Los riesgos de (dependencia de) datos (intenta que el dato esté disponible anticipadamente)
 - c. Los riesgos de control (intenta determinar de antemano el flujo de control)
 - d. Los riesgos de transferencia (intenta agrupar las posibles transferencias de un conjunto de instrucciones)
-

17. Respecto a la segmentación, ¿cuál de las siguientes afirmaciones es falsa?

- a. La técnica de register forwarding habilita una serie de caminos (buses) que se añaden al cauce para permitir que los resultados de una etapa pasen como entradas a la etapa donde son necesarias
 - b. La reorganización del código y la introducción de instrucciones nop permite evitar dependencias de datos
 - c. Retrasar la fase de decisión saltar/no saltar de las instrucciones de salto condicional contribuye a mejorar el rendimiento del procesador
 - d. Cuantas más etapas tenga un cauce, más instrucciones se estarán ejecutando en distintas fases y más posibilidades se presentan de que existan riesgos entre ellas
-

18. ¿Cuál de los siguientes modos de direccionamiento es menos preferible para un procesador de 32 bits y con tamaño de instrucción de 32 bits?

- a. registro
 - b. indexado
 - c. indirecto a través de registro
 - d. directo (o absoluto)
-

19. La conexión entre un dispositivo de E/S y el procesador mediante bus:

- a. Es difícil de expandir
- b. Permite conectar en paralelo varios dispositivos

c. Requiere mucha circuitería

d. Requiere multiplexores y demultiplexores para las señales de datos

20. El fragmento de código ensamblador de un microprocesador de 8 bits

```
lds IOBuf    ; Apuntar puntero pila a
              ; ...área mem.intermedia
ldx Count    ; Inicializar X-contador
poll lda a Status; Leer estado en A
bpl poll     ; Signo(A)!=1 => repetir
lda a Data   ; Leer dato en A
psh a        ; Transferir dato a pila
dex          ; Decrementar contador X
bne poll     ; Seguir leyendo si X!=0
```

corresponde a:

- a. Entrada programada con consulta de estado
 - b. Salida programada sin consulta de estado
 - c. Entrada programada sin consulta de estado
 - d. Salida programada con consulta de estado
-

21. En la E/S controlada por interrupciones:

- a. El controlador de DMA transfiere bloques de datos por el bus del sistema.
 - b. El controlador de DMA envía una petición de interrupción a la CPU.
 - c. La CPU lee y comprueba el estado de los dispositivos de E/S (en el caso de consulta de estado).
 - d. La CPU transfiere el control a una rutina de servicio cuando recibe una interrupción.
-

22. La instrucción máquina DI (Disable Interrupts), conocida como CLI (Clear Interrupt Flag) en x86, se utiliza para desactivar:

- a. Todas las interrupciones enmascarables
 - b. Las interrupciones de inferior o igual prioridad a una dada
 - c. Determinados niveles de interrupción de forma selectiva
 - d. Las interrupciones software
-

23. Con nueve controladores de interrupciones 8259 se pueden manejar exactamente:

- a. 8 niveles de prioridad
 - b. 16 niveles de prioridad
 - c. 24 niveles de prioridad
 - d. Ninguna de las anteriores es cierta
-

24. ¿Cuál de los siguientes es un registro de un controlador de DMA?

- a. IR (Instruction Register)
 - b. PC (Program Counter)
 - c. SP (Stack Pointer)
 - d. WC (Word Count)
-

25. Respecto al refresco de memorias DRAM, ¿cuál de las siguientes afirmaciones es falsa?

- a. Una operación de refresco consiste en dar un impulso /CAS junto con una dirección de columna.
 - b. Los chips DRAM refrescan automáticamente la fila accedida en cualquier ciclo de lectura o escritura.
 - c. Se precisa una circuitería auxiliar, externa al chip DRAM o integrada en él, que produzca ciclos de refresco.
 - d. Los ciclos de refresco deben producirse cada pocos ms (milisegundos).
-

26. La tasa de aciertos A_i del nivel i de una jerarquía de memoria no depende de:

- a. La capacidad (tamaño) s_i del nivel i .
 - b. La estrategia de administración de memoria.
 - c. La unidad de la transferencia de información x_i entre el nivel i y el $i+1$.
 - d. El ancho de banda b_i del nivel i .
-

27. La política de correspondencia de una memoria cache con 1 único conjunto es:

- a. Directa
 - b. Totalmente asociativa
 - c. Asociativa por conjuntos con una única línea
 - d. Asociativa por conjuntos de una única vía
-

28. La política de correspondencia de una memoria cache con la mitad de conjuntos que líneas es:

- a. Asociativa por conjuntos de 2 vías
 - b. Totalmente asociativa de media vía
 - c. Asociativa por conjuntos con 2 líneas
 - d. Directa con 2 líneas
-

29. Para construir una DRAM de 4GB con pastillas de 512Mx4bit hacen falta

- a. 8 pastillas
 - b. 16 pastillas
 - c. 32 pastillas
 - d. 64 pastillas
-

30. Para diseñar una memoria con ancho de palabra $k \times m$ (y mismo n° palabras que los módulos) a partir de módulos con ancho de palabra m , se utilizan k módulos

- a. repartiendo las líneas de datos entre los k módulos: el primero se conecta a $D_0 \dots D_{k-1}$, el segundo a $D_k \dots D_{2k-1}$, etc
 - b. repartiendo las líneas de dirección: el 1º se conecta a $A_0 \dots A_{k-1}$, el 2º a $A_k \dots A_{2k-1}$, etc
 - c. repartiendo líneas datos: el 1º se conecta a $D_0 \dots D_{m-1}$, el 2º a $D_m \dots D_{2m-1}$, etc
 - d. repartiendo líneas dirección: el 1º se conecta a $A_0 \dots A_{m-1}$, el 2º a $A_m \dots A_{2m-1}$, etc
-