

- Un programa con muchas bifurcaciones hace que no se aprovechen al máximo las prestaciones del pipeline.

V

- Los riesgos de datos consisten en que...

una instrucción necesita un dato calculado por otra anterior

- Se podría diseñar una CPU microprogramada de manera que la captación y la ejecución de microinstrucciones se solapasen en el tiempo.

V

- Sobre la segmentación:

Existen limitaciones al rendimiento provocadas por las instrucciones de salto y por las dependencias de datos.

- En un procesador con segmentación de cauce, aumentar el número de etapas (p.ej. de 2 a 4, o de 4 a 8), tiene en general como consecuencia:

Un incremento de las prestaciones

- Las instrucciones de salto...

complican el diseño eficiente de los procesadores segmentados.

- Motivos que impiden que la ganancia (aceleración) de un cauce segmentado sea ideal (señalar la respuesta falsa)

cola de instrucciones (precaptación)

- La técnica de "adelanto de registros" (register forwarding) en un cauce segmentado se usa para limitar el impacto de los riesgos...

(por dependencias) de datos

- Respecto a la segmentación, ¿cuál de las siguientes afirmaciones es falsa?

Retrasar la fase de decisión saltar/no saltar de las instrucciones de salto condicional contribuye a mejorar el rendimiento del procesador

- Todo cauce ("pipeline") de instrucciones con 5 etapas tarda 7 ciclos de reloj en ejecutar 3 instrucciones si éstas utilizan las cinco etapas.

F

- En un procesador RISC, las bifurcaciones no degradan las prestaciones del "pipeline".

F

- Cuando dos o más instrucciones necesitan un recurso hardware en el mismo ciclo, se trata de un riesgo:

estructural

- Si representamos la fase Decode con una D, Execute con una E, Fetch con una F y Writeback con una W, el orden correcto de las distintas fases de una instrucción máquina es:

F D E W

- Un microprocesador es superencauzado ("superpipelined") si permite la emisión de dos o más instrucciones en un mismo ciclo de reloj.

F