
L3G4200D: 3-axis digital output gyroscope

Introduction

This document is intended to provide usage information and application hints related to ST's L3G4200D 3-axial digital gyroscope.

The L3G4200D is a three-axis angular rate sensor with a digital I²C/SPI serial interface standard output.

The device has a full scale of $\pm 250/\pm 500/\pm 2000$ dps and is capable of measuring rates with a user-selectable bandwidth.

The device may be configured to generate interrupt signals by an independent wake-up event. Thresholds and timing of the interrupt generator are programmable by the end user on the fly.

The L3G4200D has an integrated 32-level first-in first-out (FIFO) buffer allowing the user to store data in order to limit intervention by the host processor.

The L3G4200D is available in a small thin plastic land grid array package (LGA 4x4x1.1) and it is guaranteed to operate over an extended temperature range from -40 °C to +85 °C.

The ultra-small size and weight of the SMD package make it an ideal choice for handheld portable applications such as cell phones and PDAs, or any other application where reduced package size and weight are required.

Contents

1	Registers	6
2	Operating modes	8
2.1	Power-down mode	9
2.2	Sleep mode	9
2.3	Normal mode	9
2.4	Delay to switch modes	9
3	Reading angular rate data	10
3.1	Startup sequence	10
3.2	Using the status register	10
3.3	Using the data-ready (DRDY) signal	11
3.4	Using the block data update (BDU) feature	11
3.5	Understanding angular rate data	12
3.5.1	Data alignment	12
3.5.2	Big-little endian selection	12
3.5.3	Example of angular rate data	12
4	Digital filters	13
4.1	Filter configurations	13
4.2	Low-pass filters	14
4.3	High-pass filter	15
4.3.1	Normal mode	16
4.3.2	Reference mode	16
4.3.3	Autoreset	17
5	Interrupt generation	18
5.1	Interrupt pin configuration	18
5.2	Interrupt configuration	19
5.3	Threshold	20
5.4	Duration	20
5.5	Selective axis movement and wake-up interrupts	22
5.5.1	Wake-up	23

5.5.2	HP filter bypassed	24
5.5.3	Using the HP filter	24
5.6	Selective axis movement detection	25
6	First-in first-out (FIFO) buffer	27
6.1	FIFO description	27
6.2	FIFO registers	28
6.2.1	Control register 5 (0x24)	28
6.2.2	FIFO control register (0x2E)	29
6.2.3	FIFO source register (0x2F)	30
6.3	FIFO modes	31
6.3.1	Bypass mode	31
6.3.2	FIFO mode	31
6.3.3	Stream mode	32
6.3.4	Stream-to-FIFO mode	35
6.3.5	Bypass-to-Stream mode	36
6.4	Watermark	37
6.5	Retrieving data from FIFO	38
7	Temperature sensor	39
7.1	Example of delta temperature data calculation	39
8	Revision history	40

List of tables

Table 1.	Registers.	6
Table 2.	Operating mode selection.	8
Table 3.	Data rate configuration	8
Table 4.	Power consumption	9
Table 5.	Turn-on time	9
Table 6.	Output data registers content vs. angular rate (FS = 250 dps).	12
Table 7.	CTRL_REG5 register	13
Table 8.	HPen and Out_Sel settings.	13
Table 9.	HPen and INT1_Sel settings.	14
Table 10.	Low-pass filters cutoff frequency	14
Table 11.	CTRL_REG2 register	15
Table 12.	High-pass filter cutoff frequency [Hz]	15
Table 13.	High-pass filter mode configuration	15
Table 14.	Reference mode LSB value	16
Table 15.	CTRL_REG3 register	18
Table 16.	CTRL_REG3 description	18
Table 17.	INT1_CFG register	19
Table 18.	INT1_CFG description	19
Table 19.	Interrupt mode configuration.	19
Table 20.	INT1_THS_xH register	20
Table 21.	INT1_THS_xL register	20
Table 22.	Threshold LSB value.	20
Table 23.	INT1_DURATION register	20
Table 24.	INT1_DURATION description.	20
Table 25.	Duration LSB value in normal mode.	20
Table 26.	FIFO buffer full representation (32nd sample set stored).	27
Table 27.	FIFO overrun representation (33rd sample set stored and 1st sample discarded).	28
Table 28.	FIFO enable bit in CTRL_REG5.	28
Table 29.	FIFO_CTRL_REG.	29
Table 30.	FIFO_SRC_REG	30
Table 31.	FIFO_SRC_REG behavior assuming WTM[4:0] = 15 (hex)	30
Table 32.	CTRL_REG3 (0x22)	30
Table 33.	OUT_TEMP register content.	39
Table 34.	Document revision history.	40

List of figures

Figure 1.	Data ready signal	11
Figure 2.	Low-pass/high-pass filter connections block diagram.	13
Figure 3.	High-pass filter reset by reading the REFERENCE register.	16
Figure 4.	Reference mode	17
Figure 5.	Autoreset	17
Figure 6.	Interrupt signals and interrupt pins	18
Figure 7.	Wait disabled	21
Figure 8.	Wait enabled	21
Figure 9.	No-move, wake-up interrupt generator	22
Figure 10.	NM_WU_CFG high and low	23
Figure 11.	Wake-up interrupt	23
Figure 12.	No-move interrupt	26
Figure 13.	FIFO_EN connections block diagram	29
Figure 14.	FIFO mode behavior	32
Figure 15.	Stream mode fast reading behavior	33
Figure 16.	Stream mode slow reading behavior	34
Figure 17.	Stream mode slow reading zoom	34
Figure 18.	Stream-to-FIFO mode: interrupt not latched	35
Figure 19.	Stream-to-FIFO mode: interrupt latched	36
Figure 20.	Bypass-to-Stream mode	37
Figure 21.	Watermark behavior - WTM[4:0] = 10 (hex)	37
Figure 22.	FIFO read diagram - WTM[4:0] = 10 (hex)	38

1 Registers

Table 1. Registers

Register name	Address	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WHO_AM_I	0Fh	1	1	0	1	0	0	1	1
CTRL_REG1	20h	DR1	DR0	BW1	BW0	PD	Zen	Yen	Xen
CTRL_REG2	21h	0	0	HPM1	HPM0	HPCF3	HPCF2	HPCF1	HPCF0
CTRL_REG3	22h	I1_Int1	I1_Boot	H_Lactive	PP_OD	I2_DRDY	I2_WTM	I2_ORun	I2_Empty
CTRL_REG4	23h	BDU	BLE	FS1	FS0	-	ST1	ST0	SIM
CTRL_REG5	24h	BOOT	FIFO_EN	--	HPen	INT1_Sel1	INT1_Sel0	Out_Sel1	Out_Sel0
REFERENCE	25h	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
OUT_TEMP	26h	Temp7	Temp6	Temp5	Temp4	Temp3	Temp2	Temp1	Temp0
STATUS_REG	27h	ZYXOR	ZOR	YOR	XOR	ZYXDA	ZDA	YDA	XDA
OUT_X_L	28h	XD7	XD6	XD5	XD4	XD3	XD2	XD1	XD0
OUT_X_H	29h	XD15	XD14	XD13	XD12	XD11	XD10	XD9	XD8
OUT_Y_L	2Ah	YD7	YD6	YD5	YD4	YD3	YD2	YD1	YD0
OUT_Y_H	2Bh	YD15	YD14	YD13	YD12	YD11	YD10	YD9	YD8
OUT_Z_L	2Ch	ZD7	ZD6	ZD5	ZD4	ZD3	ZD2	ZD1	ZD0
OUT_Z_H	2Dh	ZD15	ZD14	ZD13	ZD12	ZD11	ZD10	ZD9	ZD8
FIFO_CTRL_REG	2Eh	FM2	FM1	FM0	WTM4	WTM3	WTM2	WTM1	WTM0
FIFO_SRC_REG	2Fh	WTM	OVRN	EMPTY	FSS4	FSS3	FSS2	FSS1	FSS0
INT1_CFG	30h	AND/OR	LIR	ZHIE	ZLIE	YHIE	YLIE	XHIE	XLIE
INT1_SRC	31h	-	IA	ZH	ZL	YH	YL	XH	XL
INT1_THS_XH	32h	-	THSX14	THSX13	THSX12	THSX11	THSX10	THSX9	THSX8
INT1_THS_XL	33h	THSX7	THSX6	THSX5	THSX4	THSX3	THSX2	THSX1	THSX0
INT1_THS_YH	34h	-	THSY14	THSY13	THSY12	THSY11	THSY10	THSY9	THSY8

Table 1. Registers (continued)

Register name	Address	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INT1_THS_YL	35h	THSY7	THSY6	THSY5	THSY4	THSY3	THSY2	THSY1	THSY0
INT1_THS_ZH	36h	-	THSZ14	THSZ13	THSZ12	THSZ11	THSZ10	THSZ9	THSZ8
INT1_THS_ZL	37h	THSZ7	THSZ6	THSZ5	THSZ4	THSZ3	THSZ2	THSZ1	THSZ0
INT1_DURATION	38h	WAIT	D6	D5	D4	D3	D2	D1	D0



2 Operating modes(İşletme Yöntemleri)

3 biçim vardır,sırasıyla power down,sleep ve normal yöntem.

Güç kaynağı uygulandıktan sonra , L3G4200D düzenleme parametrelerini yüklemek için 10 ms önyükleme zamanı alır.Ön yükleme(boot) tamamlandıktan sonra,cihaz otomatik olarak power down yöntemiyle ayarlanır.

L3G4200D datasheet'ine gelirse , output data rate (ODR), power down (PD) ve CTRL_REG1'in

Zen, Yen, Xen bitleri işletme yöntemlerini seçmek için kullanılır.

Table 2. Operating mode selection

Operating mode	PD	Zen	Yen	Xen
Power-down	0	-	-	-
Sleep	1	0	0	0
Normal mode	1	-	-	-

Table 3. Data rate configuration

DR [1:0]	BW [1:0]	ODR [Hz]	Cutoff LPF1 [Hz]	Cutoff LPF2 [Hz]
00	00	100	32	12.5
00	01	100		25
00	10	100		25
00	11	100		25
01	00	200	54	12.5
01	01	200		25
01	10	200		50
01	11	200		70
10	00	400	78	20
10	01	400		25
10	10	400		50
10	11	400		110
11	00	800	93	30
11	01	800		35
11	10	800		50
1	11	800		110

Çalışma Yöntemi	Güç Tüketimi
Power-down	5 μ A
Sleep	1.5 mA
Normal	6.1 mA

2.1 Power-Down Yöntemi

Cihaz power down ile çalışıyorsa, en az güç tüketimi için neredeyse cihazın dahili tüm bloklarının enerjisi kesilir. Sayısal arayüz cihaz ile bağlantı için hâlâ aktiftir. (I2C, SPI). Yapılandırma kaydedicilerin (register) içeriği korunmaya devam eder ve çıkış verileri güncellenmemiştir. Ayrıca cihazı Power Down ile çalıştırmadan önce hafızasında en sonar örneklenmiş veriyi tutar.

2.2 Sleep mode

While the device is in sleep mode the driving circuitry making the moving mass of the gyroscope oscillating is kept active. Turn-on time from sleep mode to normal mode is drastically reduced. (Cihaz uykudayken, sürüş devresi yapımı, jiroskop salınımının hareketli kütlesi aktif tutulur. Açık olduğu sürede uyku durumundan normal duruma sert bir biçimde indirger)

2.3 Normal mode

Normal durumda, veriler seçilmiş DR bitleri kanalıyla ODR'de üretilir. Veri kesmesi INT_CFG kaydedicisi kanalıyla yapılandırılır ve aktif edilir.

2.4

Delay to switch modes (Anahtar Durumlar için Gecikme)

Gecikme, anahtar durumlar için sırasıyla [Table 5](#).

Table 5. Turn-on time

Starting mode	Target Mode	Turn-on time - typ
Power-down	Normal	250 ms
Power-down	Self test	250 ms
Sleep	Normal	1/ODR: LPF2 disabled 6/ODR: LPF2 enabled
Normal	Sleep	immediate
Normal	Power-down	immediate
Other settings change	-	1/ODR: LPF2 disabled 6/ODR: LPF2 enabled

3 Reading angular rate data(Açısal hız verisi okuma)

3.1 Startup sequence(silsileye başlama)

Cihaz açıldığında ,Kalibrasyon katsayıları dahili kaydedicilere ,gömülü flash'dan otomatik olarak yüklenir.Önyükleme(boot) tamamlandığı zaman ,yaklaşık 5 ms sonra cihaz otomatik olarak power-down durumuna geçer.Cihazı açmak ve açısal hız verilerini toplamak için CTRL_REG1 kanalıyla işletim modlarından birinin seçilmesi gereklidir ve eksenlerden en az birinin kullanılır durumda olması için(X,Y,Z açma-kapama bu kaydedicidedir).Aşağıdaki genel amaçlı kaydediciler cihazı yapılandırmak için kullanılabilir.

1. Write CTRL_REG2
2. Write CTRL_REG3
3. Write CTRL_REG4
4. Write CTRL_REG6
5. Write REFERENCE
6. Write INT1_THS
7. Write INT1_DUR
8. Write INT1_CFG
9. Write CTRL_REG5
10. Write CTRL_REG1

3.2 Using the status register(Durum kaydedicisini kullanma)

Cihaz STATUS_REG kaydedicisiyle temin edilir ki bu yeni bir veri grubunun mevcutluğunu sorgular. Okuma aşağıda gösterildiği gibi icra edilir.

1. Read STATUS_REG
2. If STATUS_REG(3) = 0, then go to 1
3. If STATUS_REG(7) = 1, then some data have been overwritten
4. Read OUT_X_L
5. Read OUT_X_H
6. Read OUT_Y_L
7. Read OUT_Y_H
8. Read OUT_Z_L
9. Read OUT_Z_H
10. Data processing
11. Go to 1

Kontrol adım 3'te yürütülür, bu bize izin verir anlamamız için okuma hızı yeteri kadar benzetiliyor mu veri üretim hızına. Bir veya daha fazla açısal hız örneklerinin yeni veriler tarafından üzerine yazılması durumunda, yetersiz okuma hızı yüzünden STATUS_REG'in ZYXOR biti '1' olabilir.

Cihaz okunduğu esnada ve bu süre içerisinde yeni veri üretilmeyip tüm veriler sunulduğu takdirde, kaplanmış bitler otomatik olarak temizlenir.

Using the data-ready (DRDY) signal(Veri-Hazır biti)

3.3

Okuma için yeni bir ölçülmüş veri grubu mevcut olduğu zaman, cihaz karar vermesi için donanımsal bir sinyale sahip olacak şekilde yapılandırılabilir. Bu sinyal STATUS_REG'in ZYXDA biti tarafından temsil edilir. Bu sinyal, CTRL_REG3'ün I2_DRDY bit ayarı tarafından RDY/INT2 pini için sürülmüş olabilir ve onun polaritesi, CTRL_REG3'ün H_Lactive biti kanalıyla active-low veya active-high olabilir.

Yeni bir açısal hız veri grubu üretildiği zaman ve okumak için müsait ise data-ready sinyali '1' olur. Açık kanallardan birinin üst parçası okunduğu zaman (OUT_X_H (29h) ve 2Bh, 2Dh üst 8 bit), kesme resetlenir.

CTRL_REG3	22h	I1_Int1	I1_Boot	H_Lactive	PP_OD	I2_DRDY	I2_WTM	I2_ORun	I2_Empty
STATUS_REG	27h	ZYXOR	ZOR	YOR	XOR	ZYXDA	ZDA	YDA	XDA

3.4 Using the block data update (BDU) feature(Blok veri güncelleme özelliği kullanımı)

Eğer açısal hız veri okuma bilhassa yavaş ise ve senkronize olamazsa (veya gerekli değilse), ya ZYXDA biti STATUS_REG içerisine yeni veri hakkında bildirir yada DRDY sinyali ile o(ZYXDA) CTRL_REG4 içindeki BDU bitinin belirlenmesini şiddetle önerir.

Bu özellik farklı örnekler için ilişkili değerleri okumayı önler. (açısal hız verilerinin en anlamlı veya en az anlamlı parçaları). Bilhassa BDU aktif olduğu zaman, ilgili veri kaydedicileri her kanal için daima cihaz tarafından üretilmiş en son açısal hız verilerini içerir, ama verilen bir çiftin okunmasının başlatılması durumunda (OUT_X_H ve OUT_X_L, OUT_Y_H ve OUT_Y_L, OUT_Z_H ve OUT_Z_L), hem MSB hemde LSB parçaları okunana kadar bu okunmayan çiftler için yenilenme engellenir.

Note:

BDU, OUT_X(Y, Z)_L ve OUT_X(Y, Z)_H kaydedicilerinin aynı anda örneklendiğini garanti eder. Misal örnekleme hızın çok yavaş ise, O örneklenmiş X, Y'yi T1 zamanında ve örneklenmiş Z'yi T2 zamanında okuyabilir.

3.5 Understanding angular rate data(Açısal hız verilerini anlama)

Ölçülmüş açısal hız verileri OUT_X_H, OUT_X_L, OUT_Y_H, OUT_Y_L, OUT_Z_H ve OUT_Z_L kaydedicilerine gönderilir.Bu kaydediciler sırasıyla,X,Y ve Z eksenleri üzerinde rol oynayan açısal hız verilerinin en değerlikli ve en az değerlikli parçalarını içerir.(bu kaydedicilerin sonunda H yazan, alınan 16 bitlik eksen verilerinin üst 8 biti iken L yazan alt 8 bitidir.)

Bu bitlerin birleşimi ikinin tümleyeni olarak ifade edilir.

3.5.1 Data alignment(Veri sırası)

Açısal hız verileri 16 bitlik numara olarak temsil edilir ve sola yaslıdır.

3.5.2 Big-little endian selection

L3G4200D ,üst ve alt 8 bit açısal hız kaydedici parçalarının içeriğinin karşılıklı yer değişimine izin verir ki bu sayede little-endian ve big-endian veri sunumuna uyumlu olabilir.

Önemli byte'in solda olduğu sıralamaya big-endian denir. Önemli byte'in en sağda olduğu sıralama ise little-endian olarak adlandırılır.Bu mod için CTRL_REG4(6.bit BLE) kaydedicisi kullanılır.Başlangıçta BLE biti 0'dır.

3.5.3

Example of angular rate data(Açısal hız veri örnekleri)

Cihaz ,verilmiş bir açısal hız için nesne olduğu zaman,Tablo 6 verilerin bir kaç temel örneklerini temin eder ki veri kaydedicileri içinde okuması için.Değerler ,mükemmel cihaz kalibrasyonu varsayımı altında,tablo içinde listelenmiştir.(no offset, no gain error,...)

Table 6. Output data registers content vs. angular rate (FS = 250 dps)

Angular rate values	BLE = 0		BLE = 1	
	Register address			
	28h	29h	28h	29h
0 dps	00h	00h	00h	00h
100 dps	A4h	2Ch	2Ch	A4h
200 dps	49h	59h	59h	49h
-100 dps	5Ch	C4h	C3h	5Ch
-200 dps	B7h	A6h	A6h	B7h

4 Digital filters

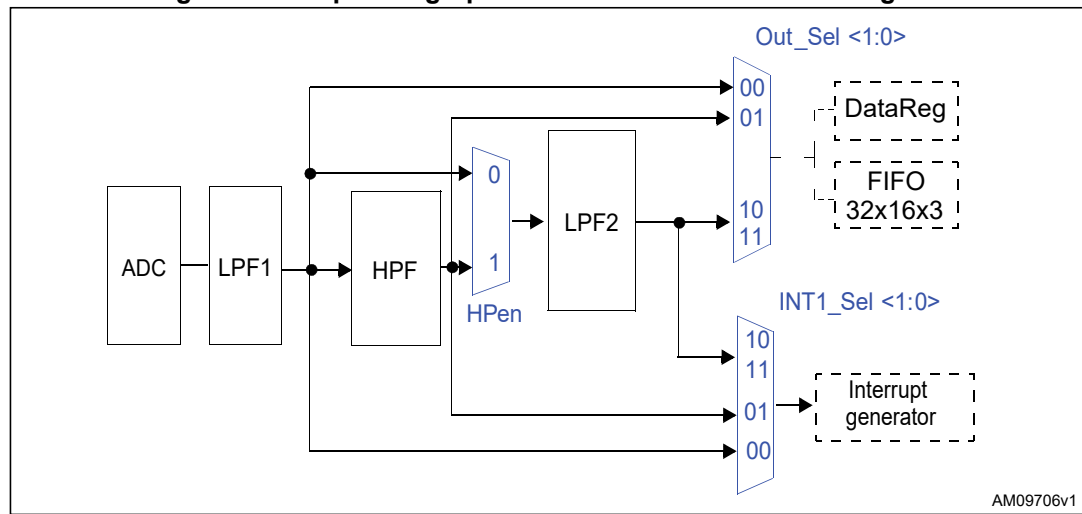
L3G4200D bize şunu temin eder,ölçülmüş açısal hız verilerinin DC bileşinini kolaylıkla silmek için gömülü yüksek geçiren filtre yeteneğinin yanı sıra birde alçak geçiren filtre.

Figure 2 'de gösterildiği üzere CTRL_REG5'in HPen, INTx_Sel ve Out_Sel bitleri kanalıyla ,veri kesmeleri ve/veya çıkış/FIFO verileri üzerinde bağımsız filtre uygulamaları mümkün olabilir.

Table 7. CTRL_REG5 register

BOOT	FIFO_EN	-	HPen	INT1_Sel1	INT1_Sel0	Out_Sel1	Out_Sel0
------	---------	---	------	-----------	-----------	----------	----------

Figure 2. Low-pass/high-pass filter connections block diagram



4.1 Filter configurations(Filtre yapılandırmaları)

Tablo 8'e gelince,HPen ve Out_Sel bitleri FIFO ve çıkış kaydedicileri için filtrelenmiş veya filtrelenmemiş veri sürmek için kullanılır.

Table 8. HPen and Out_Sel settings

HPen	OUT_Sel1	OUT_Sel0	Description
x	0	0	Kaydediciler içindeki veriler ve FIFO yüksek geçiren filtrelenmemiş
x	0	1	Kaydediciler içindeki veriler ve FIFO yüksek geçiren filtrelenmiş
0	1	x	Data in DataReg and FIFO are low-pass filtered by LPF2
1	1	x	Data in DataReg and FIFO are high-pass and low-pass filtered by LPF2

Tablo 9'da ,HPen ve INT1Sel bitleri kesme üretici için filtrelenmiş veya filtrelenmemiş verileri sürmekte kullanılır.

Table 9. HPen and INT1_Sel settings

HPen	INT1_Sel1	INT1_Sel0	Description
x	0	0	yüksek geçirende filtrelenmemiş veriler ,kesme üretici için kullanılır.
x	0	1	High-pass filtered data are used for the interrupt generator
0	1	x	Low-pass filtered data are used for the interrupt generator
1	1	x	High-pass and low-pass filtered data are used for the interrupt generator

4.2 Low-pass filters

Alçak geçiren filtrenin bant genişliği ODR(Output Data Rate) seçimine bağlıdır.Alçak geçiren filtrelerin kesme frekansları Tablo 10'dadır.

Table 10. Low-pass filters cutoff frequency

DR [1:0]	BW [1:0]	ODR [Hz]	Cutoff LPF1 [Hz]	Cutoff LPF2 [Hz]
00	00	100	32	12.5
00	01	100		25
00	10	100		25
00	11	100		25
01	00	200	54	12.5
01	01	200		25
01	10	200		50
01	11	200		70
10	00	400	78	20
10	01	400		25
10	10	400		50
10	11	400		110
11	00	800	93	30
11	01	800		35
11	10	800		50
1	11	800		110

4.3 High-pass filter

Yüksek geçiren filtrenin bant genişliği CTRL_REG2'nin HPCFx bitinin seçimine ve ODR'ye bağlıdır. Yüksek geçiren filtrenin kesme frekanları Tablo 12'dedir.

Table 11. CTRL_REG2 register

0 ⁽¹⁾	0 ⁽¹⁾	HPM1	HPM0	HPCF3	HPCF2	HPCF1	HPCF0
------------------	------------------	------	------	-------	-------	-------	-------

(1) Açılışta yüklenmiş değer. Bu değer değiştirilmemelidir.

Table 12. High-pass filter cutoff frequency [Hz]

HPCF[3:0]	ODR [Hz]			
	100	200	400	800
0000	8	15	30	56
0001	4	8	15	30
0010	2	4	8	15
0011	1	2	4	8
0100	0.5	1	2	4
0101	0.2	0.5	1	2
0110	0.1	0.2	0.5	1
0111	0.05	0.1	0.2	0.5
1000	0.02	0.05	0.1	0.2
1001	0.01	0.02	0.05	0.1

Tablo 13, yüksek geçiren filtre için üç adet işletim modeli mümkündür.

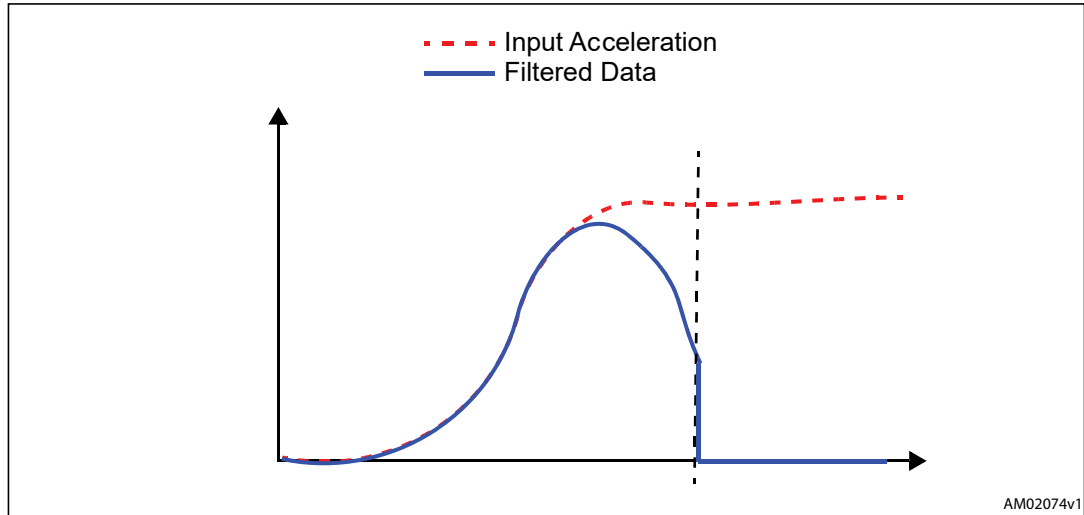
Table 13. High-pass filter mode configuration

HPM1	HPM0	High-pass filter mode
0	0	Normal mode (REFERENCE kaydedicisinin okunmasıyla reset)
0	1	Reference signal for filtering
1	0	Normal mode (reset by reading the REFERENCE register)
1	1	Autoreset on interrupt event

4.3.1 Normal mode

Bu yapılandırmada yüksek geçiren filtre REFERENCE kaydedicisinin okunmasıyla resetlenir, açısal hızın DC bileşenleri hemen silinir.

Figure 3. High-pass filter reset by reading the REFERENCE register



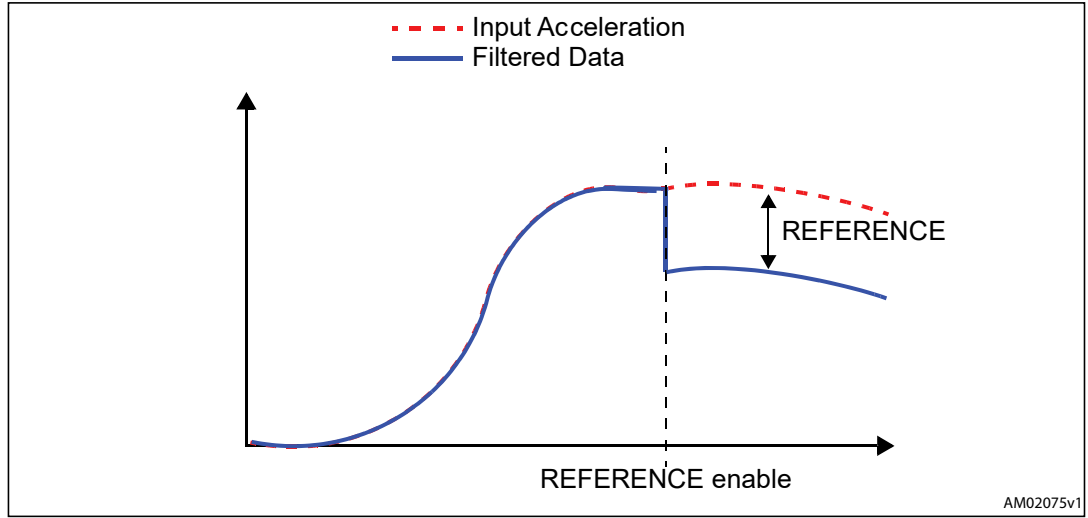
AM02074v1

4.3.2 Reference mode

Bu yapılandırmada ,çıkış verisi REFERENCE kaydedicisinin içeriği ve giriş açısal hızı arasında farklı olarak hesaplanır.Bu kaydedici ikinin tümleyenini temsil eder ve seçilmiş tam ölçek(full scale) üzerinde bu 8 bit kaydedicilerin 1 LSB'sinin değerine bağlıdır.([Table 14](#)).

Table 14. Reference mode LSB value

Full scale	Reference mode LSB value (mdps)
250	~2
500	~4
2000	~16

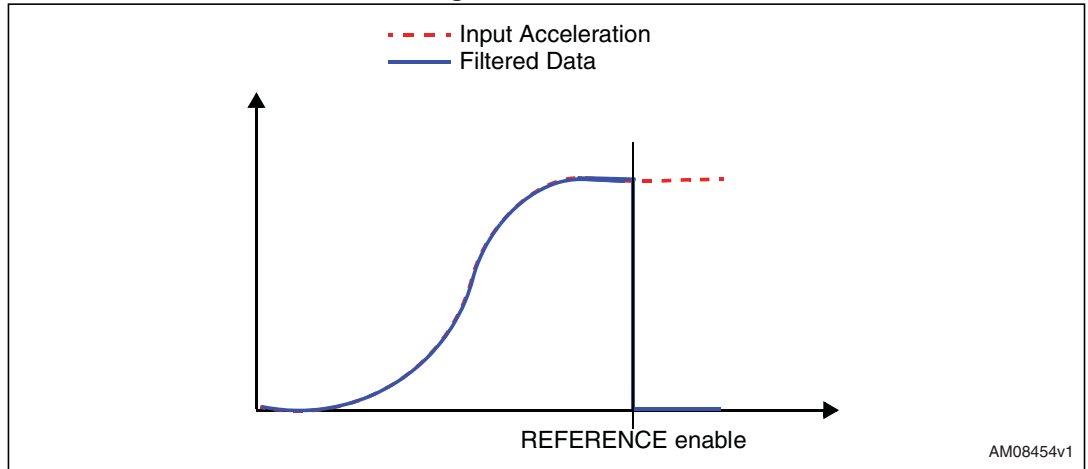
Figure 4. Reference mode

AM02075v1

4.3.3 Autoreset

Bu yapılandırmada, kesme olayı meydana geldiği zaman filtre kendiliğinden resetlenir. Ancak REFERENCE filtreyi derhal set etmek için kullanılır.

Note: Kesmeden sonra XYZ veri kümesinden biri filtreyi resetlemek için kullanılır.

Figure 5. Autoreset

AM08454v1

5 Interrupt generation(Kesme Üretimi)

L3G4200D kesme sinyali, birçok yol ile yapılandırılabilir ve X,Y,Z ekseninin bağımsız rotasyonlarını tanımasına izin verir. Kesme sinyali INT1 pini için sürülebilir. INT2 pini DRDY ve FIFO kesmeleri için atanmıştır.

5.1 Interrupt pin configuration(Kesme Pin Yapılanırması)

Cihaz iki pin ile temin edilir ki bu pinler ya kesme sinyalleri yada veri-hazır üretmesi için aktif edilir. Seçilmiş pinlerin işlevselliği CTRL_REG3(22h) kanalı ile gerçekleştirilir.

[Figure 6](#) blok diyagramı ve [Table 15](#)

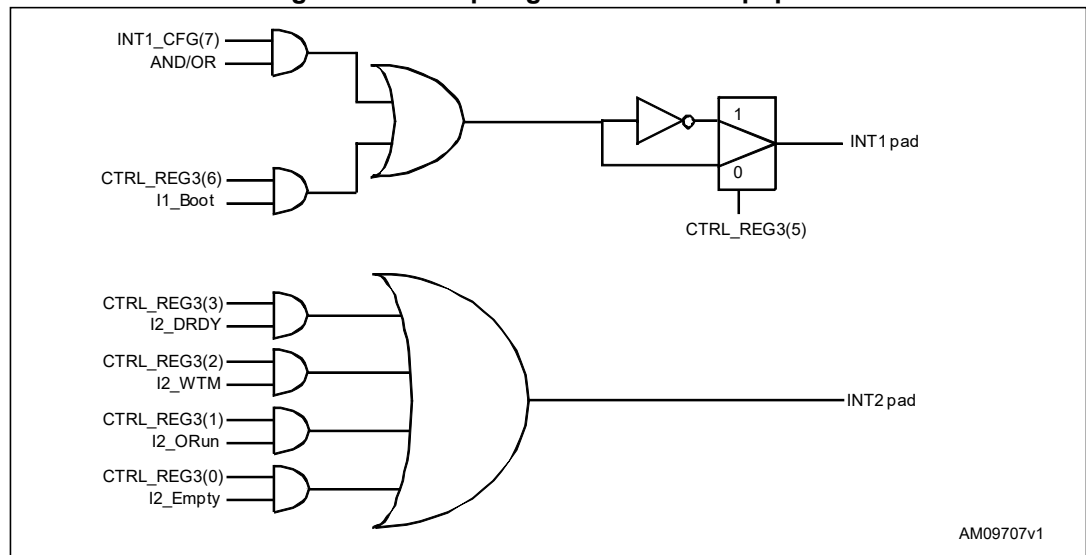
Table 15. CTRL_REG3 register

I1_Int1	I1_Boot	H_Lactive	PP_OD	I2_DRDY	I2_WTM	I2_ORun	I2_Empty
---------	---------	-----------	-------	---------	--------	---------	----------

Table 16. CTRL_REG3 description

I1_Int1	INT1 pin kesme açık. Default value 0. (0: Disable; 1: Enable)
I1_Boot	Mevcut ön yükleme durumu INT1. Default value 0. (0: Disable; 1: Enable)
H_Lactive	Etkin kesme yapılandırması INT1. Default value 0. (0: High; 1: Low)
PP_OD	Push-pull / Open drain. Default value: 0. (0: Push-pull; 1: Open drain)
I2_DRDY	Date Ready on DRDY/INT2. Default value 0. (0: Disable; 1: Enable)
I2_WTM	FIFO Watermark interrupt on DRDY/INT2. Default value: 0. (0: Disable; 1: Enable)
I2_ORun	FIFO taşma kesmesi DRDY/INT2 Default value: 0. (0: Disable; 1: Enable)
I2_Empty	FIFO boş kesmesi DRDY/INT2. Default value: 0. (0: Disable; 1: Enable)

Figure 6. Interrupt signals and interrupt pins



5.2 Interrupt configuration(Kesme Yapılandırma)

L3G4200D ,kesme sinyalini kişiselleştirmek için birkaç olasılık önerir.Kesme üretme hareketi içindeki ilgili kaydediciler NT1_CFG, INT1_THS ve INT1_DURATION.

Table 17. INT1_CFG register

AND/OR	LIR	ZHIE	ZLIE	YHIE	YLIE	XHIE	XLIE
--------	-----	------	------	------	------	------	------

Table 18. INT1_CFG description

AND/OR	Kesme olayının kombinasyonu AND/OR Default value: 0 (0: OR combination of interrupt events 1: AND combination of interrupt events)
LIR	Latch kesme talebi. Default value: 0 (0: interrupt request not latched; 1: interrupt request latched) INT1_SRC kaydedicisinin okunmasıyla temizlenir.
ZHIE	Z high olayında kesme üretimi açık. Default value: 0 (0: kesme talebi kapalı 1: ön ayarlı eşik değerinden daha yüksek ölçülmüş hız verileri üzerinde kesme talebi etkindir.)
ZLIE	Enable interrupt generation on Z low event. Default value: 0 (0: disable interrupt request; 1: ön ayarlı eşik değerinden daha düşük ölçülmüş hız verileri üzerinde kesme talebi etkindir.)
YHIE	Enable interrupt generation on Y high event. Default value: 0 (0: disable interrupt request; 1: ön ayarlı eşik değerinden daha yüksek ölçülmüş hız verileri üzerinde kesme talebi etkindir.)
YLIE	Enable interrupt generation on Y low event. Default value: 0 (0: disable interrupt request; 1: enable interrupt request on measured rate value lower than preset threshold)
XHIE	Enable interrupt generation on X high event. Default value: 0 (0: disable interrupt request; 1: enable interrupt request on measured rate value higher than preset threshold)
XLIE	Enable interrupt generation on X low event. Default value: 0 (0: disable interrupt request; 1: enable interrupt request on measured rate value lower than preset threshold)

Table 19. Interrupt mode configuration

AND/OR bit	Interrupt mode
0	OR combination of interrupt events
1	AND combination of interrupt events

Bir kesme koşulunun doğrulandığı herhangi bir zamanda,kesme sinyali üretilir ve INT1_SRC kaydedicisi tarafından oluşan koşulu anlamak mümkündür.

INT1_SRC okuma ayrıca INT1_SRC IA bitini temizler(ve en sonunda kesme sinyali INT1 pini üzerindedir) ve ayrıca latched seçeneği seçilmişse INT1_SRC içindeki verilerin yenilenmesine izin verir.

5.3 Threshold

Eşik değeri kaydedicileri INT1_THS_xH ve INT_THS_xL, kesme üretme devresi tarafından kullanılmış referans açılmal hız tanımlar.(sırasıyla MSB ve LSB)

Table 20. INT1_THS_xH register

-	THSx14	THSx13	THSx12	THSx11	THSx10	THSx9	THSx8
---	--------	--------	--------	--------	--------	-------	-------

Table 21. INT1_THS_xL register

THSx7	THSx6	THSx5	THSx4	THSx3	THSx2	THSx1	THSx0
-------	-------	-------	-------	-------	-------	-------	-------

Eşğin 1 LSB'sinin değeri seçilmiş full-scale'e bağlıdır. ([Table 22](#)).

Table 22. Threshold LSB value

Full scale	Threshold LSB value (mdps)
100	~3
200	~6.1
400	~12.2
800	~24.5

5.4 Duration(Süre)

DURATION kaydedicisinin Dx bitlerinin içeriği ,kesme olayının min süresini ayarlar fark edilmesi için.

Table 23. INT1_DURATION register

WAIT	D6	D5	D4	D3	D2	D1	D0
------	----	----	----	----	----	----	----

Table 24. INT1_DURATION description

WAIT	WAIT enable. Default value: 0 (0: disable; 1: enable)
D6 - D0	Duration value. Default value: 000 0000

Duration(süre) adımları ve max değerler ODR seçimine bağlıdır.

Süre zamanı N/ODR içinde ölçülür,N duration(süre) kaydedicisinin içeriğinin olduğu yerdir ve ODR 100,200,400,800.

Table 25. Duration LSB value in normal mode

ODR (Hz)	Duration LSB value (ms)
100	10
200	5
400	2.5
800	1.25

NT1_DURATION kaydedicisinin içindeki WAIT bitinin anlamları:

Wait = '0': Eğer sinyal seçilmiş eşik değerinde kesişirse, kesme derhal düşer (*Figure 7*)

Wait = '1': Eğer sinyal seçilmiş eşik değerinde kesişirse, (*Figure 8*). kesme şu şekilde düşer ,seçilmiş örnek hızında örnek numaraları sayılıp ve süre sayıcı kaydedicisi içine yazdıktan sonra

Figure 7. Wait disabled

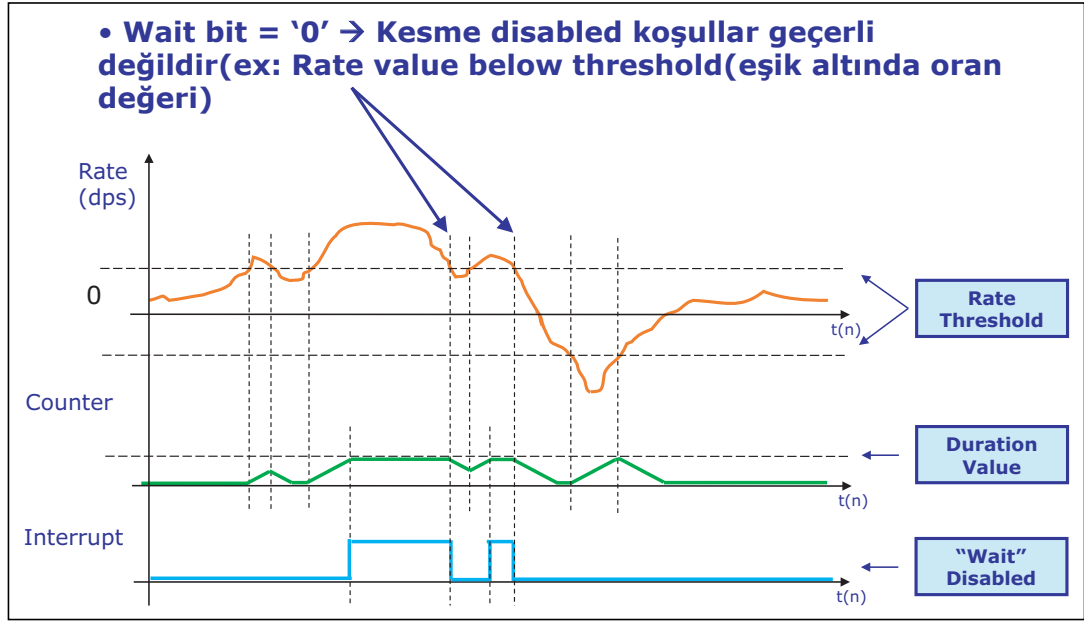
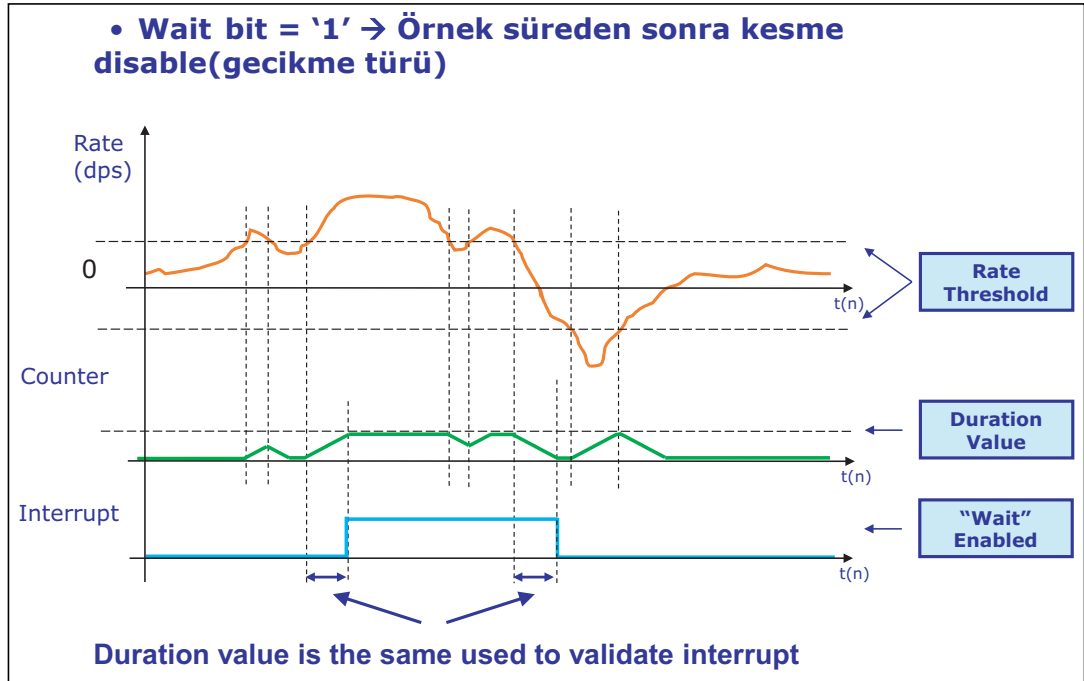


Figure 8. Wait enabled



5.5 Eksen hareketini seç ve kesmeleri uyandır

L3G4200D kesme sinyalleri seçiçi eksen hareketi(SA) tespiti olarak davranabilir ve uyanabilir. Bir kesme koşulunun doğrulandığı herhangi bir zamanda kesme sinyali üretilir ve INT1_SRC register okunarak hangi koşulun gerçekleştiği anlaşılabilir.

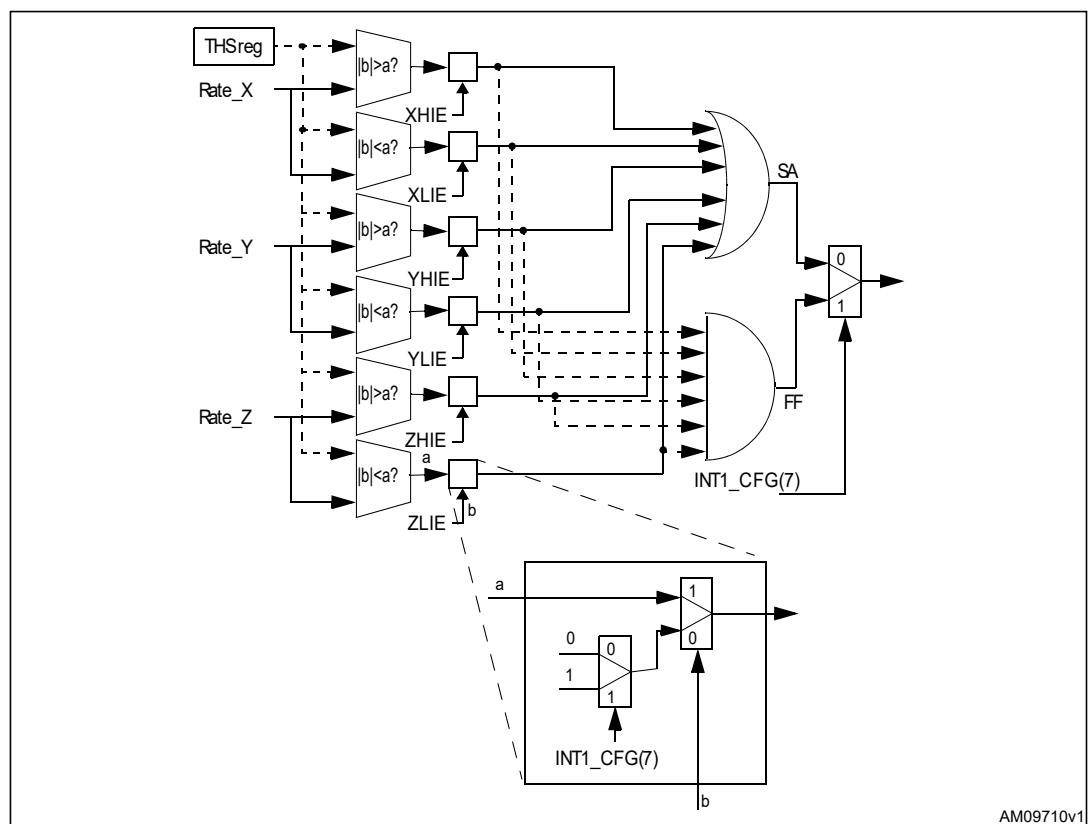
selective axis movement detection signal (SA) ve wake-up sinyal (WU) kesme üretim bloğu *Figure 9*'da sunulmuştur.

SA veya WU kesme üretme INT1_CFG register içindeki AND/OR biti ile seçilir. AND/OR bit '0' ise, eksenler için karşılaştırmacıdan gelen sinyaller INT1_CFG kanalıyla izin verilir(OR).Bu durumda ,etkin eksenlerden en az biri INT1_THS_xH ve INT1_THS_xL'de tutulan modül içindeki yazılmış eşik değerini aştığı zaman kesme üretilir. Aksi halde,eğer AND/OR '1' ise, Karşılaştırmacıdan gelen sinyaller bir "NAND" kapısı girer.Bu durumda ,eğer sadece tüm açık eksenler eşiği geçiyorsa kesme üretilir.

INT1_CFG'nin LIR biti kesme talebinin kilitli olup olmamasına izin verir. LIR '0' ve (default value),kesme durumu da artık doğrulandıysa hemen low için döndüğü zaman ve kesme koşulu sağlandığı zaman kesme sinyali high olur.Aksi takdirde LIR '1' ise,bir kesme sinyalinin uygulandığı herhangi bir zamanda, Eğer bir INT1_SRC(read-only) okunana kadar non-interrupt için koşul dönse bile kesme sinyali high kalır.

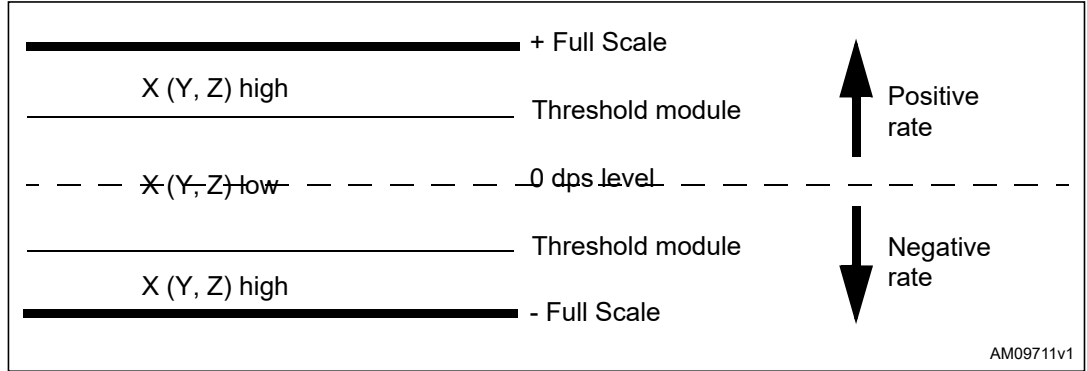
INT1_CFG içinde ZHIE, ZLIE, YHIE, YLIE, XHIE,XLIE bitleri hangi eksen üzerinde kesme kararı verilmeli bunu sağlar ve hangi yön üzerinde kesme talebi üretmek için eşik değeri geçilmeli

Figure 9. No-move, wake-up interrupt generator



Eşik değeri modülü INT1_THS tarafından tanımlanan herhangi no-move veya wake-up olayı tespit etmek için sistem tarafından kullanılır. Eşik değeri unsigned olarak 7 bit ile ifade edilir ve zero-g seviyesi etrafında simetrikdir. Unsigned X (Y, Z) açısal hız değerleri INT1_THS'den daha yüksek ise XH (YH, ZH) true olur. Benzer şekilde X (Y, Z) değerleri INT1_THS'den daha düşükse XL (YL, ZL) true olur. Daha fazla detay [Figure 10](#)

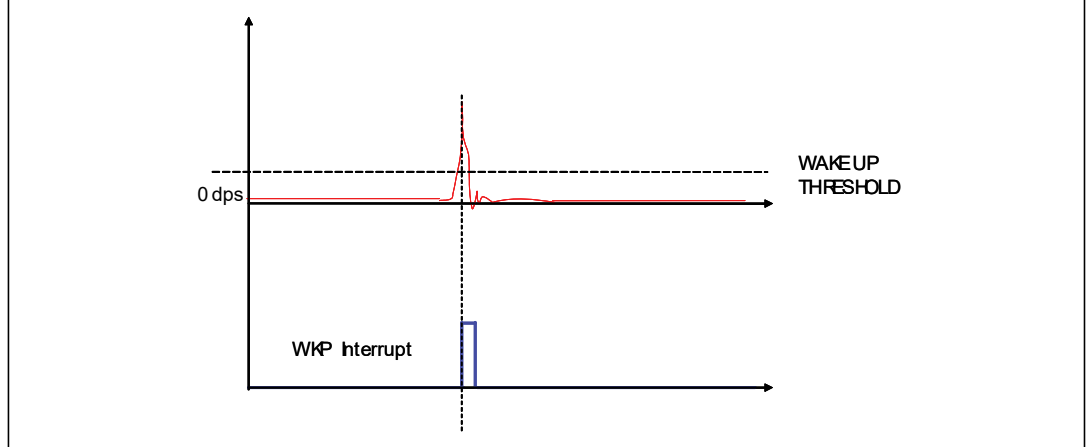
Figure 10. NM_WU_CFG high and low



5.5.1 Wake-up

Açısal hız konfügrasyon üzerinde belirli bir eşiği aştığı zaman ,wake-up kesmesi kesme üretmesine izin veren INT1_CFG'nin belirli bir yapılandırması için verir.

Figure 11. Wake-up interrupt



5.5.2 HP filter bypassed

Bu paragraf Wake-up kullanımını pratik olarak gösteren bir algoritmadır. Özellikle aşağıdaki kod ile. Kesin açısal hız, herhangi X-, Y-, Z- boyunca önayarlı eşiği aştığı zaman cihaz tanınması için ayarlanır (örnekte 100 dps kullanılmıştır). Olay ki kesme tetikleyiciler cihaz içinde tetiklenir ve bunun oluşumu INT1 kullanımı yoluyla sinyal verir.

```

1  Write 0Fh into CTRL_REG1          // Turn on the sensor and enable X, Y, and Z
                                     // ODR = 100 Hz
2  Write 00h into CTRL_REG2          // High-pass filter disabled
3  Write 80h into CTRL_REG3          // Interrupt driven to INT1 pad
4  Write 00h into CTRL_REG4          // FS = 250 dps
5  Write 2Ch into INT1_THS_XH        // Threshold = 100 dps
6  Write A4h into INT1_THS_XL        // Threshold = 100 dps
7  Write 00h into INT1_DURATION      // Duration = 0
8  Write 02h into INT1_CFG           // Enable XH interrupt generation
                                     // Poll INT1 pin waiting for the
9  Poll INT1 pad; if INT1=0 then go to 8 // wake-up event
                                     // Kesme tetiklendi olay dönüşü
10 Read INT1_SRC                     // Event handling
                                     // Event handling
11 (Wake-up event has occurred; insert
   your code here)
12 Go to 8

```

5.5.3 Using the HP filter

Aşağıdaki kodlar temel bir rutindir ki yüksek geçiren ile filtrelenmiş veriler üzerinde wake-up özelliğinin kullanımını pratik olarak gösterir. Özellikle yüklenmiş açısal hızın yüksek frekans bileşeni XYZ eksenlerinden herhangi biri boyunca önayarlı eşiği aştığı zaman cihaz tanınması için yapılandırılır (örnekte 100 dps). Olay ki kesme tetikleyicileri cihaz içerisinde mandallanır ve bunun oluşumu INT1 kullanımı yoluyla sinyal verir.

```

1  Write 0Fh into CTRL_REG1          // Turn-on the sensor and enable X, Y, and Z
                                     // ODR = 100 Hz
2  Write 00h into CTRL_REG2          // High-pass filter in normal mode
3  Write 80h into CTRL_REG3          // Interrupt driven to INT1 pad
4  Write 00h into CTRL_REG4          // FS = 250 dps
                                     // Data in DataReg and FIFO are high-pass filtered
5  Write 05h into CTRL_REG5          // Yüksek geçiren ile filtrelenmiş veriler
                                     // kesme üretme için kullanılır.
6  Write 2Ch into INT1_THS_XH        // Threshold = 100 dps
7  Write A4h into INT1_THS_XL        // Threshold = 100 dps

```



```

8   Write 2Ch into INT1_THS_YH           // Threshold = 100 dps
9   Write A4h into INT1_THS_YL           // Threshold = 100 dps
10  Write 2Ch into INT1_THS_ZH           // Threshold = 100 dps
11  Write A4h into INT1_THS_ZL           // Threshold = 100 dps
12  Write 00h into INT1_DURATION          // Duration = 0

                                         // Dummy read to force the HP filter to
13  Read REFERENCE                       // current angular rate value
                                         // (i.e. set reference angular rate)

14  Write 6Ah into INT1_CFG              // Enable XH, YH and ZH interrupt generation
                                         // Interrupt latched

15  Poll INT1 pad; if INT1=0 then go to 8 // Poll INT1 pin waiting for the
                                         // wake-up event

16  Read INT1_SRC                        // Return the event that has triggered the
                                         // interrupt

17  (Wake-up event has occurred; insert   // Event handling
    your code here)

18  Go to 15

```

Adım 13'de, Eşik kıyasını işleyen cihaza karşı anlık/refereans açısal hız/eğim durumunu set etmek için REFERENCE kaydedicisinin dummy okuması icra edilir.

Bu okuma herhangi bir zamanda gerçekleşir ve filtrenin yerleşmesini beklemeksizin bir referans durumu olarak anlık hızı ayarlamak için gereklidir.

5.6

Selective axis movement detection

Seçici eksen hareketi algılama INT1_CFG'nin belirli bir konfigrasyonunu işaret eder ve INT_THS ki cihaz sadece seçilmiş eksen etrafında döndüğü zaman tanınmasına izin verir.

Figure 12, This means the device is doing a pure yaw rotation.. ,açısal hızın 0 olarak hesaba katıldığı yeteri kadar küçük olduğu yerde zero-dps seviyesi etrafında tanımlar.Bunun INT1_CFG'nin bir yapılanmasını oluşturması mümkündür,bu yüzden ki X ve Y eksenleri etrafında rotasyon için açısal hız 0'dır tabi bu Z-ekseni 0'dan farklı ikendir.Bu demektir ki cihaz saf yaw dönüşü yapıyor. *Yaw, Roll* ve *Pitch* aşağıdadır.

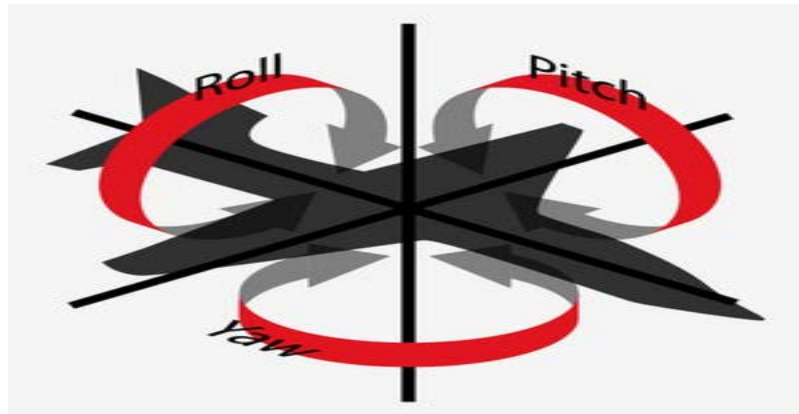
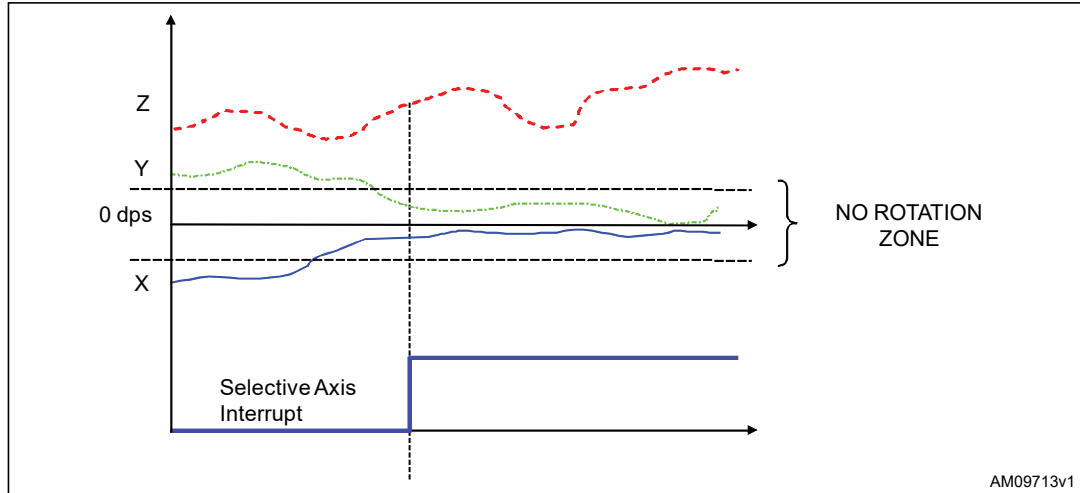


Figure 12. No-move interrupt



AM09713v1

Bu paragraf seçilmiş eksen hareket tespiti özelliğinin kullanımı için temelleri temin eder. Aşağıda verilmiş olan kodlar seçilmiş eksen hareket tespiti için SW (software) rutini uygular.

1	Write 0Fh into CTRL_REG1	// Turn-on the sensor and enable X, Y, and Z
		// ODR = 100 Hz
3	Write 80h into CTRL_REG3	// Interrupt driven to INT1 pad
4	Write 00h into CTRL_REG4	// FS = 250 dps
6	Write 2Ch into INT1_THS_XH	// Threshold = 60 dps
7	Write A4h into INT1_THS_XL	// Threshold = 60 dps
8	Write 2Ch into INT1_THS_YH	// Threshold = 60 dps
9	Write A4h into INT1_THS_YL	// Threshold = 60 dps
10	Write 2Ch into INT1_THS_ZH	// Threshold = 60 dps
11	Write A4h into INT1_THS_ZL	// Threshold = 60 dps
12	Write 01h into INT1_DURATION	// Duration = 10 ms
13	Write 65h into INT1_CFG	// Enable XL, YL and ZH interrupt generation in AND
		// configuration. Interrupt latched
14	Poll INT1 pad; if INT1=0 then go to 8	// Poll INT1 pin waiting for the
		// wake-up event
15	Read INT1_SRC	// Return the event that has triggered the
		// interrupt
16	(Wake-up event has occurred; insert your code here)	// Event handling
17	Go to 15	

Kod örneği, seçici eksen hareket tespitini 60 dps'de ayarlayan bir eşik değerinden faydalanır ve olay INT1 donanım sinyali tarafından bildirilir. Adım 12 de, yanlış tespitlerden kaçınmak için 10 ms'den daha kısa olayları görmezden gelip INT1_DURATION kaydedicisi bu şekilde yapılandırılmıştır ($1/DR=1/100 \approx 10\text{ms}$). selective axis movement detection bir kez gerçekleştiğinde istek INT1_SRC'nin okunmasıyla temizlenir ve cihaz diğer olayları tanımak için hazırdır.

6 First-in first-out (FIFO) buffer

Sırayla işlem sonrası veriyi olay tanıma için hafifletmek ve ev sahibi işlemci etkileşimini azaltmak için, L3G4200D her 3 çıkış kanalı için FIFO buffer yerleştirilmiştir.

FIFO kullanım sistem için tasarruflu güç kullanımını sağlar. O sadece anlamlı bitler FIFO'dan dışarı taşarsa ve ihtiyaç duyulursa uyanır.

FIFO buffer 5 farklı moda göre çalışabilir. Bunlar uygulama geliştirme esnasında yüksek seviye esnekliği sağlar: Bypass mod, FIFO mod, Stream mod, Stream-to-FIFO mod ve Bypass-to-Stream mod.

Programlanabilir watermark seviyesi ve FIFO taşma olayları DRDY/INT2 üzerinde ayrılmış kesmeleri üretmek için açılabilir.

FIFO description

6.1

FIFO buffer her kanal için 16 bit 32 açışal hız örnekleri için depolanabilir; veriler 16 bit ikinin tümleyeni sola yaslı şekilde depolanmıştır.

Veri örnek seti 6 bayttır. (Xl, Xh, Yl, Yh, Zl ve Zh) ve bunlar seçilmiş ODR'de FIFO için serbest bırakılır.

The new sample set is placed in the first empty FIFO slot until the buffer is full, therefore, the oldest value is overwritten. Yeni örnek seti ,tampon dolana kadar ilk boş FIFO yuvasına yerleştirilir.

Table 26. FIFO buffer full representation (32nd sample set stored)

Output registers	0x28h	0x29h	0x2Ah	0x2Bh	0x2Ch	0x2Dh
	Xl(0)	Xh(0)	Yl(0)	Yh(0)	Zl(0)	Zh(0)
FIFO index	FIFO sample set					
FIFO(0)	Xl(0)	Xh(0)	Yl(0)	Yh(0)	Zl(0)	Zh(0)
FIFO(1)	Xl(1)	Xh(1)	Yl(1)	Yh(1)	Zl(1)	Zh(1)
FIFO(2)	Xl(2)	Xh(2)	Yl(2)	Yh(2)	Zl(2)	Zh(2)
FIFO(3)	Xl(3)	Xh(3)	Yl(3)	Yh(3)	Zl(3)	Zh(3)
...
...
FIFO(30)	Xl(30)	Xh(30)	Yl(30)	Yh(30)	Zl(30)	Zh(30)
FIFO(31)	Xl(31)	Xh(31)	Yl(31)	Yh(31)	Zl(31)	Zh(31)

Table 27. FIFO overrun representation (33rd sample set stored and 1st sample discarded)

Output registers	0x28h	0x29h	0x2Ah	0x2Bh	0x2Ch	0x2Dh
	Xl(1)	Xh(1)	Yl(1)	Yh(1)	Zl(1)	Zh(1)
FIFO index	Sample set					
FIFO(0)	Xl(1)	Xh(1)	Yl(1)	Yh(1)	Zl(1)	Zh(1)
FIFO(1)	Xl(2)	Xh(2)	Yl(2)	Yh(2)	Zl(2)	Zh(2)
FIFO(2)	Xl(3)	Xh(3)	Yl(3)	Yh(3)	Zl(3)	Zh(3)
FIFO(3)	Xl(4)	Xh(4)	Yl(4)	Yh(4)	Zl(4)	Zh(4)
...
...
FIFO(30)	Xl(31)	Xh(31)	Yl(31)	Yh(31)	Zl(31)	Zh(31)
FIFO(31)	Xl(32)	Xh(32)	Yl(32)	Yh(32)	Zl(32)	Zh(32)

33. örnek FIFO'ya eklenip Tablo 26 sıradaki adımı sunduğu da buffer'da 32 örnek depolandığı zaman **Tablo 26** FIFO full durumunu sunar ve 1. örnek üzerine yazılır. Yeni en eski örnek seti çıkış kaydedicisi içine uygun hale getirilir. FIFO etkinleştirildiğinde ve Bypass usulünden farklı ise L3G4200D çıkış kaydedicisi(28h to 2Dh) her zaman en eski FIFO örnek setini içerir.

6.2 FIFO registers

FIFO buffer 3 farklı ivmeölçer kaydedicisi tarafından yönetilir. Bunlardan ikisi FIFO davranışının etkinleşmesine ve yapılandırılmasına izin verir. üçüncü ise buffer hakkında bilgi sağlar.

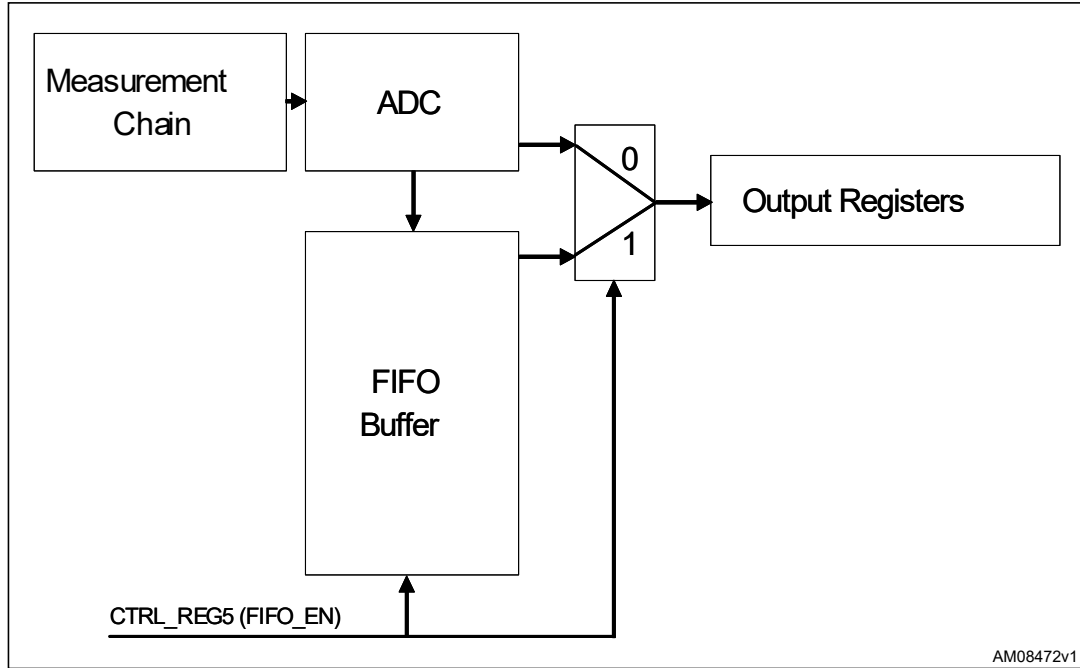
6.2.1 Control register 5 (0x24)

CTRL_REG5'in FIFO_EN biti dahili FIFO etkin olması için sırasıyla 1'e ayarlı olmalı; Bu bit set olduğu zaman jiroskop çıkış kaydedicileri(28h to 2Dh) anlık açısal hız değerlerini içermez ama FIFO'da depolanmış en eski değerleri içerir.

Table 28. FIFO enable bit in CTRL_REG5

b7	b6	b5	b4	b3	b2	b1	b0
X	FIFO_EN	X	X	X	X	X	X

Figure 13. FIFO_EN connections block diagram



AM08472v1

6.2.2 FIFO control register (0x2E)

Kaydedici FIFO yöntem seçimi ve watermark yapılandırması için tahsis edilir.

Table 29. FIFO_CTRL_REG

b7	b6	b5	b4	b3	b2	b1	b0
FM2	FM1	FM0	WTM4	WTM3	WTM2	WTM1	WTM0

The FM[2:0] bits are dedicated to defining FIFO buffer behavior:

1. FM[2:0] = (0,0,0): Bypass mode
2. FM[2:0] = (0,0,1): FIFO mode
3. FM[2:0] = (0,1,0): Stream mode
4. FM[2:0] = (0,1,1): Stream-to-FIFO mode
5. FM[2:0] = (1,0,0): Bypass-to-Stream

Tetikleyici etkinleştirmek için Stream-to-FIFO and Bypass-to-Stream yöntemlerini kullanan seçilmiş INT1_SRC değer biti IA'ya bağlıdır ve kesme pin değerine ve polaritesine bağlı değildir. Ayrıca eğer seçilmiş kesme bir kesme pini için sürülmemişse tetikleyici üretilir. WTM[4:0] bitleri watermark seviyelerini tanımlamak için tasarlanır; FIFO içeriği bu değeri aştığı zaman, FIFO kaynağı kaydedicisi içinde WTM "1" için ayarlanır.

6.2.3 FIFO source register (0x2F)

This register is updated at every ODR and provides information about the FIFO buffer status.

Table 30. FIFO_SRC_REG

b7	b6	b5	b4	b3	b2	b1	b0
WTM	OVRN	EMPTY	FSS4	FSS3	FSS2	FSS1	FSS0

- WTM biti ,FIFO içeriği watermark seviyesini aştığında "1" olur.
- OVRN biti FIFO buffer dolduğunda "1" olur. Bunun anlamı FIFO buffer okunmamış 32 örnek içerir. Aşağıdaki ODR'de yeni bir örnek seti en eski FIFO değeri ile yer değiştirir. İlk örnek seti okunduğunda OVRN biri resetlenir.
- EMPTY bayrağı "1" ;FIFO boş ve FIFO örnekleri okunduysa.
- FSS[4:0] alanı FIFO içinde okunmamış depolanmış örneklerin anlık rakamını içerir.FIFO etkin olduğunda,bu değer buffer dolana kadar ODR frekansında yükselir. Halbuki bu değer bir örnek seti FIFO'dan geri alındığında her zaman azalır

Kaydedici içeriği FIFO yazma ve okuma işlemi için eş zamanlı(senkronize) güncellenmiştir.

Table 31. FIFO_SRC_REG behavior assuming WTM[4:0] = 15 (hex)

WTM	OVRN	EMPTY	FSS[4:0]	Unread FIFO samples	Timing
0	0	1	00000	0	t0
0	0	0	00001	1	t0 + 1/ODR
0	0	0	00010	2	t0 + 2/ODR
...
0	0	0	01111	15	t0 + 15/ODR
1	0	0	10000	16	t0 + 16/ODR
...
1	0	0	11110	30	t0 + 30/ODR
1	0	0	11111	31	t0 + 31/ODR
1	1	0	11111	32	t0 + 32/ODR

FIFO taşma ve FIFO boş olaylar ,CTRL_REG3 yapılandırması tarafından DRDY/INT2 üzerinde tespit edilmiş bir kesme üretmek için etkinleştirilebilir.

Table 32. CTRL_REG3 (0x22)

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	X	I2_WTM	I2_ORun	I2_Empty

- I2_WTM bit drives the watermark flag (WTM) on the DRDY/INT2 pin.
- I2_OVRN bit drives the overrun event (OVRN) on the DRDY/INT2Y pin.
- I2_Empty bit drives the empty event (EMPTY) on the DRDY/INT2 pin

If one or more bits are set to "1", the DRDY/INT2 pin status is the logical OR combination of the three signals.(Herhangi biri bir olsa DRDY/INT2 "1" olur.)

6.3 FIFO modes

LG3G4200D FIFO tamponu FIFO_CTRL_REG(FM[2:0]) kullanılarak 5 farklı yöntem ile işletilebilir. Mevcut yapılandırmalar esnek bir yüksek seviye garantiler ve geliştirilmiş uygulama içinde kullanılabilir fonksiyonların sayısını verir.

Bunlar Bypass, FIFO, Stream, Stream-to-FIFO ve Bypass-to-Stream

Bypass mode

6.3.1

FIFO kapalıdır: Buffer temizlenir, çıkış kaydedicileri (0x28 to 0x2D) en son yüklenmiş değerde dondurulmuştur ve diğer yöntem seçilene kadar FIFO buffer boş tutulur.

Bypass yöntem yapılandırılması aşağıdadır.

1. CTRL_REG5 (0x24) FIFO_EN bit "1" yapılarak FIFO açılır . Bu işlemten sonra FIFO buffer açıktır fakat veri toplamaz, çıkış kaydedicileri yüklenmiş en son örnek setleri için dondurulmuştur.
2. FIFO_CTRL_REG(FM[2:0]) "000" yapılarak Bypass etkinleştirilir. Eğer bu yöntem etkinse, FIFO_SRC_REG (2Fh) kaydedicisi 0x20 olmaya zorlanır.

Farklı bir yöntem işletildiği zaman bypass yöntemi FIFO bufferın sırasıyla durdurulması ve resetlenmesi için kullanılır. Bypass yöntemiyle tüm buffer temizlenir.

FIFO mode

6.3.2

Buffer tamamlanana kadar dolmaya devam eder (depolanmış 32 örnek kümesi), sonra farklı bir yöntem seçilene kadar FIFO içeriği değişmez ve veri toplamayı durdurur. FIFO yapılandırması için ayarlar:

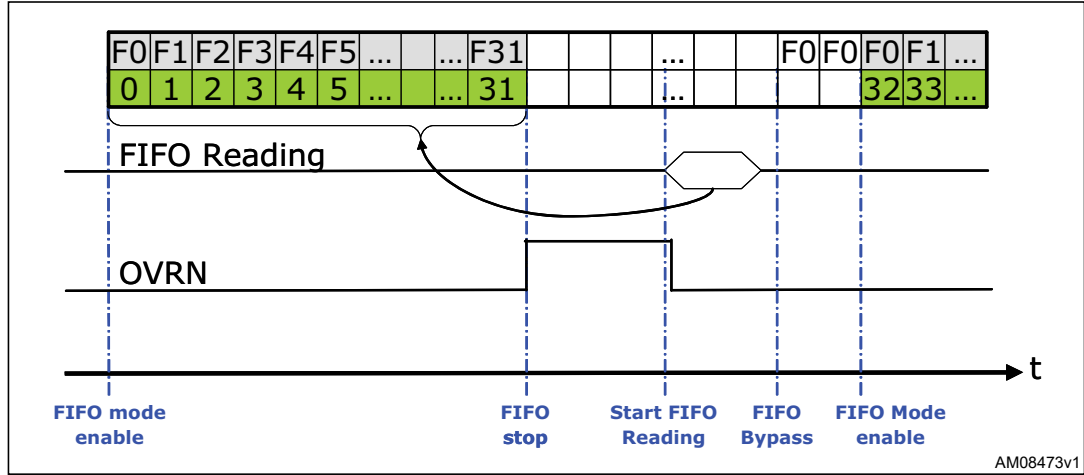
1. CTRL_REG (FIFO_EN =1) yapılarak FIFO açılır. FIFO açıktır fakat veri toplanmaz. Çıkış kaydedicileri yüklenmiş en son örnek kümesinde dondurulmuştur. FIFO_CTRL_REG(FM[2:0]=001) etkinleştirilir.

By selecting this mode, FIFO veri toplamaya başlar ve FIFO_SRC_REG (2Fh) depolanmış örnek sayısına göre değişir. İşlem sonunda, FIFO_SRC_REG 0xDF olarak ayarlanır ve eğer CTRL_REG5 içinde I2_OVRN biti seçilirse OVRN bayrağı bir kesme üretir. OVRN "1" olduğunda veri geri elde edilebilir, 32 örnek küme çıkış kaydedicilerinde okunur, ayrıca eğer uygulama daha düşük bir örnek sayısı isterse, OVRN yerinde WTM bayrağı üzerinde veriler geri elde edilebilir. FIFO yönteminde bağlantı hızının önemi yoktur çünkü veri toplama durdurulur ve elde edilen verilerin üzerlerine yazılma riski yoktur. FIFO 'yu yeniden başlatmadan önce okuma işlemi sonunda çıkmak için Bypass yöntemi gereklidir.

FIFO uygulaması:

1. Set FIFO_EN = 1: FIFO etkin
2. Set FM[2:0] = (0,0,1): FIFO yöntem çalıştır.
3. OVRN veya WTM kesmesi için bekle
4. jiroskop çıkış kaydedicilerinden verileri oku
5. Set FM[2:0] = (0,0,0): Bypass etkin
6. Adım 2'den tekrar et.

Figure 14. FIFO yöntemi davranışı



FIFO açıksa buffer verileri toplamaya başlar ve seçilmiş veri hızında tüm 32 slotu(F0'dan F31'e) doldurur. Tampon dolduğunda ,OVRN "1" olur ve veri toplama daimi durdurulur. Kullanıcı FIFO içeriğini herhangi bir zamanda okumaya karar verebilir çünkü Bypass yöntemine kadar değişmemişi muhafaza ettirir.Okuma işlemi toplam 192 bayt için 6 baytın 32 örnek kümesinden oluşur ve veri başlatma FIFO(F0)'da depolanmış en eski örnekten elde edilir.İlk örnek kümesi okunduğunda OVRN bit resetler. Bypass FIFO'yu resetler ve kullanıcı tekrar FIFO etkinliğine izin verir.

Stream mode

6.3.3

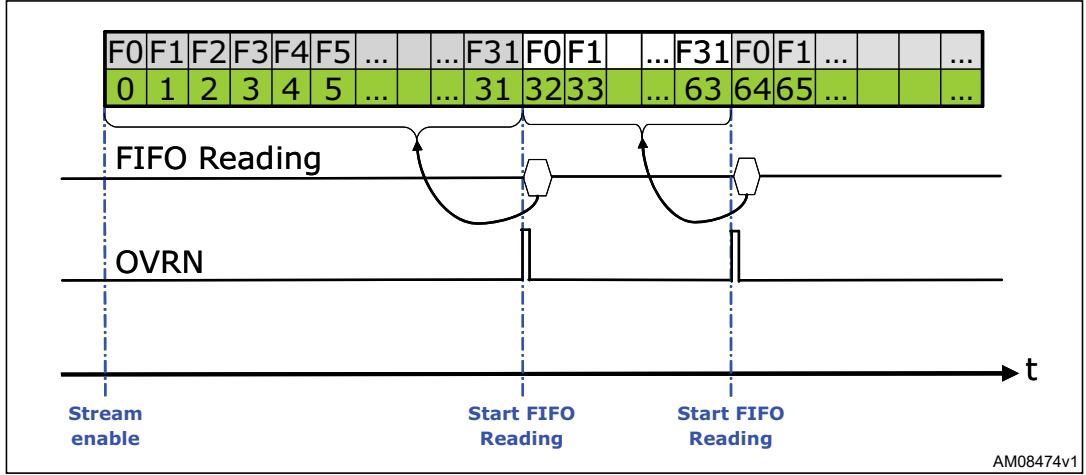
Stream yönteminde FIFO doldurmaya devam eder ve tampon dolduğunda FIFO yeniden başlar ve eski veriler güncel veriler ile yer değiştirir. Okuma işlemi FIFO yuvalarını serbest bırakana kadar eski verilerin üzerine yazmaya devam eder. Ev sahibi işlemcisinin okuma hızı en önemlisidir slotları daha hızlı serbest bırakmak için kullanıma uygun hale getirilmiş verilerden.FIFO_CTRL_REG(FM[2:0])bypass usülü bu yapılandırmayı durdurmak için kullanılır.

FIFO yapılandırma adımları:

1. CTRL_REG5(FIFO_EN=1) uygulanıp FIFO etkinleştirilir.Şimdi FIFO açıktır ama veri toplanmaz,çıkış kaydedicisi yüklenmiş son örnek kümesi için dondurulmuştur.
2. FIFO_CTRL_REG(FM[2:0]=011) yaparak Stream etkinleştirilir.

Tanımlandığı şekilde OVRN=1 olduğunda ve çıkışlardan 32 örnek kümesi okunduğunda veriler geri elde edilebilir. Ayrıca uygulama daha küçük bir örnek sayısı isterse WTM bayrağı üzerinde veriler geri elde edilebilir.

Figure 15. Stream mode fast reading behavior

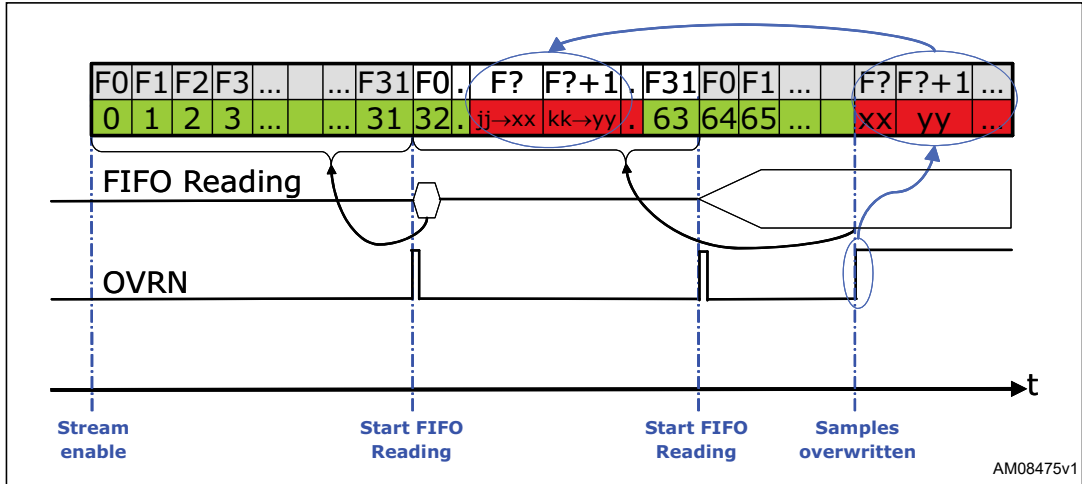


AM08474v1

Stream'de FIFO seçilmiş ODR hızında doldurulmaya devam eder(F0'dan F31'e).FIFO dolduğunda OVRN=1'dir ve tüm FIFO örneklerini(192 byte) 1*ODR'den daha hızlı okumayı önerir FIFO slotlarını serbest bırakması amacıyla yeni açılacak hız örnekleri için.Bu ver kaybından kaçınmaya izin verir ve ev sahibi işlemci etkileşimini azaltır ki sistem etkisini artırır.Eğer okuma işlemi yeteri kadar hızlı değilse üç durum gözlemlenebilir.

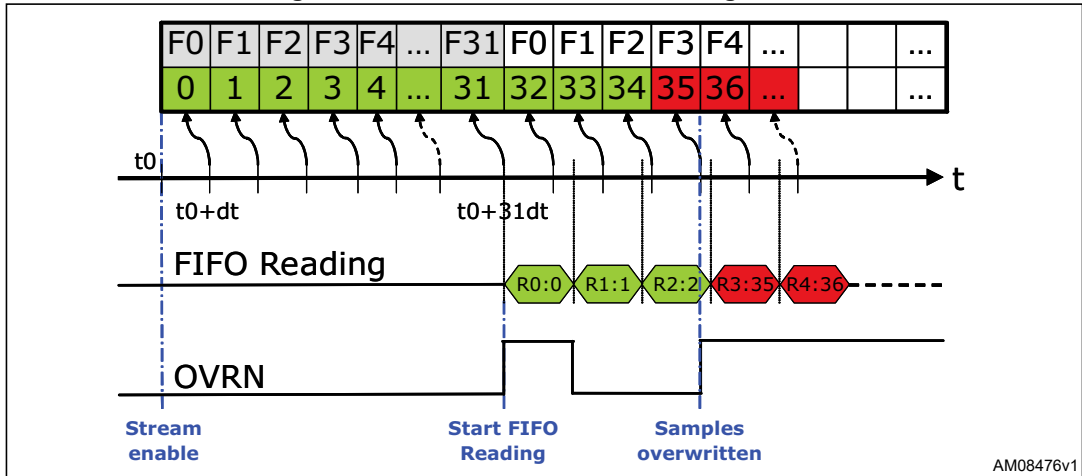
1. FIFO örnek seti(6 bayt) 1*ODR'den daha hızlı okunursa: Veriler doğru şekilde geri elde edilir çünkü yeni bir data üretmeden önce serbest bir slot uygun hale getirilir.
2. FIFO örnek seti(6 bayt) 1*ODR için eş zamanlı okunursa: Veriler doğru şekilde geri elde edilir çünkü yeni veri elde edilmeden önce yeni bir slot uygun hale getirilir, fakat FIFO faydalarından yararlanılmaz.Bu durum Data-Ready kesmesi üzerinde veri okumaya eşdeğerdir ve standart ivmeölçer okuma için karşılaştırılmış ev sahibi işlemci etkileşimini eksiltmez.
3. FIFO örnek seti 1*ODR'den daha yavaş okunursa: Bu durumda bazı veriler kaybolur, çünkü veri kurtarma yeni açılacak hız verileri için slotları serbest bırakması için yeterli hızda değildir.*Figure 16*

Figure 16. Stream mode slow reading behavior



In Figure 16, yavaş okuma yüzünden veri "jj"den geri elde edilemez çünkü yeni veriler tarafından yer değiştirilir.

Figure 17. Stream mode slow reading zoom



Stream etkin olduktan sonra, her ODR zaman çerçevesi sonunda ODR slotları doldurulur. OVRN=1 olunca okuma derhal başlamalı, okuma işlemi başında veriler FIFO'dan geri elde edilir. Okuma emri cihaza gönderildiğinde, okuma kaydedicilerin içeriği SPI/I²C kaydedicisine taşınır ve sıradaki okuma işlemine izin vermesi amacıyla geçerli en eski FIFO değerleri çıkış kaydedicileri içine kaydırılır. 1*ODR'den daha yavaş okuma durumunda bazı örnekler FIFO'dan geri elde edilebilir ki adreslenmiş konum içine yeni örnek girildikten sonra. Yeni F3 indexinden sonra dört okuma komutu başlar ve bu veri okuma içinde bir bağlantı kesme üretir. OVRN bayrağı kullanıcıya bu olayın yerini almış olduğunun fikrini verir. Bu örnekte üç doğru örnek okunmuştur, doğru kurtarılmış örnek sayısı geçerli 'ODR' ile 'FIFO örnek setinin zaman dilimi okuması' arasındaki fark üzerine bağlıdır.

6.3.4 Stream-to-FIFO mode

FIFO ve Stream birleşimidir. Bu yöntemde FIFO tamponu, stream yöntemi içinde işletmeye başlar ve seçilmiş kesme elde edildiğinde FIFO'ya değiştirir.

Stream-to-FIFO için yapılandırma adımları:

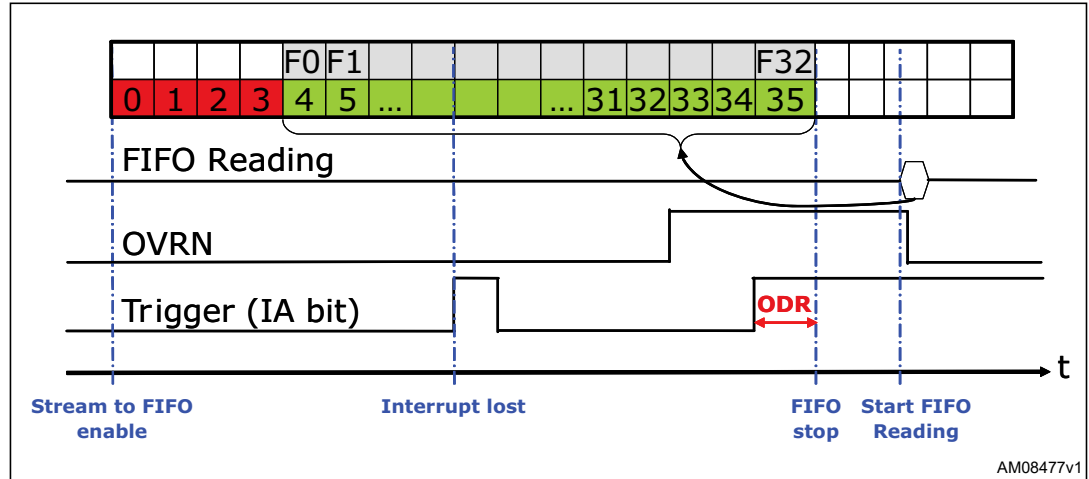
1. INT1_CFG (0x30) ile arzu edilmiş kesme üreticini yapılandır.
2. CTRL_REG5(FIFO_EN=1) ile FIFO etkinleştir. FIFO tamponu etkindir fakat veri toplamaz, çıkış kaydedicileri yüklenmiş en son örnek kümesi için dondurulmuştur.
3. Stream-to-FIFO etkinleştirilir FIFO_CTRL_REG(FM[2:0] =011)

Kesme tetikleyicisi INT1_SRC(IA) ile ilişkilidir, ve kesme sinyali bir kesme tamponu için sürülmese bile üretilir. Hem OVRN hemde IA biti "1" ise anahtarlama yöntemi icra edilir. Stream-to-FIFO yöntemi tetikleyici seviyesine duyarlıdır ama tetikleyici köşesi için değildir. Bunun anlamı Stream-to-FIFO ,FIFO yöntemi içindeyse ve kesme durumu gözden kaybolmuşsa FIFO tamponu Stream yöntemine geri döner çünkü IA biti "0" olur. Bu önerilir kullanılan kesme sinyalini mandallamak için FIFO tetikleyicisi olarak kayıp kesme olaylarından kaçınmak amacıyla. Eğer seçilmiş kesme mandallanmışsa ,INT1_SRC kaydedicisi IA bitini temizlemek için okunmalı: Okumadan sonra IA biti 0'a gitmek için 2*ODR ister.

Stream ile FIFO tamponu dolmaya devam eder ,dolduğunda OVRN=1 olur ve sıradaki örnekler eskilerin üzerine yazılır. Tetikleyici elde edildiğinde iki farklı durum gözlemlenebilir:

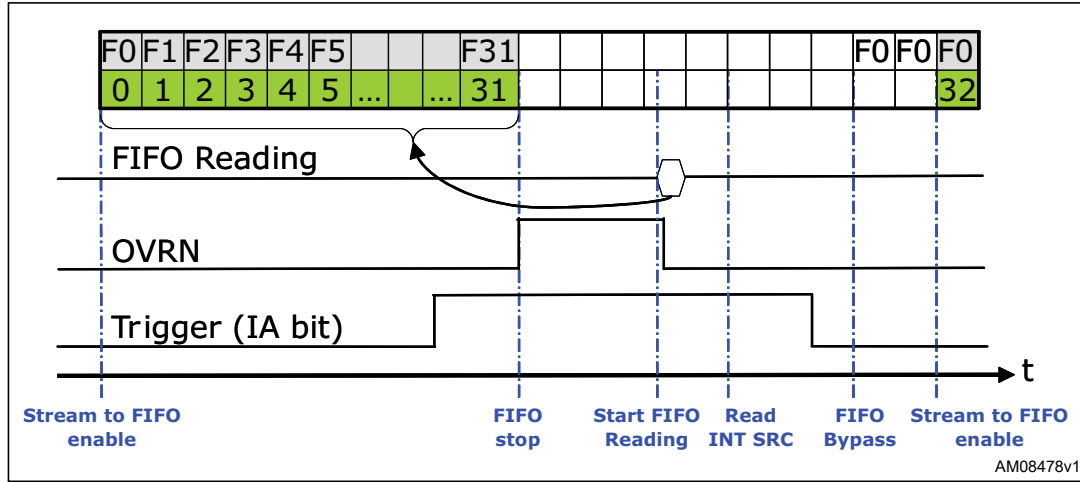
1. FIFO tamponu zaten tam doluysa(OVRN = "1"), tetikleyiciden sonra ilk örnekte veri toplamayı durdurur. Tetikleyici olayından önce FIFO içeriği toplanmış #30 örneği oluşturur.
2. FIFO henüz tam dolu değilse(initial transient), dolana kadar devam eder(OVRN = "1") ve sonra, tetikleyici hâlâ varsa veri toplamayı durdurur.

Figure 18. Stream-to-FIFO mode: interrupt not latched



AM08477v1

Figure 19. Stream-to-FIFO mode: interrupt latched



Stream-to-FIFO örnek geçmişini çözümlemek için kullanılabilir ki bir kesme üretilir; standart işlem, FIFO yöntemi tetiklendiğinde, FIFO tampon tam doluyken ve durdurulduğunda FIFO içeriğini okumak içindir

6.3.5 Bypass-to-Stream mode

Bypass ve Stream birleşimidir. Bypass-to-Stream yönteminde FIFO tamponu, Bypass'da işlemeye başlar ve seçilen kesme elde edildiğinde Stream yöntemine geçirir

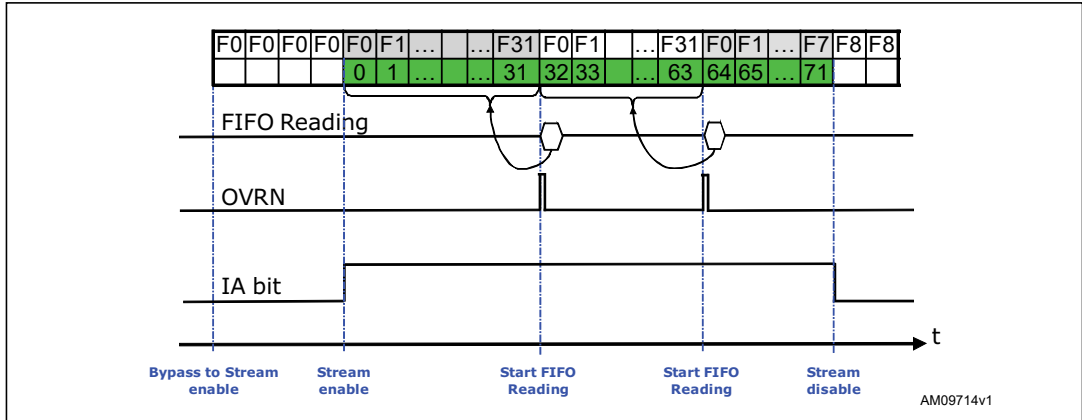
Bypass-to-Stream için yapılandırma:

1. NT1_CFG (0x30) ile arzu edilen kesmeyi ayarla .
2. CTRL_REG5(FIFO_EN=1) ile FIFO etkinleştir. FIFO tamponu etkindir fakat veri toplamaz, çıkış kaydedicileri yüklenmiş en son örnek kümesi için dondurulmuştur.
3. Bypass-to-Stream etkinleştirilir FIFO_CTRL_REG(FM[2:0] =100)

Kesme tetikleyicisi INT1_SRC(IA) ile ilişkilidir, ve kesme sinyali bir kesme tamponu için sürülmesi bile üretilir. Bypass-to-stream tetikleyici seviyesine hassastır ,tetikleyici köşesine değil. Bunun anlamı Bypass-to-Stream ,Stream yöntemi içindeyse ve kesme durumu gözden kaybolduysa FIFO tamponu Bypass'a döner çünkü IA "0"a çekilir. Bu kesme sinyalini mandallamayı önerir Stream tetikleyici olarak kayıp kesme olaylarından kaçınmak amacıyla. Seçilen kesme mandallandıysa NT1_SRC kaydedicisi IA bitinin temizlemek için okunmalı. IA biti low olmak için 2*ODR ister.

Stream'de FIFO tamponu dolmaya devam eder, tam dolduğunda OVRN=1'dir ve sıradaki örnekler eskilerin üzerine yazılır.

Figure 20. Bypass-to-Stream mode



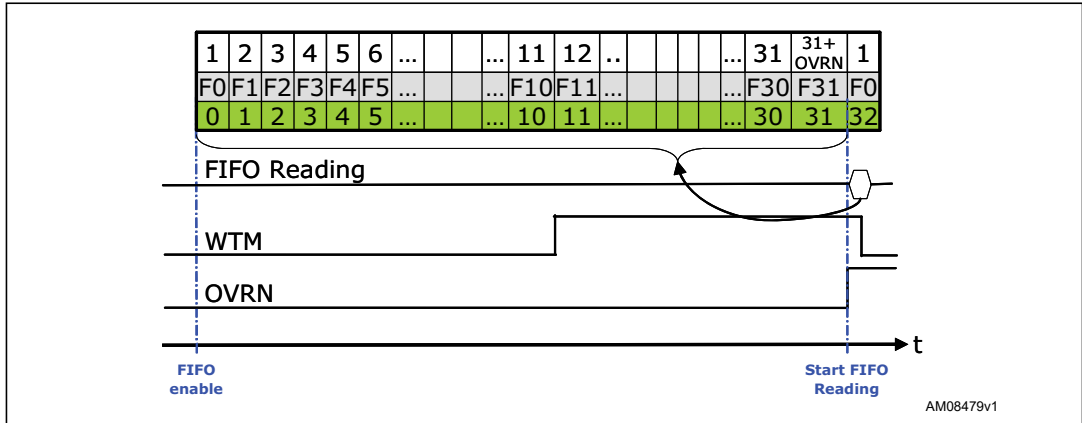
Ayarlı kesme üretildiğinde Bypass-to-stream kazançtan başlama amacıyla kullanılabilir.

6.4

Watermark

Watermark ayarlanabilir bir bayraktır ki FIFO tamponu watermark seviyesi olarak tanımlanmış en az örnek sayısını içerdiğini bilmek amacıyla belirli bir kesme üretmek için kullanılabilir. FIFO kaynak kaydedicisi olan FIFO_SRC_REG içinde FSS[4:0] daima FIFO içinde depolanmış örnek sayısını içerdiğinde, kullanıcı FIFO_CTRL_REG(WTM[4:0]) kullanarak 0-31 aralığında istenilen seviye seçebilir. FSS[4:0] daha büyükse WTM[4:0]'den, FIFO_SRC_REG içinde WTM=1 olur. Aksine FSS[4:0] daha düşükse WTM[4:0]'dan WTM=0 olur.

Figure 21. Watermark behavior - WTM[4:0] = 10 (hex)



In [Figure 21](#), ilk satır FSS[4:0] değerini belirtir, ikinci satır ilgili FIFO slotunu, son satır artan FIFO verisini gösterir. Farz etki WTM[4:0] = 10 (hex), 11. FIFO slotu doldurulduğu zaman (F10) WTM "0"dan "1"e değişir. [Figure 22](#) bize şunu gösterir : FIFO içeriği WTM[4:0]'dan daha az olduğunda WTM=low olur ki bunun anlamı 9 tane okunmamış örnek kümelerini FIFO içinde tutar. Watermark(WTM) bayrağı etkinleştirilebilir CTRL_REG3(2_WTM) ayarı tarafından DRDY/INT2 pini üzerinde bir ayrılmış kesme üretmek için.

6.5 Retrieving data from FIFO(FIFO'dan veri okuma)

FIFO etkin ve Bypass'dan farklı ise , çıkış kaydedicilerini(28h to 2Dh) okuma en eski FIFO örnek setini geri döndürür.

Çıkış kaydedicilerinin okunduğu bir zamanda, onların içeriği SPI/I2C çıkış tamponu için taşınır.FIFO slotları ideal olarak bir seviye yukarı kaydırılır yeni bir kabul için odaya bırakma amacıyla ve çıkış kaydedicileri yüklenir FIFO tamponunda depolanmış geçerli en eski veriden.

Tüm FIFO içeriği jiroskop çıkış değerlerinden 32 okuma işlemi tarafından geri elde edilir,her diğer okuma işlemi aynı son değeri geri döndürür taki FIFO tamponu içinde yeni örnek seti olana kadar.

Uygulama esnekliğini yükseltmesi amacıyla her okunan byte kombinasyonunu kullanarak FIFO'dan veriler okunabilir.(196 tek byte okuma,6 baytın 32'sini okuma,196 bayttan çoklu okuma gibi).

Tüm FIFO slotlarının 1*ODR'den daha hızlı 196 bayttan çoklu bayt okuması önerilir(32 slot tarafından 6 çıkış kaydedicisi).Master ve slave arasında minimize haberleşme için,adres okuma cihaz tarafından otomatik olarak güncellenir;OUT_Z_H ulaştırıldığında OUT_X_L için değişiklikler kaldırılır.

Veri kaybından kaçınmak amacıyla , doğru ODR mevcut haberleşme hızına göre seçilmeli.Standart I2C yöntemi kullanılmış olması durumunda(max hız 100 KHz) toplam FIFO yükleme yaklaşık 17.57ms iken tek örnek seti okuma 830 µs sürer.I2C hızı SPI'dan daha düşüktür ve haberleşmeye başlayabilmek için yaklaşık 29 saat darbesine ihtiyaç duyar(start, slave address, device address+write, restart, device address+read) artı her bayt okuma için ek 9 saat darbesi.Bu tavsiye takip edilmişse tüm FIFO okuma 1*ODR'den daha hızlı icra edilecektir ki bu standart I2C kullanımı demek ister.Seçilebilir ODR 57 Hz'den daha yavaş olmalı.Eğer hızlı I2C kullanılırsa(max 400 KHz) ODR 228 Hz'den daha az olmalı.

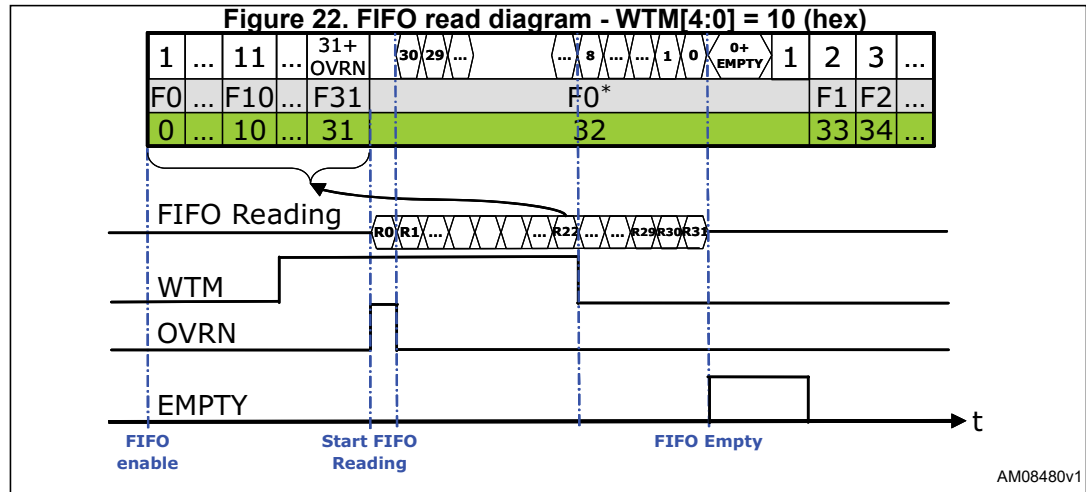


Figure 22 bir 6 bayt okuma işlemi gösterir ve "F0*" diyagram için bir tek gerilmiş ODR slotunu temsil eder.

7 Temperature sensor

L3G4200D dahili ısı sensörü ile temin edilir ki bu delta ısı ölçümü için uygundur. Isı verisi 1 Hz frekans ile üretilir ve OUT_TEMP içinde depolanır ikinin tümleyeni olarak -1 LSB/°C hassasiyet ile.

7.1 Example of delta temperature data calculation

Table 33 bize OUT_TEMP içeriğinin bir örneğini gösterir. ki farklı anda OUT_TEMP içeriğini seçeriz, t1, t2 ve ısı deltasını hesaplarız t1 t2 arasındaki.

Table 33. OUT_TEMP register content

OUT_TEMP		Time
binary	hex	
00000100	4	
00000011	3	
00000010	2	t1
00000001	1	
00000000	0	
00001111	-1	
00001110	-2	
00001101	-3	t2
00001100	-4	

Isı kaymasını aşağıdaki gibi hesaplayabiliriz:

$$\Delta T = \text{OUT_TEMP}@t2 - \text{OUT_TEMP}@t1 = -5 \text{ LSB.}$$

Hassasiyet bilgisini kullanarak şu ifade elde edilir:

$$\Delta T = -5 \text{ LSB} * -1^{\circ}\text{C/LSB} = +5^{\circ}\text{C.}$$

8 Revision history(Düzeltilme geçmişi)

Table 34. Document revision history

Date	Revision	Changes
18-Jun-2014	1	Initial release.

Please Read Carefully:

Information in this document is provided solely in connection with ST products. STMicroelectronics NV and its subsidiaries ("ST") reserve the right to make changes, corrections, modifications or improvements, to this document, and the products and services described herein at any time, without notice.

All ST products are sold pursuant to ST's terms and conditions of sale.

Purchasers are solely responsible for the choice, selection and use of the ST products and services described herein, and ST assumes no liability whatsoever relating to the choice, selection or use of the ST products and services described herein.

No license, express or implied, by estoppel or otherwise, to any intellectual property rights is granted under this document. If any part of this document refers to any third party products or services it shall not be deemed a license grant by ST for the use of such third party products or services, or any intellectual property contained therein or considered as a warranty covering the use in any manner whatsoever of such third party products or services or any intellectual property contained therein.

UNLESS OTHERWISE SET FORTH IN ST'S TERMS AND CONDITIONS OF SALE ST DISCLAIMS ANY EXPRESS OR IMPLIED WARRANTY WITH RESPECT TO THE USE AND/OR SALE OF ST PRODUCTS INCLUDING WITHOUT LIMITATION IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE (AND THEIR EQUIVALENTS UNDER THE LAWS OF ANY JURISDICTION), OR INFRINGEMENT OF ANY PATENT, COPYRIGHT OR OTHER INTELLECTUAL PROPERTY RIGHT.

ST PRODUCTS ARE NOT DESIGNED OR AUTHORIZED FOR USE IN: (A) SAFETY CRITICAL APPLICATIONS SUCH AS LIFE SUPPORTING, ACTIVE IMPLANTED DEVICES OR SYSTEMS WITH PRODUCT FUNCTIONAL SAFETY REQUIREMENTS; (B) AERONAUTIC APPLICATIONS; (C) AUTOMOTIVE APPLICATIONS OR ENVIRONMENTS, AND/OR (D) AEROSPACE APPLICATIONS OR ENVIRONMENTS. WHERE ST PRODUCTS ARE NOT DESIGNED FOR SUCH USE, THE PURCHASER SHALL USE PRODUCTS AT PURCHASER'S SOLE RISK, EVEN IF ST HAS BEEN INFORMED IN WRITING OF SUCH USAGE, UNLESS A PRODUCT IS EXPRESSLY DESIGNATED BY ST AS BEING INTENDED FOR "AUTOMOTIVE, AUTOMOTIVE SAFETY OR MEDICAL" INDUSTRY DOMAINS ACCORDING TO ST PRODUCT DESIGN SPECIFICATIONS. PRODUCTS FORMALLY ESCC, QML OR JAN QUALIFIED ARE DEEMED SUITABLE FOR USE IN AEROSPACE BY THE CORRESPONDING GOVERNMENTAL AGENCY.

Resale of ST products with provisions different from the statements and/or technical features set forth in this document shall immediately void any warranty granted by ST for the ST product or service described herein and shall not create or extend in any manner whatsoever, any liability of ST.

ST and the ST logo are trademarks or registered trademarks of ST in various countries.

Information in this document supersedes and replaces all information previously supplied.

The ST logo is a registered trademark of STMicroelectronics. All other names are the property of their respective owners.

© 2014 STMicroelectronics - All rights reserved

STMicroelectronics group of companies

Australia - Belgium - Brazil - Canada - China - Czech Republic - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Philippines - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States of America

www.st.com

