山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202200111009 | 姓名： 荆昱熹 | | 班级： 3班 |
| 实验题目：RAM实验 | | | |
| 实验学时：2 | | 实验日期： 2025年4月29日 | |
| 实验目的：  1、了解FPGA中RAM的功能；  2、掌握block ram的参数设置和使用方法；  3、掌握BRAM作为随机存储器RAM的仿真测试方法，工作特性和读写方法。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  1.数据从ram\_dp0的左边D[7..0]输入，从右边Q[7..0]输出，R/W为读/写控制信号端。  2.当输入数据和地址准备好以后，inclock触发地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。  3.数据的读出控制是从A[7..0]输入存储单元地址，在CLK信号上升沿到来时，该单元数据从Q[7..0]输出。  4.R/W是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK是读/写时钟脉冲信号；  5.DATA[7..0]是RAM\_dq0的8位数据输入端；A[7..0]是RAM的读出和写入地址；Q[7..0]是RAM\_dq0的8位数据输出端。 | | | |
| 实验步骤：  1.电路图：    2.设置ROM属性：按照要求设计RAM      3.原理分析：  Wren作为读写控制，高电平为写状态，低电平为读状态。当处于高电平时，输入对应数据，输入clk信号，将数据写入ram中，当处于低电平时，输入地址信息，一次clk信号将对应单元储存的数据读出。  4.管脚设置：  clk btn\_clk  rst\_n btn\_rst  addr 上排拨码开关8-1  data\_in 下排拨码开关8-1  wren 下排拨码开关9  data\_out 数码管2-1  5.平台验证：  在1号地址写入2：    在2号地址写入3：    读取1号地址：    6.线上测评： | | | |
| 结论分析与体会：  本次实验通过应用RAM，深入理解了RAM的工作方式，通过wren控制读写信号，在对应的位置写入数据、读取数据。 | | | |