山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202200111009 | 姓名： 荆昱熹 | | 班级： 3班 |
| 实验题目：时序系统实验 | | | |
| 实验学时：2 | | 实验日期： 2025年4月15日 | |
| 实验目的：  掌握计算机实验中时序系统的设计方法。设计一个基本时序系统，该系统具有4个节拍电平及四相工作脉 冲。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  1.74194：  移位器，S1和S0控制移位方式。00为保持，01为右移，10为左移，11为直传。SR作为右移补位，SL是左移补位。每一个时钟信号，将寄存的内容打入输出。  2.74161：  计数器，每一个clk信号会使计数器加一，经过译码电路之后每四个时钟脉冲向74194输入一个时钟信号。 | | | |
| 实验步骤：  1.电路图：    2.节拍实现原理：通过74194计数器，每个脉冲计数器按二进制加一，把二进制输入2-4译码器中，每次计数到4输出一个时钟脉冲连入移位器74194。由于clk下降沿触发，因此当Y4由1变0时触发一次74194。  3.移位实现：平台对74194进行修改，在初始时显示0001。之后进行移位操作，每出发四次clk将进行移位，将a6置1，a7置0，每四次向右移动一位。  4.管脚设置：  clk btn\_clk  clr\_n btn\_rst  SL, SR 上排拨码开关8-7  S1, S0 上排拨码开关6-5  Da, Db, Dc, Dd 上排拨码开关4-1  ENT, ENP, LD\_n 下排拨码开关7-5  A3, A2, A1, A0 下排拨码开关4-1  5.平台验证：  四次clk之后：    换为右移，又四次clk之后：    输出符合预期。  6.线上测评： | | | |
| 结论分析与体会：  本次实验通过应用74194和74161芯片，实现了时序系统电路。加深了对时序系统的理解，以及对移位电路的理解。 | | | |