山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202200111009 | 姓名： 荆昱熹 | | 班级： 3班 |
| 实验题目：七段译码设计 | | | |
| 实验学时：2 | | 实验日期： 2025年4月15日 | |
| 实验目的：  熟悉Vivado的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  1. CNT4:作为计数器，每个clk计数加一，将二进制结果输出  2. DECL7SEG：七段译码器，将输入的二进制数译码，译码结果使用7个二进制位表示，分别代表数码管的三横四竖的明暗。 | | | |
| 实验步骤：  1.电路图：    2.CNT4:作为计数器，每个clk计数加一，将二进制结果输出  3.通过不停按动节拍clk，计数器增加，经过七段译码器之后将结果输出到数码管，4位不同的二进制位对应数码管7位明暗变化情况，最终显示出0~F的图案。  4.管脚设置：  clk btn\_  clk rst btn\_rst  ena 上排拨码开关  1 LED7S 数码管1  5.平台验证：  多次连续clk，结果显示1，2，3…F；    6.线上测评： | | | |
| 结论分析与体会：  本次实验通过应用计数器以及七段译码器，实现了将01信号转换为数字图像。 | | | |