

Simulador de Hierarquia de Memória em Multicore

IMD0121 - Arquitetura de Computadores

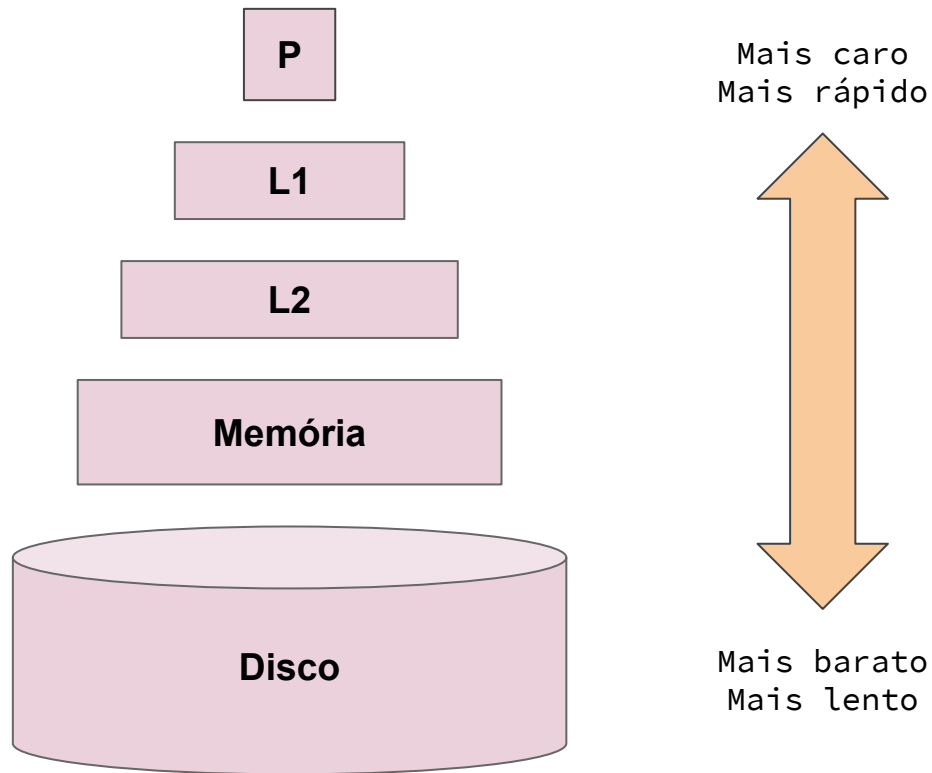
Sumário

— — —

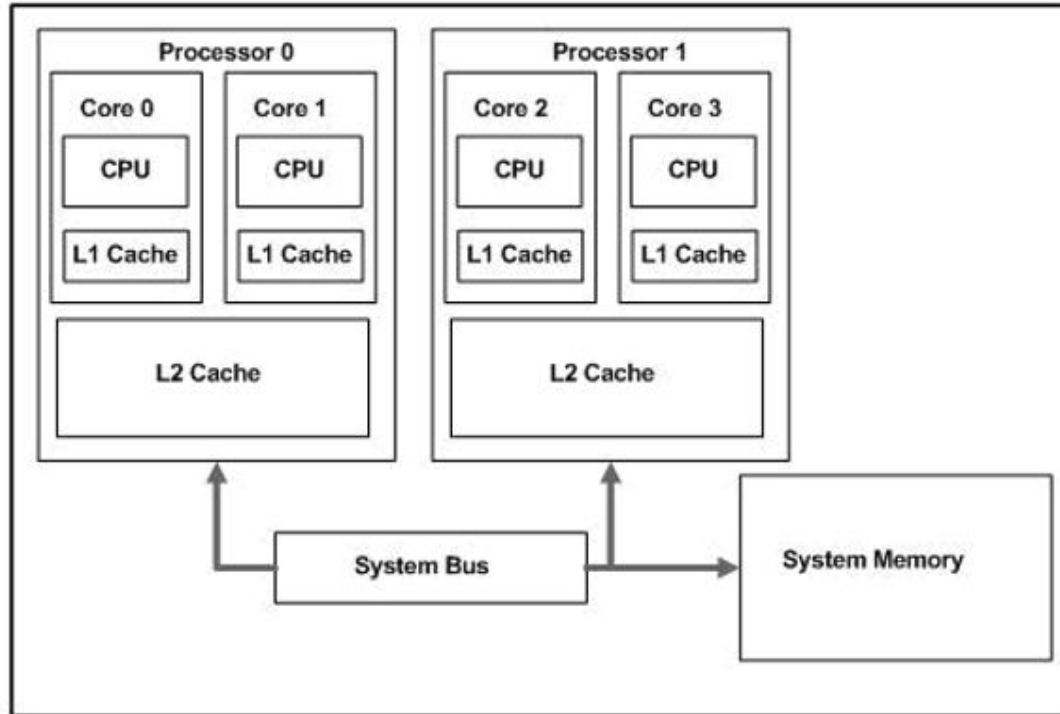
- O que é o projeto?
- Abordagem utilizada
 - Diagrama de classes
 - Descrição do sistema
 - Simulação do sistema

Hierarquia de Memória

— — —



Simulador de Hierarquia de Memória



Abordagem utilizada

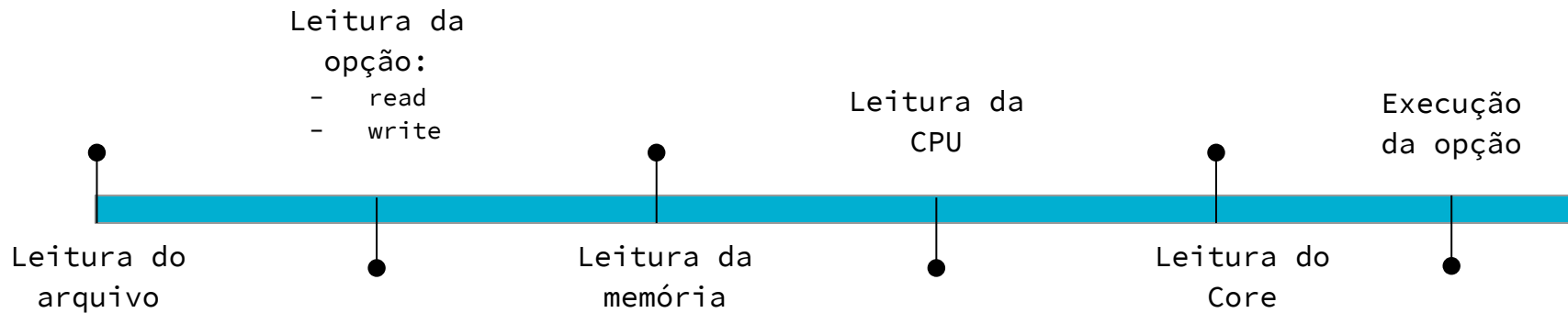
Diagrama de Classes

— — —



Descrição do sistema

— — —



test

```
1 - read
2 - write
>>> Type e to exit
```

206

⑥

2

[illegible]

```
>>> Loading Memory Address to Cache l2 and l1...
```

Data: 0

Choose one:

1 - read

2 - write

```
>>> Type e to exit
```

2

```
Select memory to be read[0, 599]:
```

35

Select a CPU[0, 1]:

1

Select a core[0, 3]:

3

```
>>> Memory state:
```

[illegible]

Enter new value:

267

```
>>> Memory Address is not in Cache l2 or Cache l1
```

Dúvidas?

Ranna Raabe Fernandes da Costa

Victor Ângelo Graça Morais

`github/rannaraabe/arq-simulator`

