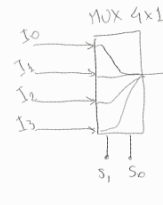
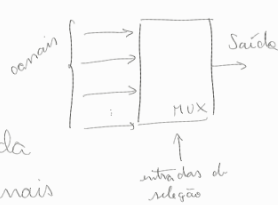


Circuitos multiplexadores

- facilidade de esquematização de várias entradas
- m variáveis de entradas (canais de entrada)
- Entradas de seleção de canais → endereçar a saída
- O nº de variáveis de seleção depende dos canais

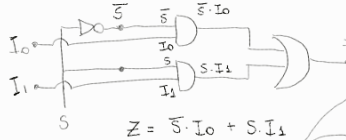
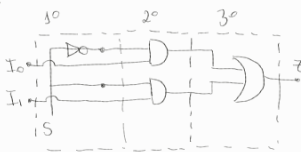
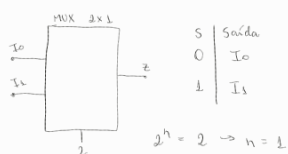


$2^n = 16$ canais
 $2^n = 4$
 $n = 2 =$ variáveis de seleção
 $S_1 = 0 \begin{cases} 00 = 0_{(10)} \\ 01 = 1_{(1)} \end{cases} \quad S_1 = 1 \begin{cases} 10 = 2_{(2)} \\ 11 = 3_{(3)} \end{cases}$
 $S_0 = 0 \begin{cases} 00 = 0_{(10)} \\ 01 = 1_{(1)} \end{cases} \quad S_0 = 1 \begin{cases} 10 = 2_{(2)} \\ 11 = 3_{(3)} \end{cases}$

Projeto de multiplexadores

- 3 estratégias: 1º Projeto de circuito quociente de produtos canônicos 2º Conjunto de portas AND 3º Uma porta OR

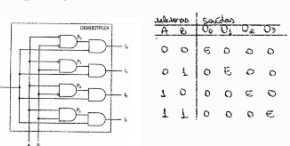
Ex: Projeto de MUX de 2 canais



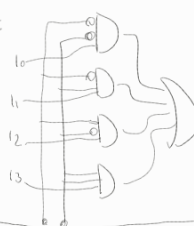
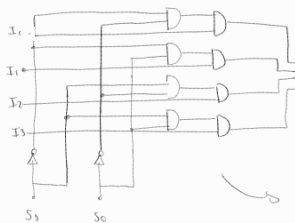
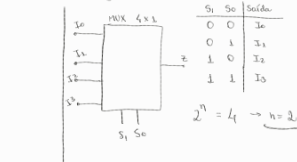
Circuitos Demultiplex

- 1 canal de entrada, várias de saída
- Porquê 2 estratégias

- 1º Gerador de produtos canônicos
- 2º Conjunto de portas AND



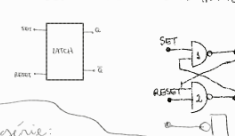
Ex: Projeto de MUX de 4 canais



Latch

→ Armazenamento temporário

- SET = RESET = 1 → Repouso
- SET = 0 RESET = 1 → Inicia, Q = 1 (1 permanece)
- SET = 1 RESET = 0 → Saída, Q = 0 (0 permanece)
- SET = RESET = 0 → INDEFINIDO



NÍVEL



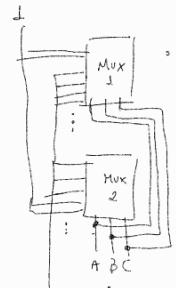
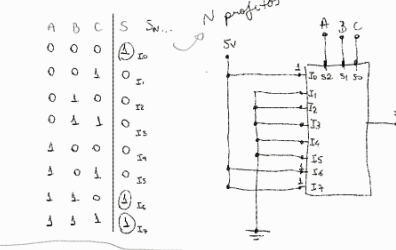
Circuitos Multiplex

→ Transformando uma informação paralela em uma informação série:

Ex: Multiplex

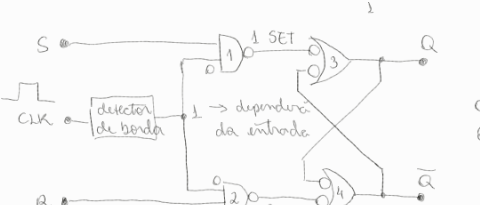
Como implementar o circuito lógico utilizando 1 (Canais) multiplexador de 8 canais e portas lógicas?

Ex: Circuito 3 entradas

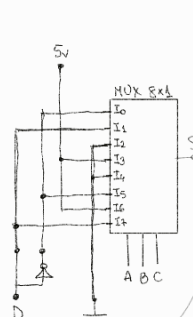


FF → Borda

Circuito interno



A	B	C	D	S
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0



Entradas Assíncronas

PRESET	CLR	Q
0	1	1
0	0	1
1	0	1
1	1	1

Contadores Assíncronos

$F = \frac{1}{T} \therefore F_N = \frac{F_{CLK}}{2^n}$

- 1. J = K = 1 (Todos os FF's em J-K igual a 1)
- 2. Sinal de clock aplicado apenas no 1º FF
- 3. Saída de 1 FF é transformado em entrada do seguinte
- * Assim segue a sequência binária de contagem

Módulo

- Quantidade de estados ESTÁVEIS da sequência de contagem
- Módulo = $2^n \rightarrow n =$ nº de FF
- (Assíncrono) na conf. básica

$T_{clock} \geq N \times t_{pd}$

$f_{max} = \frac{1}{N \times t_p}$

$Atraso\ total = t_{pd}\ de\ FF + t_{pd}\ da\ porta\ AND$

Projeto de contadores síncronos

Ex: 0 → 2 → 4 → 6

- 1º Determinar o nº de FF's do contador
- 2º Desenhe o diagrama de transição de estados
- 3º Transforme o diagrama em uma tabela estado atual → próximo estado
- 4º Acrescentar células p/ as entradas de cada FF utilizado no projeto

JK	Q
00	Qa
01	0
10	1
11	Qa



	J	K
0 → 0	0	X
0 → 1	1	X
1 → 0	X	1
1 → 1	X	0

Contadores Síncronos

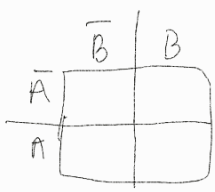
- Corrige o problema de atraso
- Requisitos

- 1. CLK ligado a todos os FF's
- 2. J e K do 1º FF ligados em 1
- 3. A partir do 2º FF a entrada J e K vai ser 1 quando os sinais anteriores J e K utilizarem em 1.

Analisando o circuito

- 1. Escrever a expressão lógica para cada J e K
- 2. f_{total} - Todos os estados possíveis + expressão de J, K e D
- 3. Com a tabela de FF prever o futuro
- 4. Repete tudo

Contadores de módulo < 2ⁿ → ... igual aos assíncronos



J

	$B - B$			
\overline{A}	0	1	3	2
A	4	5	6	7
	\overline{C}	C	\overline{C}	

	\overline{C}		C		
\overline{A}	0	1	3	2	\overline{B}
	4	5	7	6	
	12	13	15	14	B
A	8	9	11	10	\overline{B}
	\overline{D}	D	\overline{D}		