

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Інститут комп'ютерних технологій, автоматики та метрології
кафедра “Електронних обчислювальних машин”



Звіт

з лабораторної роботи №1

дисципліни «МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ»

**на тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення
зі стендом Elbert V2 – Spartan 3A FPGA.»**

Варіант 5

Виконав:

студент групи КІ-202

Герцик М.А.,

Прийняв:

Козак Н.Б

Львів – 2024

Мета роботи: Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

Завдання

1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Вхідні дані:

Таблиця істинності:

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5	out_6
0	0	1	0	0	0	1	1	0
0	1	1	0	0	1	1	1	0
1	0	0	1	0	0	1	0	0
1	1	1	0	1	0	1	1	1

Виконання роботи

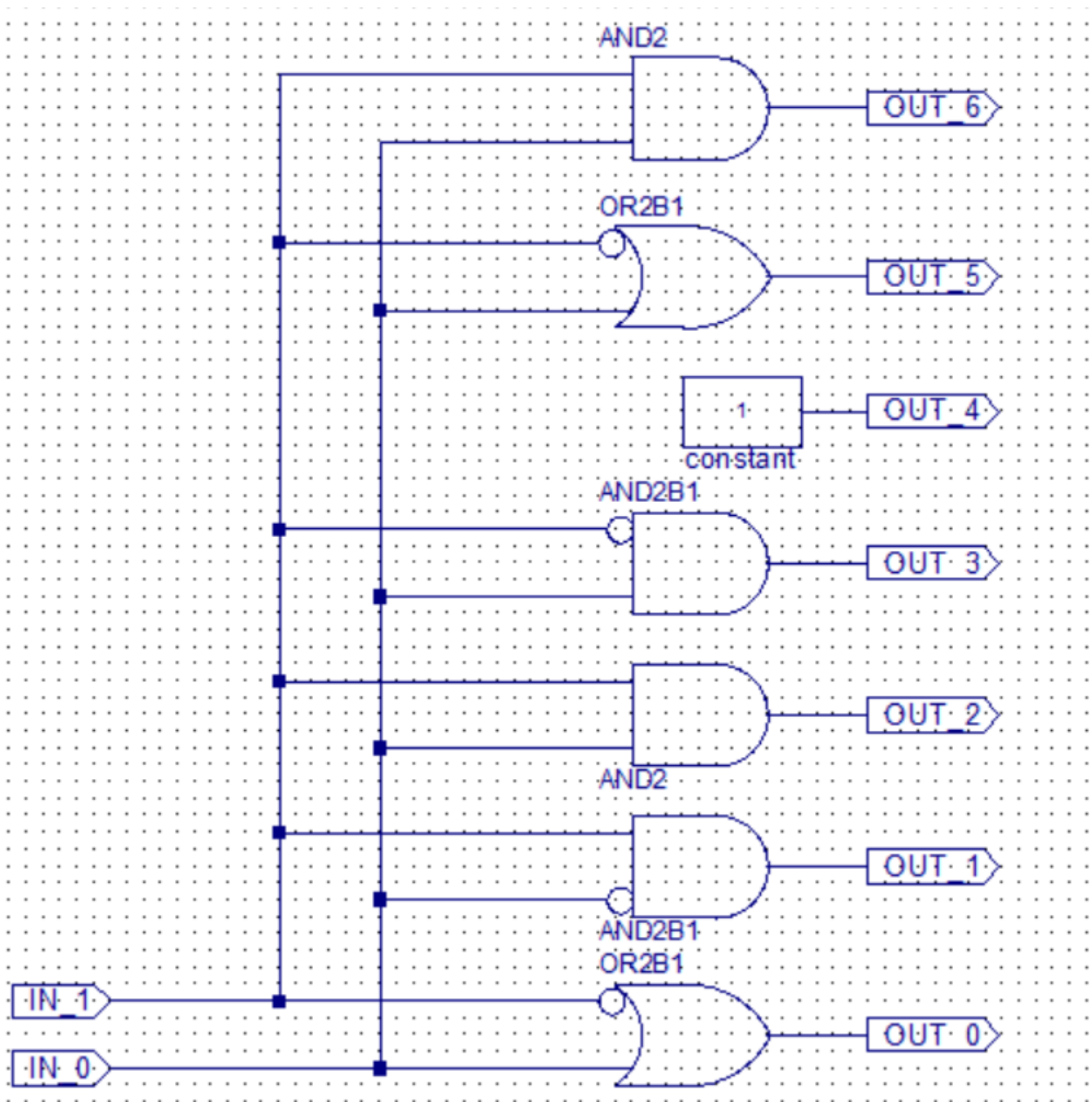


Рис.1.2 Реалізована схема

```
#+++++
+++++
```

This file is a .ucf for ElbertV2 Development Board

#

To use it in your project :

#

* Remove or comment the lines corresponding to unused pins in the project

#

* Rename the used signals according to the your project

#

```
#+++++
+++++
```

```
*****
*****#
```

```
#                UCF for ElbertV2 Development Board
#
```

```
*****
*****#
```

```
CONFIG VCCAUX = "3.3" ;
```

```
# Clock 12 MHz
```

```
# NET "Clk"                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
```

```
#####
#####
```

```
#                LED
```

```
#####
#####
```

```
    NET "OUT_0"            LOC = P46  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
    NET "OUT_1"            LOC = P47  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
    NET "OUT_2"            LOC = P48  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
    NET "OUT_3"            LOC = P49  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
    NET "OUT_4"            LOC = P50  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
    NET "OUT_5"            LOC = P51  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
    NET "OUT_6"            LOC = P54  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

```
#####
#####
```

```
#                DP Switches
```

```
#####
#####
```

```
NET "IN_0"      LOC = P70  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;
```

```
NET "IN_1"      LOC = P69  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;
```

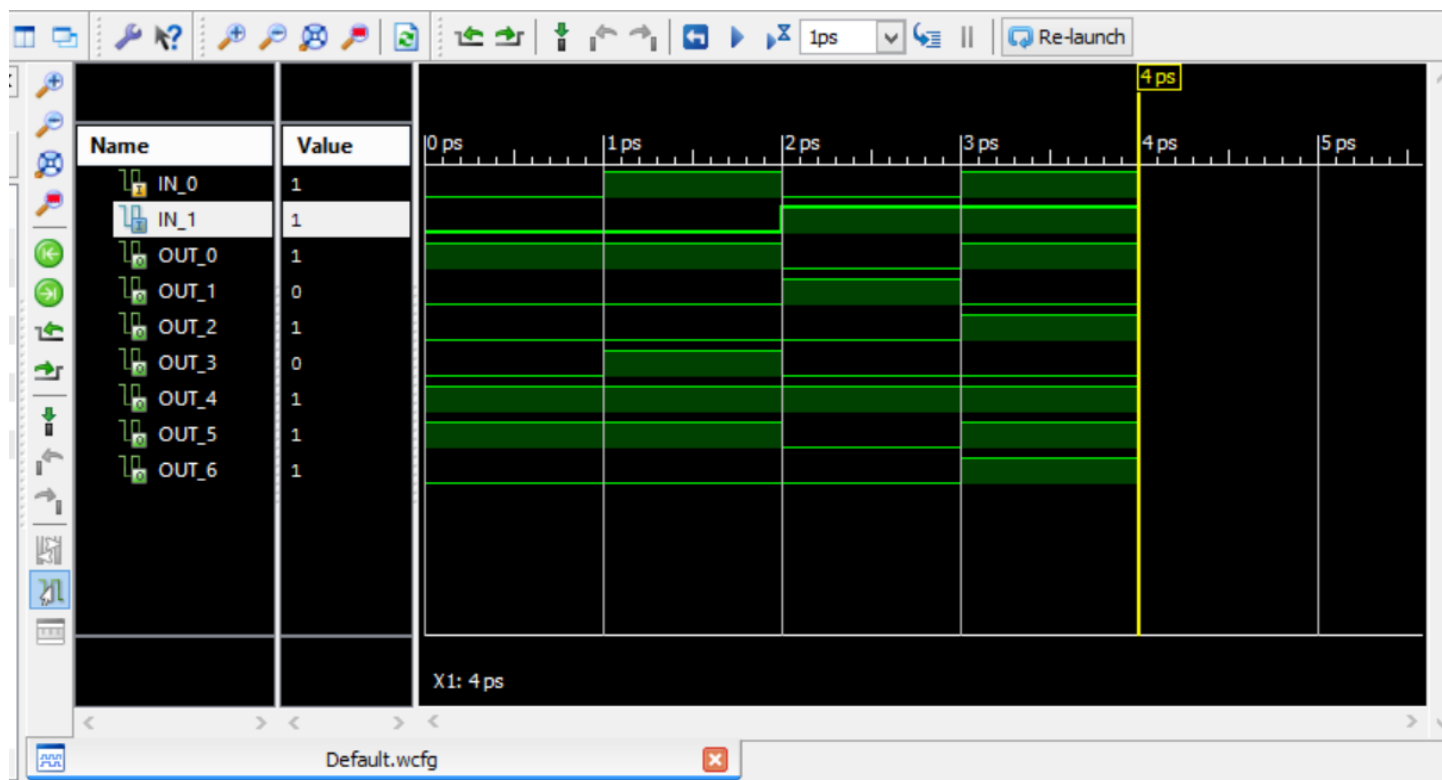


Рис.1.3 Часова Діаграма

Висновок. На даній лабораторній роботі навчився інсталяції середовища розробки Xilinx ISE та ознайомився з ним, а також зі стендом Elbert V2 – Spartan 3A FPGA.