

INC - Návrh číslicových systémov
Projekt: UART – přijímací část

Pavel Kratochvíl (xkrato61)

April 2021

1 Návrh automatu (Finite State Machine)

1.1 Schéma automatu

Legenda:

- Stavy automatu: WAIT_START, WAIT_FIRST, RECEIVE_DATA, WAIT_STOP, DATA_VALID
- Vstupné signály: DIN, CLK, RST, CNT, CNT2
- Moorove výstupy: CNT_EN, RX_EN, DT_VLD

1.2 Popis funkcie:

Môj UART receiver pozostáva z konečného automatu popisujúceho zmeny stavov a samotného prijímača, ktorý nachádza štart a stop bit a ukladá prijaté dátové bity do registra. V konečnom automate je definovaných 5 stavov:

1. **WAIT_START(begin)** - očakáva START bit (log. 0)
2. **WAIT_FIRST** - po START bite počíta 16 následujících hodinových cyklov do začiatku prenosu
3. **RECEIVE_DATA** - po každých 16 bitoch zaznamenaná hodnota DIN vstupu a priradí do DOUT
4. **WAIT_STOP** - po ôsmich dátových bitoch čaká 16 hodinových cyklov
5. **DATA_VALID** - na jeden hodinový cyklus aktivuje výstup DOUT_VLD a vráti sa do 1. stavu

K automatu je pripojený asynchrónny vstup RST, po ktorého spustení sa počítadlá cyklov vymažú a automat sa vráti do begin stavu.

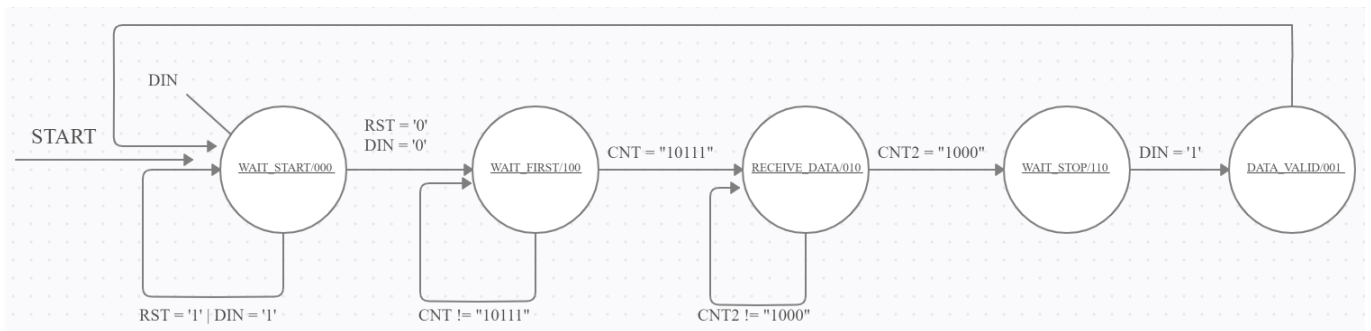


Figure 1: Graf konečného stavového automatu

2 Snímok obrazovky so simuláciou:

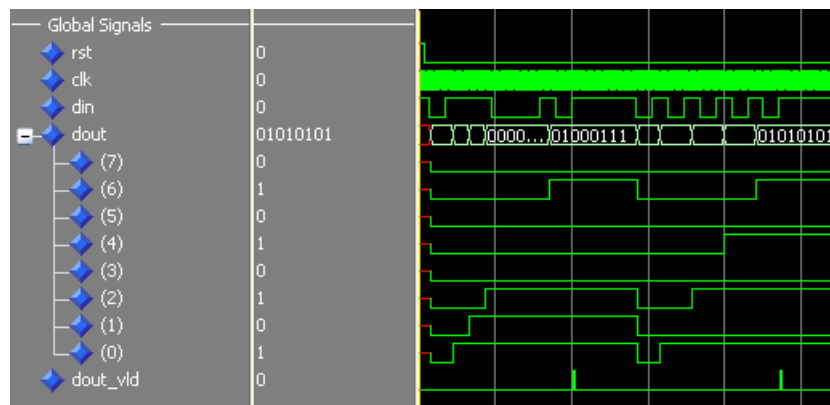


Figure 2: Simulácia príbehu v Modelsim-e

3 RTL schéma obvodu:

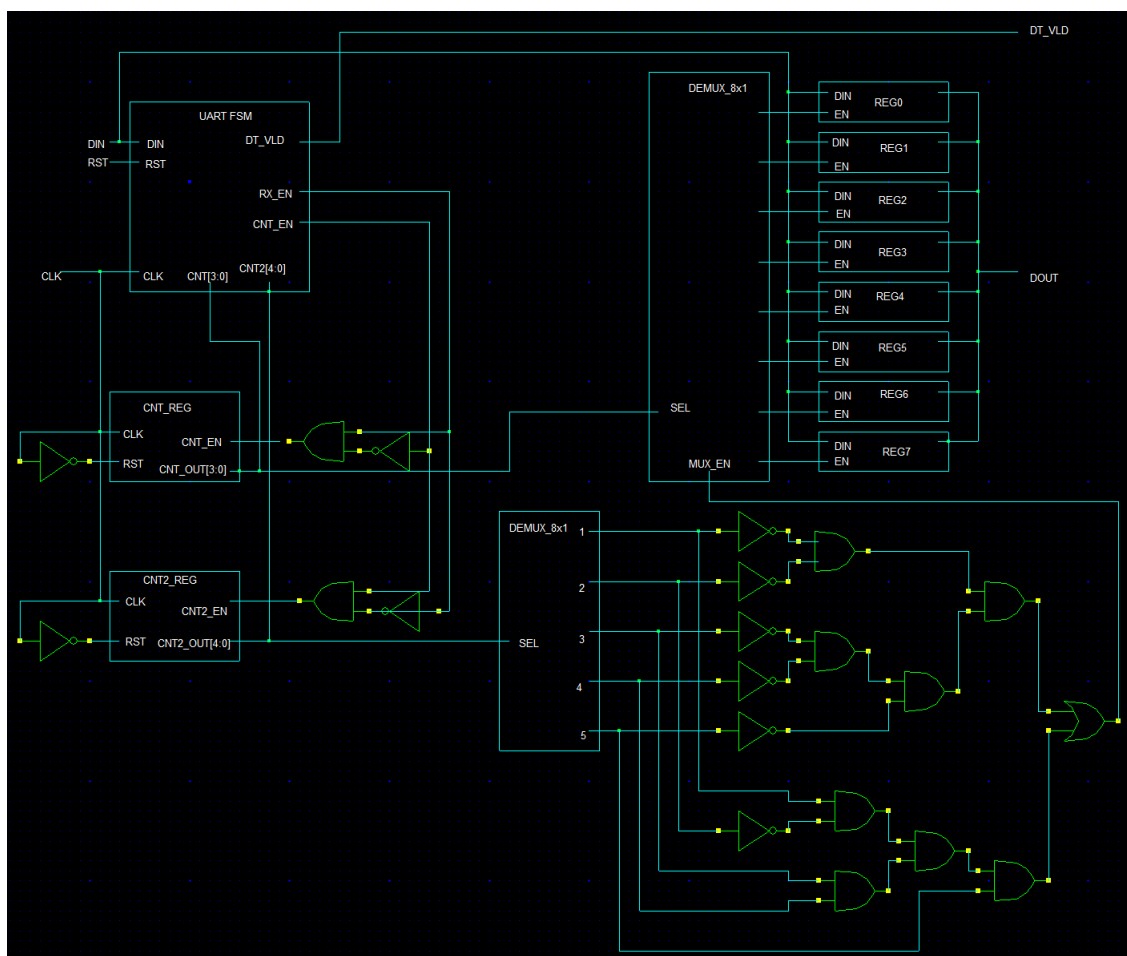


Figure 3: Schéma obvodu