

Polysilicon and Metal - A Glimpse on MOSFETs' Design Challenges

Rastin Maleki

Faculty of Engineering, University of Guilan, Rasht, Guilan, Iran.

E-mail: rastin.maleki@gmail.com

Short Abstract

As MOSFET transistors were introduced, their gate electrodes were made of aluminum. However, in the late 1970s, aluminum was replaced with polysilicon. This change was made to reduce the overlap between the source/drain and the gate, and to lower the threshold voltage. For around 40 years, polysilicon was the preferred gate material in MOSFETs, but as transistors continued to shrink, several issues emerged. These issues included unwanted capacitance between active regions and the gate, velocity saturation and mobility degradation, and gate leakage. Various solutions were developed to tackle these problems. Unwanted capacitance between the active regions and the gate was addressed by switching from metal gates to polysilicon. Velocity saturation was mitigated using strained silicon. Finally, to deal with gate-channel leakage, the industry saw returning to metal gates as the solution. In 2007, Intel led the way by reintroducing metal gates in their 40nm and 45nm processors. They also introduced High-K Metal Gate (HKMG) technology in CMOS devices. In this approach, the insulating layer was made from high-k materials instead of polysilicon, and the gate material was changed to metal. This research report delves into the reasons for these changes and explores some of the other challenges related to the scaling of MOSFETs.

Keywords

Transistor, MOSFET, High-K materials, Silicon dioxide, Metal gate, Polysilicon, HKMG, CMOS

1- Short Introduction

Designing transistors has always involved numerous challenges, requiring continuous adjustments over time. With the emergence of the semiconductor industry, a new type of transistor called the MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) was introduced. Although the 'M' in MOSFET stands for metal, the gate material isn't always metal, and selecting the appropriate gate material has been a significant challenge for designers. Choosing suitable materials for MOSFET structures is crucial in addressing these issues in the semiconductor and integrated circuit industry.

2- Proposed Work and Methodology

In this article, problems and solutions leading the gate material changes over time are discussed. In this report, we first explore the reasons for changing the gate material from polysilicon to metal. We then examined other challenges related to MOSFET design and their solutions, and finally discuss the return to using metals and the reasons behind it.

3- Conclusion

We demonstrated that further miniaturizing transistors becomes more challenging with each generation, indicating that Moore's exponential growth may not continue indefinitely, as even Gordon Moore acknowledged the inevitable end of this trend. Transistors are not perfect, and the issue of miniaturization in the semiconductor and integrated circuits industry remains a critical area for research and development to address these imperfections. Ultimately, despite these challenges, the key takeaway is that while transistors are not flawless, their performance as electrical switches are still highly effective.

4- References (2-3 references)

- [4] G. SJÖBLOM, "Metal Gate Technology for Advanced CMOS Devices," Department of Engineering Sciences, Uppsala University, Uppsala, Sweden, 2006.
- [6] D. H. Neil H.E. Weste, CMOS VLSI Design : A circuits and systems perspective, 4 ed. Pearson, 2015.
- [9] S. T. P. Packan and M. Bohr, "MOS Scaling: Transistor Challenges for the 21st Century," Intel Technology Journal, vol. 3, no. 98, 1998.

پلی سیلیکون و فلز: نیم‌نگاهی به چالش‌های طراحی ماسفت

راستین ملکی

دانشجوی کارشناسی، دانشکده فنی، دانشگاه گیلان، رشت، ایران

چکیده

در ابتدای معرفی ترانزیستورهای ماسفت، پایه گیت این ترانزیستور از جنس آلومینیوم بود. با گذر زمان و در اواخر دهه ۷۰ میلادی، این فلز با هدف دستیابی به حداقل هم‌پوشانی سورس/درین با گیت و ولتاژ آستانه پایین با پلی سیلیکون جایگزین شد. طی حدود ۴۰ سال حاکمیت پلی سیلیکون به عنوان ماده گیت منتخب در ساختار ماسفت، چالش‌های زیادی ناشی از کوچک‌سازی ترانزیستورها مثل خازن‌های ناخواسته میان نواحی اکتیو و گیت، اشباع سرعت و کاهش تحرک‌پذیری، نشتی گیت و غیره نمایان شدند. تکنیک‌های مختلفی برای حل این چالش‌ها ارائه شدند؛ مشکل خازن‌های اکتیو-گیت ناخواسته بالا با جایگزینی گیت فلزی توسط پلی سیلیکون حل شد، اشباع سرعت با سیلیکون کشیده شده و در نهایت، مشکل نشتی گیت-کانال به بازگشت گیت‌های فلزی منجر شد. در سال ۲۰۰۷، اینتل به عنوان یکی از پیشروان این صنعت در پردازنده‌های ۴۰ و ۴۵ نانومتری خودش به استفاده دوباره از گیت‌های فلزی روی آورد و با معرفی تکنولوژی HKMG در دستگاه‌های CMOS، جنس عایق را از نوع مواد های-کی به جای پلی سیلیکون، و به دنبال آن جنس گیت را از نوع فلز انتخاب کرد. در این گزارش تحقیقی، به دلایل این تغییرات و برخی از دیگر چالش‌های مرتبط با کوچک‌سازی ماسفت‌ها خواهیم پرداخت.

کلمات کلیدی

ترانزیستور، ماسفت، مواد های-کی، سیلیکون دی‌اکسید، گیت فلزی، پلی سیلیکون، HKMG، CMOS

نام نویسنده مسئول: راستین ملکی

ایمیل نویسنده مسئول: rastinmaleki@guilan.ac.ir

تاریخ ارسال مقاله: چیزی نوشته نشود.

تاریخ(های) اصلاح مقاله: چیزی نوشته نشود.

تاریخ پذیرش مقاله: چیزی نوشته نشود.

۱- مقدمه

پردازنده‌ها بوده، و با ادامه روند کوچک‌سازی ترانزیستورها، خصوصاً در ابعاد نانومتری، چالش‌ها و مشکلات جدیدی نمایان می‌شدند. انتخاب مواد مناسب در ساختار ماسفت در صنعت مدارهای مجتمع و نیمه‌رساناها، به عنوان یک مسئله اساسی با هدف حل این مشکلات تلقی می‌شود. بررسی ساختار، کارکرد و روابط اولیه ماسفت به درک رفتار آن کمک خواهد کرد.

۲- جایگزینی فلز با پلی سیلیکون

پلی سیلیکون یک نمونه پلی کریستالی با خلوص بالا از سیلیکون است که به عنوان یکی از مواد اولیه در صنعت الکترونیک و فتوولتائیک شناخته می‌شود. یکی از نیازمندی‌های یک ماده گیت خوب این است که رسانای خوبی باشد. پلی سیلیکون ناخالص^۵ (یا دوپ شده) اگرچه رسانای ایده‌آلی نیست، اما قابل قبول است. دو دلیل اصلی جایگزینی پلی سیلیکون توسط فلزات در این بخش مطرح شدند.

۲-۱- خازن‌های ناخواسته گیت-اکتیو

یکی از ایرادات فرایند ساخت قدیمی ماسفت‌ها، پدیده کشیدگی سورس/درین^۶ است. این پدیده به معنای وجود هم‌پوشانی میان نواحی سورس/درین و عایق بوده؛ به تبعیت از این هم‌پوشانی، خازن‌های ناخواسته و مضر C_{gs} و C_{gd} تشکیل می‌شوند. شکل ۱ این خازن‌های ناخواسته را نشان می‌دهد.

طراحی ترانزیستورها^۱ همواره با چالش‌های متعددی همراه، و حل آنها نیازمند اعمال تغییرات پیوسته در گذر زمان بوده است. با شکل‌گیری و ورود صنعت نیمه‌رساناها^۲ به عرصه ساخت ترانزیستورها، نسل جدیدی از ترانزیستورها به نام ماسفت (ترانزیستور اثر میدانی فلز-اکسید-سیلیکون)^۳ معرفی شدند. ترانزیستورهای ماسفت، امروزه در ابعاد و اشکال مختلفی دیده می‌شوند و توسعه و بهبود آنها، همچنان به عنوان یکی از موضوعات مهم و مطرح در حوزه طراحی مدارهای مجتمع تلقی می‌شود. حرف M در MOSFET مخفف مثال^۴، به معنی فلز و نماینده پایه گیت از میان اجزای ترانزیستور است؛ بر خلاف پنداشت احتمالی ناشی از این اختصار، جنس گیت لزوماً از فلز نیست و چه بسا، انتخاب نوع ماده گیت یکی از چالش‌هایی بوده که طراحان همواره با آن مواجه بوده‌اند.

ماسفت‌ها اهمیت امروزشان را مدیون طلوع صنعت کامپیوترها هستند؛ و این اهمیت همیشه به توسعه مدارهای مجتمع بستگی داشته، موضوعی که همزمان با به وجود آمدن نیازمندی برای کوچک‌سازی مطرح شد [۱]. در سال ۱۹۶۵، گوردون مور پیش‌بینی کرد که تراکم ترانزیستورها در تراشه به طور نمایی هر ۱۸ الی ۲۴ ماه دو برابر خواهد شد. با قدم نهادن ترانزیستورها به ابعاد نانومتری، مور درباره این به اصطلاح قانون خودش اظهار نظر جدیدی کرد. مور گفت: "هر روند نمایی‌ای پایانی دارد. اما می‌توان این پایان را تا ابد به تأخیر انداخت [۲]." کوچک‌سازی ترانزیستورها همیشه یک نیاز مبرم در صنعت

⁴ Metal

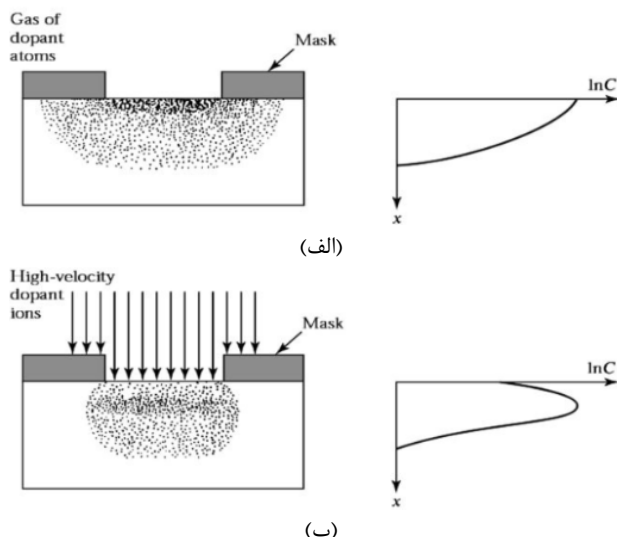
⁵ Doped poly silicon

⁶ Source/Drain Extension (SDE)

¹ Transistor

² Semiconductors

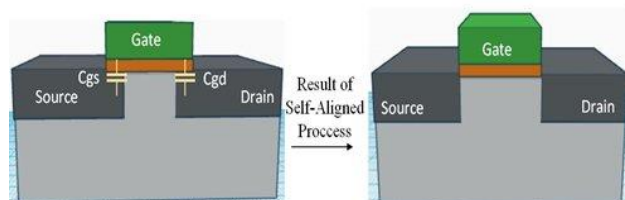
³ MOSFET (metal-oxide-semiconductor field-effect transistor)



شکل ۲- (الف) روش پراکندگی و (ب) کاشت یون [۳]

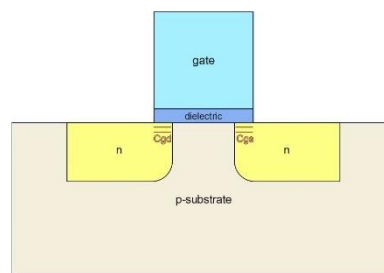
۲-۳- فرایند خودتنظیم

مهم‌ترین دلیل جایگزینی فلزات با پلی‌سیلیکون به فرایند ساخت ترانزیستور جهت حذف خازن‌های گیت-اکتیو مربوط است. راه حل حذف کشیدگی سورس/درین، نوعی فرایند ساخت گیت-نخست^{۱۴} به اسم فرایند خودتنظیم است. در این فرایند، ابتدا ناحیه گیت روی زیرلایه قرار گرفته، و سپس اکتیوها ایجاد خواهند شد. از آنجایی که گیت به عنوان یک ماسک در برابر ایجاد نواحی n و p عمل می‌کند، نیازی به تنظیم کردن فرایند ایجاد نواحی اکتیو نیست. به همین دلیل به این فرایند "خودتنظیم" می‌گویند. شکل ۳ نشان می‌دهد که خازن‌های ناخواسته چگونه با اعمال فرایند خودتنظیم از بین می‌روند.



شکل ۳- نتیجه به کار گیری فرایند خودتنظیم [۵]

فرایند ساخت خودتنظیم یک نیاز حیاتی برای جلوگیری از ایجاد هم‌پوشانی‌های ناخواسته میان سورس/درین و گیت است، که طی آن ابتدا گیت و عایق روی زیرلایه قرار گرفته تا به عنوان یک ماسک در مقابل ایجاد نواحی اکتیو عمل کنند؛ ایجاد نواحی اکتیو چه در پراکندگی و چه در کاشت یون به محیطی با دمایی بسیار بالا در حدود ۱۰۰۰ درجه سانتی‌گراد نیاز دارد. با توجه به اینکه نقطه ذوب آلومینیوم حدود ۶۶۰ درجه سانتی‌گراد است، به راحتی در چنین محیطی ذوب خواهد شد؛ اما پلی‌سیلیکون با نقطه ذوب حدود ۱۴۰۰ درجه سانتی‌گراد می‌تواند این دمای بالا را تحمل کند [۴، ۵]. فرایند ساخت مخصوصاً ساخت ماسک و تنظیم کردن نواحی اکتیو و گیت مرحله‌ای زمان‌بر و حیاتی است. با انتخاب پلی‌سیلیکون به عنوان ماده گیت، فرایند ساخت ترانزیستور به شدت سریع‌تر و دقیق‌تر شد.



شکل ۱- خازن‌های ناخواسته میان عایق و نواحی سورس/درین

در ابتدای معرفی ماس‌ها، پروسه ساخت به ترتیب زیر بود:

- ✓ قرار گیری زیرلایه
- ✓ تشکیل اکتیوها
- ✓ قرار گیری عایق و گیت

دقت شود که در این فرایند گیت در آخرین مرحله ساخت قرار گرفته و به این دلیل به این فرایند گیت-آخر^۷ می‌گویند. تنظیم کردن نواحی اکتیو به شکلی که با گیت هم‌پوشانی نداشته باشند دشواری‌های زیادی دارد که کاملاً مربوط به فرایند ساخت است. بنابراین می‌توان حدس زد که راه حل این مشکل نیز در اصلاح فرایند ساخت نهفته شده باشد، اصلاحی که نیازمند یک تغییر اساسی در جنس ماده گیت بود.

۲-۲- ایجاد نواحی اکتیو

دو روش اصلی برای ایجاد نواحی اکتیو کاشت یون^۸ و پراکندگی^۹ (نفوذ) هستند، که [۳] تفاوت‌های هرکدام را شرح داده است.

در روش پراکندگی، ویفر^{۱۰} نیمه‌رسانا در کوره‌ای با دمایی بالا در حدود ۹۰۰ الی ۱۱۰۰ درجه سانتی‌گراد قرار گرفته و سپس گازی حاوی ناخالصی مطلوب (گاز آرسنیک برای ناحیه n و گاز بورون برای ناحیه p) به داخل کوره وارد می‌شود. دمای بالای محیط باعث می‌شود تا اتم‌های ناخالص روی سطح نیمه‌رسانا به طور افقی و عمودی "پراکنده" بشوند. در نهایت، در ابتدای سطح ماده بیشترین تراکم ممکن وجود دارد و رفته رفته در عمق ماده کمتر و کمتر می‌شود. میزان تراکم ناخالصی روی زیرلایه از تابع گاوسی^{۱۱} پیروی می‌کند.

در روش کاشت یون، ناخالصی‌ها به شکل یون با شلیک لیزرهایی از یون‌های خالص به درون ماده نیمه‌رسانا تزریق می‌شوند. اینکه تا چه عمقی از ماده دچار ناخالصی شود، به شتاب شلیک یون‌ها، و تراکم این ناخالصی به جریان لیزر و زمانی که زیرلایه در معرض آن است بستگی دارد. این کنترل بالا بر عمق و دُز ناخالصی‌ها در مقایسه با پراکندگی، باعث می‌شود که این فرایند به شدت دقیق‌تر باشد؛ به همین دلیل، کاشت یون امروزه به عنوان روش منتخب برای ایجاد نواحی اکتیو در صنعت نیمه‌رساناها شناخته می‌شود. از طرفی، ممکن است برخورد های اتمی‌ای که در این روش رخ می‌دهند منجر به آسیب لاتیسی^{۱۲} شوند. این مشکل را می‌توان با داغ کردن ویفر تا ۱۰۰۰ درجه سانتی‌گراد به مدت خاصی (حدود ۵ ثانیه [۴]) و سرد کردن آهسته آن حل کرد. این فرایند که نامش بازپخت^{۱۳} است، کمک می‌کند تا اتم‌ها پیوندهایشان را از نو تشکیل دهند و در نتیجه، آسیب لاتیسی بهبود پیدا کند. شکل ۲ این دو روش را نشان می‌دهد.

¹¹ Gaussian function

¹² Lattice damage

¹³ Annealing

¹⁴ Gate-first Approach

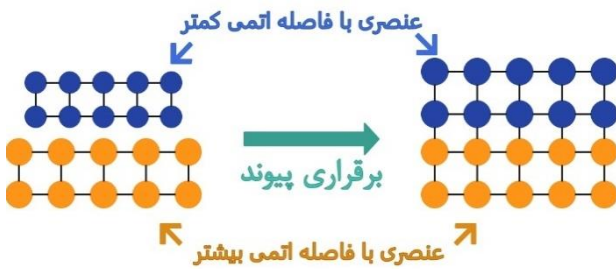
⁷ Last-gate Approach

⁸ Ion Implantation

⁹ Diffusion

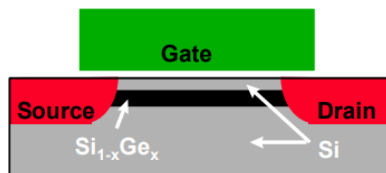
¹⁰ Wafer

انبساطی (انقباضی) یک عنصری با فاصله اتمی بیشتر (کمتر) در زیر و عنصری با فاصله اتمی کمتر (بیشتر) روی اون قرار داده می‌شود. شکل ۴ نحوه ساخت کشش انبساطی را نشان می‌دهد.



شکل ۴- ساخت یک کشش انبساطی

ثابت لاتیس سیلیکون برابر با ۰.۳۵۷ نانومتر و ثابت لاتیس ژرمانیوم برابر با ۰.۳۵۶ نانومتر است. این اختلاف ۴ درصدی باعث می‌شود تا در سیلیکون ژرمانیوم اتم‌ها فاصله متفاوتی نسبت به سیلیکون داشته باشند. برای دستیابی به سیلیکون کشیده شده، دستگاه را در یک کانال $Si_{1-x}Ge_x$ تولید می‌کنند. شکل ۵ این ساختار را نشان داده است. دو عامل برای افزایش تحرک پذیری وجود دارد: اول آنکه سیلیسیم ژرمانیم تحت کشیدگی انقباضی تحرک پذیری بهتری نسبت به سیلیسیم دارد؛ و دوم اینکه اختلاف پتانسیل نوار هدایت^{۲۲} بین سیلیسیم و سیلیسیم ژرمانیم در ناحیه معکوس بار حفرة را دور از سیلیسیم دی‌اکسید/سیلیسیم نگه می‌دارد که اثرات پراکندگی ناشی از زمختی سطح را کاهش می‌دهد. متأسفانه با ورود ترانزیستورها به ابعاد زیرمیکرونی، افزایش تحرک پذیری به دلیل وجود میدان‌های الکتریکی جانبی زیاد که منجر به اشباع سرعت حامل‌ها می‌شود، از اهمیت کمتری برخوردار شد [۹].



شکل ۵- ساختار ماسفت با سیلیکون کشیده شده [۹]

۳-۳- خازن پارازیتی P-N

در هر پیوند میان مواد n و p یک دیود تشکیل می‌شود. این دیود یک لایه تخلیه دارد که به شکل خازن عمل می‌کند. کوچیکتر بودن این خازن پارازیتی که به آن خازن پیوند نیز می‌گویند، منجر به تسریع کارکرد ترانزیستور و کاهش توان مصرفی می‌شود.

۳-۴- سیلیکون روی عایق^{۲۳}

سیلیکون روی عایق (SOI) یک ساختار است که در آن لایه‌ای نازک از سیلیکون روی یک اکسید عایق قرار گرفته تا از ایجاد خازن‌های پارازیتی جلوگیری شود. ویفرهای SOI از یک لایه نازک سیلیکونی ($50nm - 100\mu m$) که روی یک زیرلایه عایق قرار گرفته تشکیل می‌شوند. ساخت دستگاه‌ها روی ویفرهای SOI مزیت‌هایی از قبیل کاهش خازن‌های پیوند، جریان نشتی کمتر

۳- مشکلات کوچک‌سازی

کوچک‌سازی ماسفت‌ها هیچوقت بدون مشکل نبوده است. خصوصاً با ورود به عصر نانومتری این مشکلات خود را بیشتر نشان دادند. برخی از این مشکلات عبارت اند از: اشباع سرعت و کاهش تحرک پذیری^{۱۵}، شکل‌گیری خازن پارازیتی^{۱۶} ناشی از پیوندهای n-p، مقاومت ورقه‌ای سیلیکون^{۱۷} و نشتی^{۱۸}. برخی از ایرادات مطرح شده نیازمند تغییر ماده گیت نبودند و اصلاح آنها در طول زمان با تکنیک‌های مختلفی انجام گرفت. در این بخش تعدادی از این موارد پرداخته می‌شوند.

۳-۱- اشباع سرعت و کاهش تحرک پذیری

با افزایش ولتاژ روی گیت، حرکت الکترون‌ها دچار اختلالات حرکتی ناشی از افزایش میدان الکتریکی به وجود آمده در زیر عایق می‌شوند. به دنبال جاذبه به وجود آمده از طرف میدان، حرکت الکترون‌ها به سمت عایق و به سمت بالا تمایل پیدا می‌کند؛ به این پدیده کاهش تحرک پذیری می‌گویند. با وجود این پدیده، نگه داشتن جریان بالا دشوار است. روابط تحرک پذیری حامل‌های بار به شرح زیر است [۶]:

$$\mu_{eff-n} = \frac{540 \frac{cm^2}{V \cdot s}}{1 + \left(\frac{V_{gs} + V_t}{0.54 \frac{V}{nm} t_{ox}} \right)} \quad (1)$$

$$\mu_{eff-n} = \frac{185 \frac{cm^2}{V \cdot s}}{1 + \left(\frac{V_{gs} + 1.5V_t}{0.338 \frac{V}{nm} t_{ox}} \right)} \quad (1)$$

✓ تحرک پذیری الکترون‌ها: $10^7 \frac{cm}{s}$

✓ تحرک پذیری حفرة‌ها: $8 \times 10^6 \frac{cm}{s}$

علاوه بر موارد بالا، افزایش دما نیز به کاهش تحرک پذیری حامل‌ها منجر می‌شود.

۳-۲- سیلیکون کشیده شده

حرکتی الکترون‌ها با کشیدن لاتیس سیلیکون حل شدند، روشی که بیش از ۵۰ سال است که برای افزایش تحرک پذیری استفاده می‌شود. اینتل اولین بار از این روش در ریزپردازنده‌های ۹۰ نانومتری پرسکات^{۱۹} خود در اوایل ۲۰۰۴ استفاده کرد. سیلیکون کشیده شده به معنای واقعی کلمه سیلیکونی است که اتم‌های آن کشیده شده‌اند. اتم‌ها در ماده کشیده شده از حالت عادی خود فاصله متفاوتی نسبت به هم دارند. [۷، ۸]

دو نوع کشش وجود دارد، کشش انقباضی^{۲۰} و کشش انبساطی^{۲۱}. در کشش انقباضی فاصله اتم‌های لاتیس نسبت به حالت عادی کمتر و در کشش انبساطی فاصله اتم‌های لاتیس نسبت به حالت عادی بیشتر است. برای حل مشکل تحرک پذیری، اتم‌های لاتیس سیلیکون را منبسط می‌کنند و در نتیجه، فضای بیشتری برای حرکت حامل‌های بار فراهم می‌شود. برای ایجاد یک کشش

²⁰ Compressive strain

²¹ Tensile strain

²² Valence band

²³ SOI (Silicon on Insulator)

¹⁵ Velocity Saturation & Mobility Degradation

¹⁶ Parasitic junction capacitance

¹⁷ Sheet resistance

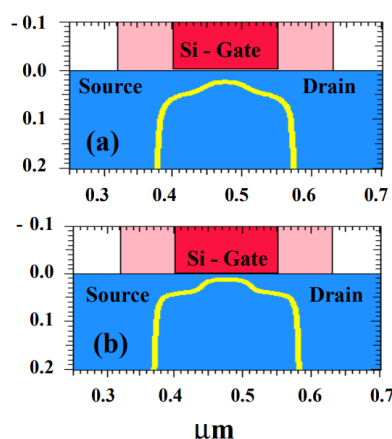
¹⁸ Leakage

¹⁹ Prescott

ضخامت اکسید گیت به شکل خطی با طول کانال کوچک شود تا رفتار کانال کوتاه نیز کنترل شود. برای کنترل اثرات کانال کوتاه، باید نسبت لایه تخلیه کانال را نسبت به ضخامت طول کانال حفظ کنیم. با توجه به معادله ۳، ضخامت ناحیه تخلیه با مجذور تراکم ناخالصی کانال رابطه مستقیم دارد. بنابراین ناخالصی کانال نیز با کوچک‌سازی اکسید افزایش می‌یابد تا ولتاژ آستانه حفظ شود [۱۰].

$$W_d = \sqrt{\frac{2K_s \epsilon_0}{qN}} \phi_s \quad (3)$$

شکل ۶ تفاوت میان دو ضخامت اکسید را نشان می‌دهد. دستگاهی که اکسید نازک‌تری دارد، ناحیه تخلیه کوچک‌تری نیز داشته و بنابراین رفتار کانال کوتاه بهتری خواهد داشت. بنابراین، برای ادامه دادن به کوچک‌سازی طول کانال ماسفت‌ها، کاهش ضخامت عایق نیز ضروری است.



شکل ۶- مقایسه ضخامت ناحیه تخلیه با دو ضخامت اکسید متفاوت: شکل بالا ۴.۵ نانومتر و شکل پایین ۳.۲ نانومتر [۹]

۴-۲- محدودیت کوچک‌سازی سیلیکون‌دی‌اکسید و نشتی گیت^{۲۷}

از زمان ظهور ترانزیستورهای ماس در ۵۰ سال پیش، سیلیکون‌دی‌اکسید به عنوان عایق گیت منتخب شناخته شد. ابعاد ماس‌ها تا پردازنده‌های ۱۳۰ نانومتری، نسل به نسل ۳۰ درصد کاهش می‌افتد. اما کوچک‌سازی در پردازنده‌های ۹۰ نانومتری و ۶۵ نانومتری با محدودیت‌هایی در کاهش ضخامت عایق مواجه شد. این محدودیت‌ها تأثیرپذیر از پروسه تولید نبودند، چرا که امروزه دستیابی به اکسیدهای ۱.۵ نانومتری و کوچک‌تر روی ویفرهای ۲۰۰ میلی‌متری از لحاظ فنی ممکن است؛ در عوض، این محدودیت‌ها ناشی از نشتی میان گیت و کانال که حاصل از تونل‌زنی^{۲۸} الکترون‌هاست می‌باشد، از این جهت که سیلیکون‌دی‌اکسید در مقیاس بسیار کوچک دارای اتم‌های کافی برای جلوگیری از نشتی گیت نیست [۸].

با کاهش ضخامت لایه عایق، الکترون‌ها راحت‌تر می‌توانند از طریق عایق به گیت تونل بزنند، و جریان نشتی گیت-کانال را ایجاد کنند. لازم به ذکر است جریان نشتی برای NMOSها زودتر از PMOSها رخ می‌دهد از آنجایی که احتمال تونل‌زنی برای الکترون‌ها بیشتر از حفره‌هاست. دستگاهی را فرض کنیم که با ولتاژ آستانه ۱ ولت کار می‌کند و در طول گیت ۰.۱ میکرومتری نشتی دارد، در این دستگاه طول عایق سیلیکون‌دی‌اکسید باید ۱.۶ نانومتر باشد. اما

و مقاومت در برابر تشعشعات را دارا است. SOIها بسته به وضعیت بدنه نازک سیلیکونی به دو دسته نیمه تهی^{۲۴} یا PD و تمام تهی^{۲۵} یا FD تقسیم می‌شوند. در مقایسه با SOIهای PD، FDها لایه بدنه بسیار نازک‌تری دارند و بدنه هنگام عملیات کاملاً تخلیه می‌شود. از این جهت، به آن SOI ابر نازک^{۲۶} نیز گفته می‌شود. عرض بدنه FDها حدود ۵ الی ۲۰ نانومتر و PDها بدنه‌ای با عرض حدود ۵۰ تا ۹۰ نانومتر دارند [۴، ۵].

دستگاه‌های تمام‌تهی برای دستگاه‌های میکرومتری مناسب نیستند چرا که ضخامت سیلیکون برای کنترل اثرات کانال کوتاه باید حدود ۱۰ نانومتر باشد. ساخت چنین سیلیکون نازکی بسیار دشوار است و برای دستگاه‌های زیرمیکرونی دستگاه‌های نیمه‌تهی مناسب‌تر شناخته شدند. برخی از مزایا و مشکلات مربوط به SOIها:

- ✓ با استفاده از SOI، به دلیل حذف خازن‌های پارازیتی، تاخیر و توان پویای دستگاه کمتر می‌شود.
- ✓ ولتاژ آستانه به دلیل وجود یک لایه اکسید، کمتر به بایاس گیت وابسته خواهد بود. این باعث می‌شود دستگاه‌های SOI با برق کمتری کار کنند.
- ✓ رفتار زیر آستانه دستگاه‌های SOI بهتراند، پس جریان‌های نشتی کوچک‌تری رخ می‌دهند.
- ✓ دستگاه‌های SOI مشکل latch-up ندارند.
- ✓ یکی از مشکلات SOI FDها، مربوط به پروسه ساخت آنها است چرا که تولید بدنه SOI نازک بسیار دشوار است.
- ✓ مشکل دیگر SOIها داغ شدگی است. وجود ناحیه اکتیو روی اکسید سیلیکون که یک عایق خوب برای گرما است، باعث می‌شود تا دمای تولید شده در نواحی اکتیو به سادگی در بدنه پخش نشود. در نتیجه، دمای لایه نازک بدنه به شدت بالا رفته و مشکلاتی از قبیل کاهش تحرک‌پذیری و به تبعیت از آن کاهش جریان را در پی دارد. در جدول ۱ بهبودهای تخمین زده شده برای دستگاه‌های SOI قابل مشاهده است. [۵، ۹]

جدول ۱- بهبودهای تخمین زده شده برای دستگاه‌های SOI

| پارامتر | بهبود |
|-----------------|-------|
| خازن پیوند | ۱۲٪ |
| اثر بدنه | ۳٪ |
| هبستگی گیت-بدنه | ۳٪ |
| طول کانال | ۰٪ |
| مجموع | ۱۸٪ |

۴-۳- بازگشت به فلز

اگرچه که این بازگشت مدت زیادی به تعویق انداخته شد، در نهایت بازگرداندن گیت‌های فلزی تنها راه باقی مانده برای مشکلات حل نشده بود. مشکلاتی که ناشی از کوچک‌سازی لایه عایق ترانزیستورها بوده و با ورود به عرصه ۹۰ نانومتری بیشتر خود را نشان دادند.

۴-۱- نیاز به کوچک‌سازی

با توجه به اینکه کوچک‌سازی عایق گیت مشکل‌ساز است، یک پرسش اساسی در ذهن ما مطرح می‌شود: اگر عایق را کوچک نکنیم چه می‌شود؟ با کوچک شدن ابعاد گیت‌ها از ۱۰ میکرومتر به ۰.۱ میکرومتر، کوچک‌سازی لایه عایق نیز برای کنترل اثرات کانال کوتاه ضروری بوده است. واجب است که

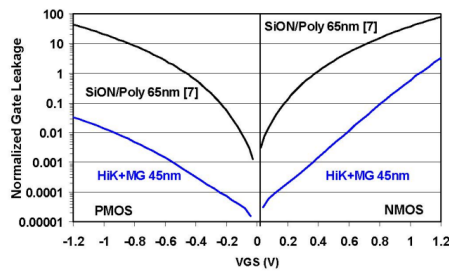
²⁷ Gate Leakage

²⁸ Tunneling

²⁴ Partially Depleted

²⁵ Fully Depleted

²⁶ Ultra-Thin Body SOI



شکل ۸- کاهش ۱۰۰۰ برابری نشتی با ساختار HKGM [۸]

۴-۵- فرایند ساخت گیت-نخست پلی سیلیکون/HKGM

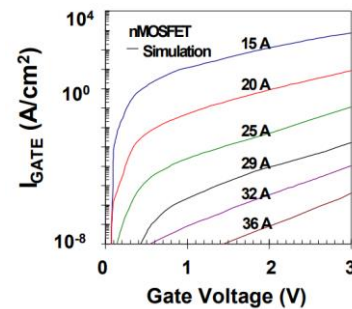
اشاره شد که یکی از دلایل استفاده از پلی سیلیکون امکان اعمال فرایند ساخت خودتنظیم بوده است، فرایندی که اغلب فلزات به علت نقطه ذوب پایین طی آن ذوب می شوند. با این حال، با بازگشت گیت های فلزی فرایند ساخت خودتنظیم کنار گذاشته شده و صرفا دستخوش تغییراتی شده است. طی این فرایند، ابتدا یک گیت دامی به عنوان ماسک در مقابل نفوذ نواحی اکتیو قرار می گیرد، در نهایت پلی دامی برداشته می شود و فلز اصلی قرار داده می شود. مراحل ساخت گیت-نخست دستگاه های HKGM به شرح زیر است [۸]:

- ✓ کاشت STI، چاه ها و VT ها
- ✓ قرارگیری لایه های اتمی عایق های-کی
- ✓ قرارگیری پلی سیلیکون و الگویابی گیت
- ✓ ایجاد نواحی سورس/درین، عقب نشینی سیلیکون و قرارگیری سیلیکون ژرمانیوم
- ✓ ایجاد نواحی سورس/درین، سیلیسید سازی نیکل، قرارگیری عایق میان لایه های فاقد خلأ
- ✓ پولیش پلی سیلیکون، برداشتن پلی
- ✓ قرارگیری فلز PMOS
- ✓ الگویابی فلز گیت، قرارگیری فلز NMOS
- ✓ پولیش و پر کردن گیت فلزی، قرارگیری ESL

جمع بندی

در این گزارش ابتدا به دلایل تغییر جنس گیت از پلی سیلیکون به فلز پرداختیم. سپس برخی دیگر از چالش های مرتبط با طراحی ماسفت و راه حل های آنها را بررسی کردیم و در نهایت به بازگشت فلزات و دلایل آن پرداختیم. فهمیدیم که علت اینکه فلزات از همان ابتدا کنار گذاشته شدند، این بود که ماسفت ها هنوز به ابعادی نرسیده بودند که مشکلات ناشی از عدم استفاده از فلزات خود را نمایان کنند؛ مشکلاتی که ما را با یک محدودیت مهم در کوچک سازی مواجه کرد و باعث شد تا ادامه پیشرفت این فناوری نیازمند یک تغییر اساسی باشد. همچنین ثابت کردیم که کوچک سازی هر چه بیشتر ترانزیستورها، نسل به نسل چالشی تر می شود؛ و به همین علت، این پیشرفت ممکن است با همان رشد نمایی مور ادامه دار نباشد، چه بسا که خود آقای مور هم روی پایان اجتناب ناپذیر این رشد نمایی و همیشگی نبودن قانون معروفش توافق دارد. ترانزیستورها بی نقص نیستند و مسئله کوچک سازی در صنعت نیمه رساناها و مدارهای مجتمع هنوز هم یک مسئله مهم برای تحقیق و توسعه با هدف برطرف سازی این نقص های تلقی می شود. در نهایت و با وجود تمام این کشمکش ها، مهم این است که ترانزیستورها اگرچه عالی نیستند، اما کارکردشان به عنوان یک سویچ الکتریکی کاملاً قابل قبول است.

به دلایل مکانیک کوانتومی و اثرات ناحیه تخلیه گیت پلی سیلیکون، ضخامت تونل زنی به حدود ۲.۳ نانومتر افزایش می یابد. این محدودیت ضخامت و طول کانال در تکنولوژی های ۰.۱۳ میکرومتری خود را نشان می دهند [۹]. شکل ۷ نشان می دهد که جریان نشتی گیت با کاهش ضخامت افزایش یافته.



شکل ۷- مقایسه جریان نشتی گیت با ضخامت های متفاوت اکسید [۹]

۴-۳- مواد های کی

با کاهش ضخامت اکسید (پردازنده های ۶۵ نانومتری اینتل اکسیدی با ضخامتی در حدود ۱.۲ نانومتر داشتند)، جریان نشتی ناشی از تونل زنی الکترون ها چشمگیرتر شد. راه حل واضح این مسئله این بود که سیلیکون دی اکسید با عایقی جایگزین شود که عبور الکترون ها از آن سخت تر باشد. این مواد ضریب گذردهی پایین تر و ثابت عایق بالاتری^{۲۹} دارند، از این جهت به آن ها مواد های-کی گفته می شود. فهرستی از این مواد در شکل ۱۵ آورده شده. تمام این مواد، بجز Si_3N_4 ، به یک لایه سیلیکون دی اکسید میان عایق و زیرلایه سیلیکونی نیاز دارند تا تداخلی میان زیرلایه و عایق وجود نداشته باشد. این مواد های-کی با گیت پلی سیلیکونی سازگاری ندارند، و به همین علت نیاز است تا فلزاتی با توابع کار band-edge مناسب جایگزین گیت های پلی سیلیکونی ناخالص بشوند تا از واکنش میان عایق و پلی سیلیکون جلوگیری شود [۴].

۴-۴- معرفی HKGM

در اواخر دهه ۹۰، گیت های فلزی دوباره مورد توجه قرار گرفتند. به چند علت: اول، فلزات مشکل اثر تخلیه پلی را ندارند و دوماً، نتایج نشان می دهد که گیت های پلی سیلیکونی از لحاظ شیمیایی در تماس با عایق های-کی پایدار نیستند. سوماً، نیاز ناخالص سازی پلی سیلیکون برای کاهش مقاومت منجر به پراکندگی بورون از گیت و نفوذ به عایق شده، که در نهایت عملکرد ترانزیستور را دچار مشکل می کند.

اگرچه مشکلاتی مانند اشباع سرعت با روش های مذکور قابل حل بودند، اما مشکل نشتی گیت خود را به عنوان چالش بزرگتری نشان داد. سال ها تلاش و میلیون ها دلار هزینه برای یافتن یک عایق جدید در نهایت باعث شد تا Hf به عنوان عایق جدید پردازنده های اینتل معرفی شود و نشتی را تا ده برابر کاهش دهد. به ساختاری که از مواد های-کی و گیت فلزی تشکیل شده باشد، تکنولوژی HKMG می گویند. این تکنولوژی اولین بار در پردازنده های ۴۵ نانومتری اینتل معرفی شد. باقی تولید کنندگان در پردازنده های نسل ۴۰ و ۴۵ نانومتری از همان ترانزیستورهای پلی سیلیکونی/اکسیدی استفاده کردند و HKGM را در تکنولوژی های ۳۰ و ۲۸ نانومتری استفاده کردند. فلزی که به عنوان ماده گیت به کار می رود تانگستن است. شکل ۸ کاهش نشتی به دست آمده با استفاده از HKGM را نشان می دهد. اینتل در فرایند ساخت از تکنیک گیت-آخر استفاده می کرد در صورتی که IGM و باقی تولیدکنندگان تکنیک گیت-اول را انتخاب کردند. روشی که طی آن از پلی سیلیکون و مواد های-کی همزمان نقش داشتند [۷].

مراجع

- [۱] R. G. Arns, "The other transistor: early history of the metal-oxide-semiconductor field-effect transistor," *ENGINEERING SCIENCE AND EDUCATION JOURNAL*, vol. 7, no. 5, 1998.
- [۲] K. M. e. al, "Delaying Forever: Uniaxial Strained Silicon Transistors in a 90 nm CMOS Technology " presented at the Digest of Technical Papers. 2004 Symposium on VLSI Technology, 2004., Honolulu, HI, USA, 2004.
- [۳] siliconvlsi. "Diffusion and Ion Implantation." <https://siliconvlsi.com/diffusion-and-ion-implantation/> (accessed).
- [۴] G. SJÖBLOM, "Metal Gate Technology for Advanced CMOS Devices," Department of Engineering Sciences, Uppsala University, Uppsala, Sweden, 2006 .
- [۵] P. H. V. R. Lad. "A Review Paper on CMOS, SOI and FinFET Technology." <https://www.design-reuse.com/articles/41330/cmos-soi-finfet-technology-review-paper.html> (accessed).
- [۶] D. H. Neil H.E. Weste, *CMOS VLSI Design : A circuits and systems perspective*, 4 ed. Pearson, 2015.
- [۷] D. James, "High-k/Metal Gates in Leading Edge Silicon Devices," presented at the 2012 SEMI Advanced Semiconductor Manufacturing Conference, Saratoga Springs, NY, USA, 2012.
- [۸] K. M. e. al, "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," presented at the 2007 IEEE International Electron Devices Meeting, Washington, DC, USA, 2007.
- [۹] S. T. P. Packan and M. Bohr, "MOS Scaling: Transistor Challenges for the 21st Century," *Intel Technology Journal*, vol. 3, no. 98, 1998.
- [۱۰] W. J. J.-H. Ahn, "Depletion effect of polycrystalline-silicon gate electrode by phosphorus deactivation," *Solid-State Electronics*, vol. 127, 2017.