

پلی سیلیکون و فلز: نیم‌نگاهی به چالش‌های طراحی ماسفت

راستین ملکی

دانشگاه گیلان، دانشکده فنی

چکیده

در ابتدای معرفی ترانزیستورهای ماسفت، پایه گیت این ترانزیستور از جنس آلومینیوم بود. با گذر زمان و در اواخر دهه ۷۰ میلادی، این فلز با هدف دستیابی به حداقل هم‌پوشانی سورس/درین با گیت و ولتاژ آستانه پایین با پلی‌سیلیکون جایگزین شد. طی حدود ۴۰ سال حاکمیت پلی‌سیلیکون به عنوان ماده گیت منتخب در ساختار ماسفت، چالش‌های زیادی ناشی از کوچک‌سازی ترانزیستورها مثل خازن‌های ناخواسته میان نواحی اکتیو و گیت، اشباع سرعت و کاهش تحرک‌پذیری، نشتی گیت و غیره نمایان شدند. تکنیک‌های مختلفی برای حل این چالش‌ها ارائه شدند؛ مشکل خازن‌های اکتیو-گیت ناخواسته بالا با جایگزینی گیت فلزی توسط پلی‌سیلیکون حل شد، اشباع سرعت با سیلیکون کشیده شده و در نهایت، مشکل نشتی گیت-کانال به بازگشت گیت‌های فلزی منجر شد. در سال ۲۰۰۷، اینتل به عنوان یکی از پیشروان این صنعت در پردازنده‌های ۴۰ و ۴۵ نانومتری خودش به استفاده دوباره از گیت‌های فلزی روی آورد و با معرفی تکنولوژی HKMG در دستگاه‌های CMOS، جنس عایق را از نوع مواد های-کی به جای پلی‌سیلیکون، و به دنبال آن جنس گیت را از نوع فلز انتخاب کرد. در این گزارش تحقیقی، به دلایل این تغییرات و برخی از دیگر چالش‌های مرتبط با کوچک‌سازی ماسفت‌ها خواهیم پرداخت.

کلیدواژه‌ها: ترانزیستور، ماسفت، مواد های-کی، سیلیکون دی‌اکسید، گیت فلزی، پلی‌سیلیکون، HKMG، CMOS

فهرست

چکیده.....	۲
مقدمه.....	۶
مفاهیم اولیه.....	۷
ساختار و کارکرد ماسفت.....	۷
روابط ماسفت.....	۹
جایگزینی فلز با پلی سیلیکون.....	۱۰
خازن های ناخواسته میان اکتیوها و گیت.....	۱۱
ایجاد نواحی اکتیو.....	۱۳
فرایند خودتنظیم.....	۱۴
ولتاژ آستانه بالا.....	۱۵
تابع کار.....	۱۶
کاهش ولتاژ آستانه.....	۱۶
مشکلات کوچک سازی.....	۱۶
اشتباع سرعت و کاهش تحرک پذیری.....	۱۷
سیلیکون کشیده شده.....	۱۸
خازن پارازیتی p-n.....	۲۰
سیلیکون روی عایق.....	۲۰

مقاومت ورقه‌ای	۲۲
لایه سیلیسید	۲۳
بازگشت به فلز	۲۳
نیاز به کوچک‌سازی	۲۳
محدودیت کوچک‌سازی سیلیکون دی‌اکسید و نشتی گیت	۲۵
مواد های-کی	۲۷
نیازمندی‌های ماده گیت	۲۸
معرفی HKGM	۲۸
پروژه ساخت گیت-نخست پلی سیلیکون/HKGM	۳۰
دیگر محدودیت‌های کوچک‌سازی ترانزیستورها	۳۱
جمع‌بندی	۳۲
منابع	۳۲

مقدمه

طراحی ترانزیستورها^۱ همواره با چالش‌های متعددی همراه، و حل آنها نیازمند اعمال تغییرات پیوسته در گذر زمان بوده است. با شکل‌گیری و ورود صنعت نیمه‌رساناها^۲ به عرصه ساخت ترانزیستورها، نسل جدیدی از ترانزیستورها به نام ماسفت (ترانزیستور اثر میدانی فلز-اکسید-سیلیکون)^۳ معرفی شدند. ترانزیستورهای ماسفت، امروزه در ابعاد و اشکال مختلفی دیده می‌شوند و توسعه و بهبود آنها، همچنان به عنوان یکی از موضوعات مهم و مطرح در حوزه طراحی مدارهای مجتمع تلقی می‌شود. حرف M در MOSFET مخفف متال^۴، به معنی فلز و نماینده پایه گیت از میان اجزای ترانزیستور است؛ بر خلاف پنداشت احتمالی ناشی از این اختصار، جنس گیت لزوماً از فلز نیست و چه بسا، انتخاب نوع ماده گیت یکی از چالش‌هایی بوده که طراحان همواره با آن مواجه بوده‌اند.

ماسفت‌ها اهمیت امروزشان را مدیون طلوع صنعت کامپیوترها هستند؛ و این اهمیت همیشه به توسعه مدارهای مجتمع بستگی داشته، موضوعی که همزمان با به وجود آمدن نیازمندی برای کوچک‌سازی مطرح شد [۱]. در سال ۱۹۶۵، گوردون مور پیش‌بینی کرد که تراکم ترانزیستورها در تراشه به طور نمایی هر ۱۸ الی ۲۴ ماه دو برابر خواهد شد. با قدم نهادن ترانزیستورها به ابعاد نانومتری، مور درباره این به اصطلاح قانون خودش اظهار نظر جدیدی کرد. مور گفت: "هر روند نمایی‌ای پایانی دارد. اما می‌توان این پایان را تا ابد به تاخیر انداخت [۲]." کوچک‌سازی ترانزیستورها همیشه یک نیاز مبرم در صنعت پردازنده‌ها بوده، و با ادامه روند کوچک‌سازی ترانزیستورها، خصوصاً در ابعاد نانومتری، چالش‌ها و مشکلات جدیدی نمایان می‌شدند. انتخاب مواد مناسب در ساختار ماسفت در صنعت

^۱ Transistor

^۲ Semiconductors

^۳ MOSFET (metal-oxide-semiconductor field-effect transistor)

^۴ Metal

مدارهای مجتمع و نیمه‌رساناها، به عنوان یک مسئله اساسی با هدف حل این مشکلات تلقی می‌شود. بررسی ساختار، کارکرد و روابط اولیه ماسفت به درک رفتار آن کمک خواهد کرد.

مفاهیم اولیه

اساس کاری ماسفت‌ها از زمان معرفی این ترانزیستور در ۴۰ سال پیش تغییری نکرده است. ماسفت‌ها با تشکیل الکترون‌های آزاد^۵ در NMOS یا حفره^۶ در PMOS در زیر عایق ناشی از اعمال ولتاژ روی گیت کار می‌کنند، و به همین دلیل در دسته ترانزیستورهای اثر میدانی یا FET قرار می‌گیرند. از آنجایی که رفتار PMOS و NMOS کاملاً مکمل هستند، در مرور این مفاهیم فقط به تشریح رفتار ترانزیستورهای NMOS پرداخته خواهد شد. [۳]

ساختار و کارکرد ماسفت

یک ترانزیستور ماسفت در ساده‌ترین حالت ممکن متشکل از چهار پایه به نام‌های بادی^۷ (بدنه)، سورس^۸ (منبع)، درین^۹ (جوی) و گیت^{۱۰} (دروازه) است. عنصر دیگری به اسم عایق^{۱۱} در این ساختار نقشی مهمی دارد. عایق بین گیت و بدنه قرار گرفته، و از عبور الکترون‌ها و تشکیل جریان ناخواسته میان گیت و کانال جلوگیری می‌کند. جنس عایق در شکل ۱ از جنس سلیکون دی‌اکسید^{۱۲} است.

بادی: این پایه که با عنوان زیرلایه^{۱۳} نیز شناخته می‌شود، وظیفه حمل پایه‌های دیگر و ایجاد محلی برای برقراری جریان را دارد. جنس بدنه در ترانزیستورهای NMOS از ماده نوع p است. می‌دانیم هر پیوند میان مواد n و p، یک

Free Electron ^۵

Hole ^۶

Body ^۷

Source ^۸

Drain ^۹

Gate ^{۱۰}

Dielectric ^{۱۱}

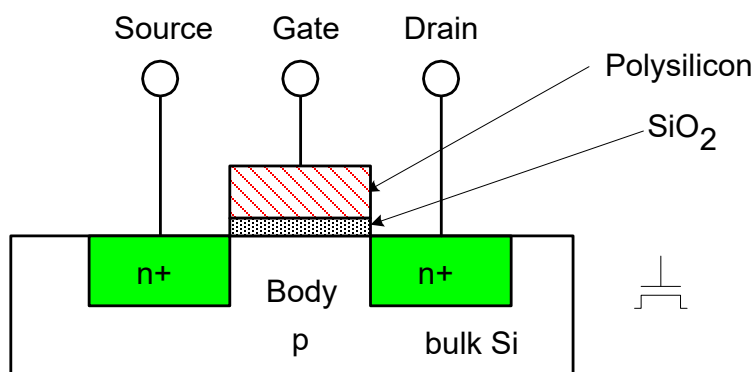
SiO₂ ^{۱۲}

Substrate ^{۱۳}

دیود تشکیل می‌دهد که در یک دیود ایده‌آل، جریان تنها از n به سمت p قابل برقراری است؛ برای اینکه جریانی در ترانزیستورهای NMOS از بدنه نسبت به پایه‌های سورس و درین به وجود نیاید، بدنه باید به کمترین ولتاژ مدار متصل شود.

سورس و درین: تعریف پایه‌های سورس و درین یک تعریف قراردادی است؛ به این صورت که هر پایه‌ای که به انرژی پتانسیل کمتری متصل می‌شود، سورس (منبع الکترون) و هر پایه‌ای که به پتانسیل بیشتری متصل می‌شود، درین (جوی الکترون) شناخته خواهد شد. در ترانزیستورهای نوع n، این نواحی از ماده نوع n ساخته شده‌اند. به نواحی نوع n و p اکتیو^{۱۴} نیز می‌گویند.

گیت: پایه گیت شدت میدان الکتریکی تشکیل شده در زیر عایق را کنترل می‌کند. به عبارتی، وقتی یک ولتاژ مثبت در NMOS روی گیت اعمال شود، به سبب میدان الکتریکی شکل گرفته میان گیت و بدنه، الکترون‌های آزاد در زیر عایق تشکیل می‌شوند. با وجود الکترون‌های آزاد در زیر عایق و اعمال اختلاف پتانسیل مثبت از درین به سورس، جریان از درین به سورس برقرار خواهد شد. به حداقل ولتاژ مورد نیاز برای برقراری جریان میان سورس و درین ولتاژ آستانه^{۱۵} می‌گویند و آن را با V_t نشان می‌دهند.



شکل ۱ یک ترانزیستور NMOS /۳/

^{۱۴} Active

^{۱۵} Threshold Voltage

روابط ماسفت

به جهت شناخت پارامترهای تاثیرگذار بر ماسفت‌ها برخی از روابط اولیه آن بررسی می‌شود. [۴]

$$I_d = \mu_{eff} C_{ox} \frac{W}{L} (V_g - V_t) V_d$$

معادله ۱ جریان عبوری از ترانزیستور در حالت کاری خطی

$$I_{dsat} = \mu_{eff} C_{ox} \frac{W}{L} \frac{(V_g - V_t)^2}{2m} \varepsilon$$

معادله ۲ جریان عبوری از ترانزیستور در حالت کاری اشباع

با توجه به روابط بالا، جریان عبوری از ترانزیستور در حالت خطی^{۱۶} و اشباع^{۱۷} به تحرک‌پذیری^{۱۸} حاملان بار (μ_{eff})، ظرفیت خازن (C_{ox})، طول (W) و عرض کانال (L)، ولتاژهای گیت (V_g)، درین (V_d)، آستانه (V_t) و ضریب اثر بدنه^{۱۹} (m) بستگی دارد.

$$V_t = V_{fb} + 2\varphi_B \frac{\sqrt{4\varepsilon_{Si} q N_A \varphi_B}}{C_{ox}}$$

معادله ۳ ولتاژ آستانه

با توجه به رابطه بالا، ولتاژ آستانه به خمش نوار زیرلایه یا اختلاف تراز فرمی^{۲۰} ذاتی و زیرلایه (φ_B)، ضریب گذردهی^{۲۱} سیلیکون (ε_{Si})، بار عبوری (q)، تراکم ناخالصی^{۲۲} کانال (N_A)، ظرفیت خازن (C_{ox}) و ولتاژ گیت لازم برای حذف خمش نوار^{۲۳} (V_{fb}) بستگی دارد.

^{۱۶} Linear

^{۱۷} Saturation

^{۱۸} Mobility

^{۱۹} Body effect parameter

^{۲۰} Fermi level

^{۲۱} Permittivity

^{۲۲} Dopant

^{۲۳} Band bending

$$V_{fb} = \phi_{ms} - \frac{Q_{ox}}{\epsilon_0 K_{ox}} T_{ox}$$

معادله ۴ ولتاژ لازم برای حذف خمشی نوار

با توجه به رابطه بالا، V_{fb} به اختلاف تابع کار^{۲۴} الکتروود و زیرلایه سیلیکونی (ϕ_{ms})، مقدار بار ثابت موجود در عایق (Q_{ox})، ضریب گذر دهی خلع (ϵ_0)، ثابت عایق ($K_{ox} = 3.9$) برای سیلیکن دی اکسید و ضخامت فیزیکی اکسید (T_{ox}) بستگی دارد.

$$\phi_B = -\frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

معادله ۵ خمشی نوار زیرلایه

با توجه به رابطه بالا، ϕ_B به ثابت بولتزمن^{۲۵} (k)، دما (T)، تراکم ناخالصی کانال (N_A) و تراکم حامل ذاتی سیلیکون (n_i) بستگی دارد.

جایگزینی فلز با پلی سیلیکون

پلی سیلیکون یک نمونه پلی کریستالی با خلوص بالا از سیلیکون است که به عنوان یکی از مواد اولیه در صنعت الکترونیک و فتوولتائیک شناخته می شود (شکل ۲ و ۳). یکی از نیازمندی های یک ماده گیت خوب این است که رسانای خوبی باشد. پلی سیلیکون ناخالص^{۲۶} (یا دوپ شده) اگرچه رسانای ایده آلی نیست، اما قابل قبول است. دو دلیل اصلی جایگزینی پلی سیلیکن توسط فلزات در این بخش مطرح شدند.

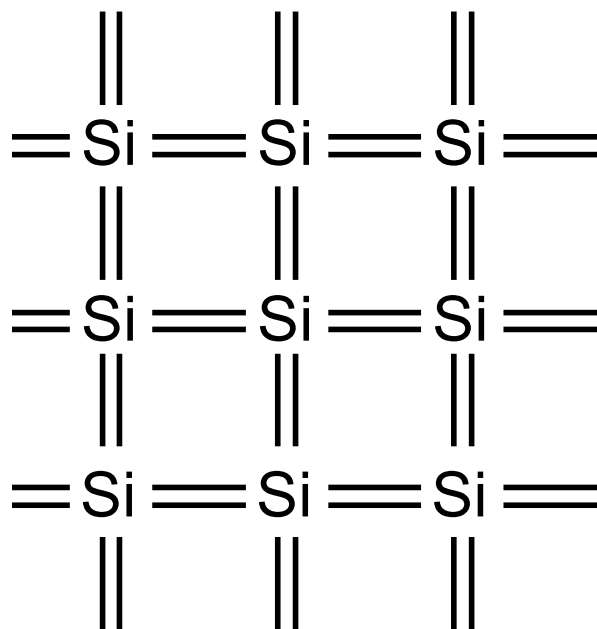
^{۲۴} Work function

^{۲۵} Boltzmann's constant

^{۲۶} Doped poly silicon



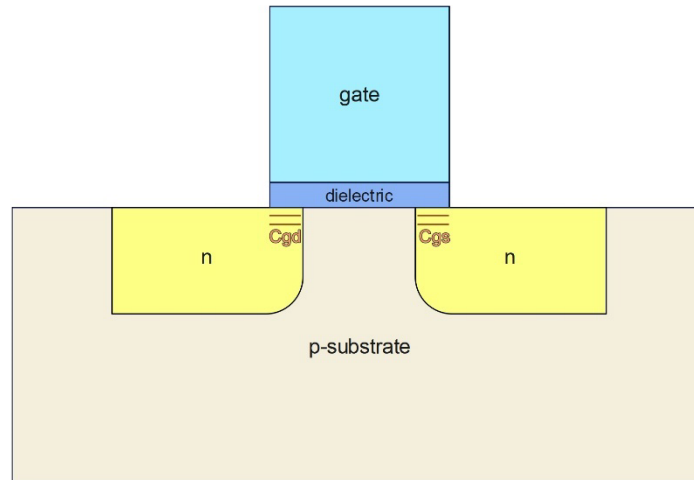
شکل ۳ سیلیکون پلی کریستالی (ویکی پدیا)



شکل ۲ لاتیس سیلیکون

خازن‌های ناخواسته میان اکتیوها و گیت

یکی از ایرادات فرایند ساخت قدیمی ماسفت‌ها، پدیده کشیدگی سورس/درین^{۲۷} است. این پدیده به معنای وجود هم‌پوشانی میان نواحی سورس/درین و عایق بوده؛ به تبعیت از این هم‌پوشانی، خازن‌های ناخواسته و مضر C_{gd} و C_{gs} تشکیل می‌شوند (شکل ۴).



شکل ۴ خازن‌های ناخواسته میان عایق و نواحی سورس/درین

در ابتدای معرفی ماس‌ها، پروسه ساخت به ترتیب زیر بود:

- قرار گیری زیرلایه
- تشکیل اکتیوها
- قرار گیری عایق و گیت

دقت شود که در این فرایند گیت در آخرین مرحله ساخت قرار گرفته و به این دلیل به این فرایند گیت-آخر^{۲۸} می‌گویند. تنظیم کردن نواحی اکتیو به شکلی که با گیت هم‌پوشانی نداشته باشند دشواری‌های زیادی دارد که کاملاً مربوط به فرایند ساخت است. بنابراین می‌توان حدس زد که راه حل این مشکل نیز در اصلاح فرایند ساخت نهفته شده باشد، اصلاحی که نیازمند یک تغییر اساسی در جنس ماده گیت بود.

ایجاد نواحی اکتیو

دو روش اصلی برای ایجاد نواحی اکتیو کاشت یون^{۲۹} و پراکندگی^{۳۰} (نفوذ) هستند، که [۵] تفاوت‌های هر کدام را شرح داده است.

در روش پراکندگی، ویفر^{۳۱} نیمه‌رسانا در کوره‌ای با دمایی بالا در حدود ۹۰۰ الی ۱۱۰۰ درجه سانتی‌گراد قرار گرفته و سپس گازی حاوی ناخالصی مطلوب (گاز آرسنیک برای ناحیه n و گاز بورون برای ناحیه p) به داخل کوره وارد می‌شود. دمای بالای محیط باعث می‌شود تا اتم‌های ناخالص روی سطح نیمه‌رسانا به طور افقی و عمودی "پراکنده" بشوند. در نهایت، در ابتدای سطح ماده بیشترین تراکم ممکن وجود دارد و رفته رفته در عمق ماده کمتر و کمتر می‌شود. میزان تراکم ناخالصی روی زیرلایه از تابع گاوسی^{۳۲} پیروی می‌کند.

در روش کاشت یون، ناخالصی‌ها به شکل یون با شلیک لیزرهایی از یون‌های خالص به درون ماده نیمه‌رسانا تزریق می‌شوند. اینکه تا چه عمقی از ماده دچار ناخالصی شود، به شتاب شلیک یون‌ها بستگی دارد. و تراکم این ناخالصی به جریان لیزر و زمانی که زیرلایه در معرض آن است بستگی دارد. این کنترل بالا بر عمق و دُز ناخالصی‌ها در مقایسه با پراکندگی، باعث می‌شود که این فرایند به شدت دقیق‌تر باشد؛ به همین دلیل، کاشت یون امروزه به عنوان روش منتخب برای ایجاد نواحی اکتیو در صنعت نیمه‌رساناها شناخته می‌شود. از طرفی، ممکن است برخورد‌های اتمی‌ای که در این روش رخ می‌دهند منجر به آسیب لاتیسی^{۳۳} شوند. این مشکل را می‌توان با داغ کردن ویفر تا ۱۰۰۰ درجه سانتی‌گراد به مدت خاصی (حدود ۵ ثانیه [۴]) و سرد کردن آهسته آن حل کرد. این

^{۲۹} Ion Implantation

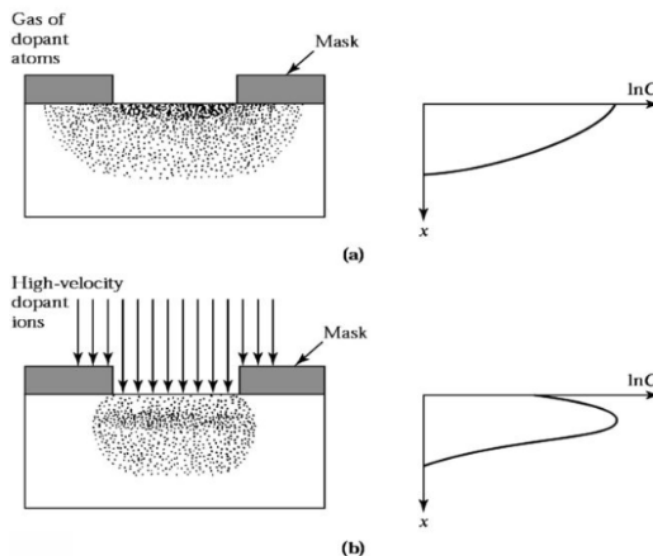
^{۳۰} Diffusion

^{۳۱} Wafer

^{۳۲} Gaussian function

^{۳۳} Lattice damage

فرایند که نامش بازپخت^{۳۴} است، کمک می‌کند تا اتم‌ها پیوندهایشان را از نو تشکیل دهند و در نتیجه، آسیب لاتیس بهبود پیدا کند. شکل ۵ تفاوت این دو روش را نشان می‌دهد.



شکل ۵ (الف) روش پراکندگی و (ب) کاشت یون جهت ایجاد نواحی اکتیو [۵]

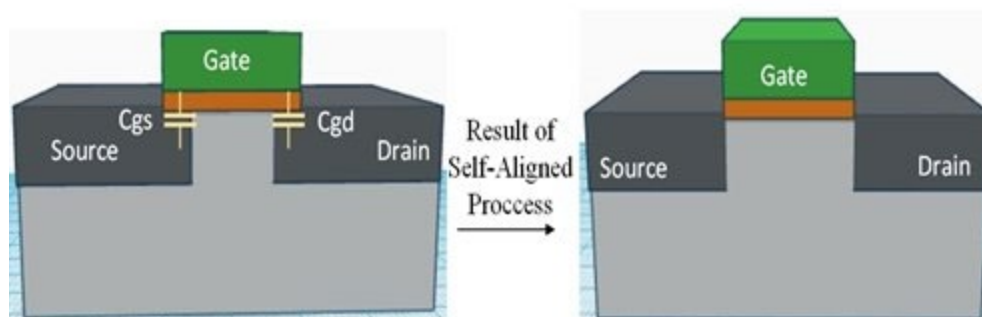
فرایند خودتنظیم^{۳۵}

مهم‌ترین دلیل جایگزینی فلزات با پلی‌سیلیکون به فرایند ساخت ترانزیستور جهت حذف خازن‌های گیت-اکتیو مربوط است. راه حل حذف کشیدگی سورس/درین، نوعی فرایند ساخت گیت-نخست^{۳۶} به اسم فرایند خودتنظیم است. در این فرایند، ابتدا ناحیه گیت روی زیرلایه قرار گرفته، و سپس اکتیوها ایجاد خواهند شد. از آنجایی که گیت به عنوان یک ماسک در برابر ایجاد نواحی n و p عمل می‌کند، نیازی به تنظیم کردن فرایند ایجاد نواحی اکتیو نیست. به همین دلیل به این فرایند "خودتنظیم" می‌گویند (شکل ۶).

^{۳۴} Annealing

^{۳۵} Self-aligned process

^{۳۶} Gate-first Approach



شکل ۶ نتیجه به کارگیری فرایند خودتنظیم [۶]

فرایند ساخت خودتنظیم یک نیاز حیاتی برای جلوگیری از ایجاد هم‌پوشانی‌های ناخواسته میان سورس/درین و گیت است، که طی آن ابتدا گیت و عایق روی زیرلایه قرار گرفته تا به عنوان یک ماسک در مقابل ایجاد نواحی اکتیو عمل کنند؛ ایجاد نواحی اکتیو چه در پراکندگی و چه در کاشت یون به محیطی با دمایی بسیار بالا در حدود ۱۰۰۰ درجه سانتی‌گراد نیاز دارد. با توجه به اینکه نقطه ذوب آلومینیوم حدود ۶۶۰ درجه سانتی‌گراد است، به راحتی در چنین محیطی ذوب خواهد شد؛ اما پلی‌سیلیکون با نقطه ذوب حدود ۱۴۰۰ درجه سانتی‌گراد می‌تواند این دمای بالا را تحمل کند [۴، ۶].

فرایند ساخت مخصوصاً ساخت ماسک و تنظیم کردن نواحی اکتیو و گیت مرحله‌ای زمان‌بر و حیاتی است. با انتخاب پلی‌سیلیکون به عنوان ماده گیت، فرایند ساخت ترانزیستور به شدت سریع‌تر و دقیق‌تر شد.

ولتاژ آستانه بالا

دلیل دیگر انتخاب پلی‌سیلیکون به جای فلز، کاهش ولتاژ آستانه است. با کوچک‌سازی ترانزیستورها، ولتاژ کاری دستگاه‌ها نیز باید کاهش پیدا می‌کرد و ترانزیستورهایی که در آن زمان با ولتاژ آستانه ۳ الی ۵ ولت کار می‌کردند، تحت شرایط جدید کاربردی نبودند. ولتاژ آستانه به اختلاف تابع کار میان الکتروود گیت و کانال بستگی دارد. برای اینکه به یک ولتاژ آستانه پایین دست پیدا کنیم، اختلاف تابع کار گیت و کانال نیز باید پایین باشد [۶].

تابع کار

در فیزیک حالت جامد، به حداقل کار ترمودینامیکی لازم برای جدا کردن یک الکترون از جامد به نقطه‌ای بی‌نهایت نزدیک سطح جامد در خلاء تابع کار گفته می‌شود. واحد تابع کار الکترون‌ولت است. در ساخت ترانزیستورها تنظیم اختلاف تابع کار میان الکتروود گیت و زیرلایه به دلیل ارتباط مستقیمش با ولتاژ آستانه فرایندی بسیار حیاتی است. میزان ناخالص‌سازی پلی‌سیلیکون می‌تواند تابع کار ماسفت‌ها را تنظیم کند. (ویکی‌پدیا)

کاهش ولتاژ آستانه

گیت پلی‌سیلیکونی به دلیل داشتن قابلیت تنظیم تابع کار به وسیله تنظیم مقدار ناخالصی آن، جایگزینی مناسب برای فلزات جهت دستیابی به یک ولتاژ آستانه کمتر محسوب می‌شود. اختلاف کم تابع کار قابل تنظیمی که پلی‌سیلیکون با بدنه سیلیکونی دارد، به ولتاژ آستانه کمتری در مقایسه با استفاده از گیت‌های فلزی منجر می‌شود [۶].

مشکلات کوچک سازی

کوچک‌سازی ماسفت‌ها هیچوقت بدون مشکل نبوده است. خصوصا با ورود به عصر نانومتری این مشکلات خود را بیشتر نشان دادند. برخی از این مشکلات عبارت اند از: اشباع سرعت و کاهش تحرک‌پذیری^{۳۷}، شکل‌گیری خازن پارازیتی^{۳۸} ناشی از پیوندهای n-p، مقاومت ورقه‌ای سلیکون^{۳۹} و نشتی^{۴۰}.

^{۳۷} Velocity Saturation & Mobility Degradation

^{۳۸} Parasitic junction capacitance

^{۳۹} Sheet resistance

^{۴۰} Leakage

برخی از مشکلات مطرح شده نیازمند تغییر ماده گیت نبودند و اصلاح آنها در طول زمان با تکنیک‌های مختلفی انجام گرفت. در این بخش تعدادی از این موارد پرداخته می‌شوند.

اشتباع سرعت و کاهش تحرک پذیری

با افزایش ولتاژ روی گیت، حرکت الکترون‌ها دچار اختلالات حرکتی ناشی از افزایش میدان الکتریکی به وجود آمده در زیر عایق می‌شوند. به دنبال جاذبه به وجود آمده از طرف میدان، حرکت الکترون‌ها به سمت عایق و به سمت بالا تمایل پیدا می‌کند؛ به این پدیده کاهش تحرک پذیری می‌گویند. با وجود این پدیده، نگه داشتن جریان بالا دشوار است [۲]. روابط تحرک پذیری حامل‌های بار در [۳] چنین ذکر شده است:

$$\mu_{eff-n} = \frac{540 \frac{cm^2}{V.s}}{1 + \left(\frac{V_{gs} + V_t}{0.54 \frac{V}{nm} t_{ox}} \right)}$$

معادله ۶ تحرک پذیری موثر در ماده نوع n

$$\mu_{eff-p} = \frac{185 \frac{cm^2}{V.s}}{1 + \left(\frac{V_{gs} + 1.5V_t}{0.338 \frac{V}{nm} t_{ox}} \right)}$$

معادله ۷ تحرک پذیری موثر در ماده نوع p

این میدان الکتریکی همچنین باعث می‌شود حامل‌های بار به یکدیگر و اتم‌های سیلیکون برخورد کنند. به این پدیده اشباع سرعت می‌گویند از آن جهت که سرعت حامل‌ها از یک حدی بیشتر نخواهد شد. سرعت اشباع حامل‌ها به شرح زیر است:

- Electrons: $10^7 \frac{cm}{s}$

- Holes: $8 \times 10^6 \frac{cm}{s}$

علاوه بر موارد بالا، افزایش دما نیز به کاهش تحرک پذیری حامل‌ها منجر می‌شود.

سیلیکون کشیده شده^{۴۱}

حرکتی الکترون‌ها با کشیدن لاتیس سیلیکون حل شدند، روشی که بیش از ۵۰ سال است که برای افزایش تحرک پذیری استفاده می‌شود. اینتل اولین بار از این روش در ریزپردازنده‌های ۹۰ نانومتری پرسکات^{۴۲} خود در اوایل ۲۰۰۴ استفاده کرد. سیلیکون کشیده شده به معنای واقعی کلمه سیلیکونی است که اتم‌های آن کشیده شده‌اند. اتم‌ها در ماده کشیده شده از حالت عادی خود فاصله متفاوتی نسبت به هم دارند. [۲, ۴, ۶-۸]

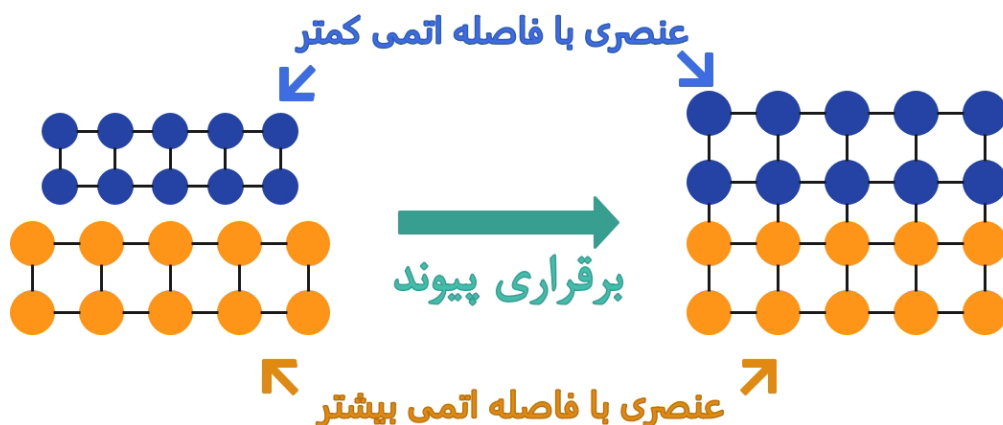
دو نوع کشش وجود دارد، کشش انقباضی^{۴۳} و کشش انبساطی^{۴۴}. در کشش انقباضی فاصله اتم‌های لاتیس نسبت به حالت عادی کمتر و در کشش انبساطی فاصله اتم‌های لاتیس نسبت به حالت عادی بیشتر است. برای حل مشکل تحرک پذیری، اتم‌های لاتیس سیلیکون را منبسط می‌کنند و در نتیجه، فضای بیشتری برای حرکت حامل‌های بار فراهم می‌شود. برای ایجاد یک کشش انبساطی (انقباضی) یک عنصری با فاصله اتمی بیشتر (کمتر) در زیر و عنصری با فاصله اتمی کمتر (بیشتر) روی اون قرار داده می‌شود (شکل ۷).

^{۴۱} Strained Silicon

^{۴۲} Prescott

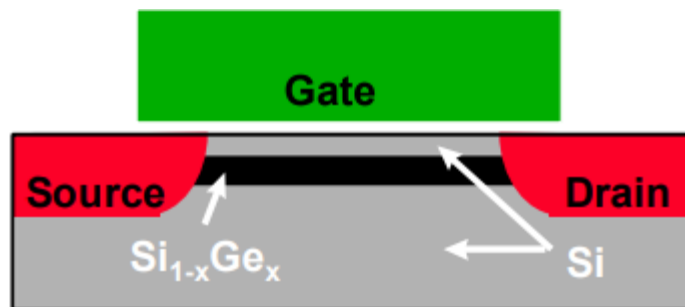
^{۴۳} Compressive strain

^{۴۴} Tensile strain



شکل ۷ ساخت یک کشش انبساطی

ثابت لاتیس سیلیکون برابر با ۰.۳۵۴۳۱ آنگستروم و ثابت لاتیس ژرمانیوم برابر با ۰.۳۵۶۴۶ آنگستروم است. این اختلاف ۴ درصدی باعث می‌شود تا در سیلیکون ژرمانیوم اتم‌ها فاصله متفاوتی نسبت به سیلیکون داشته باشند. برای دستیابی به سیلیکون کشیده شده، دستگاه را در یک کانال $Si_{1-x}Ge_x$ تولدی می‌کنند (شکل ۸). دو عامل برای افزایش تحرک پذیری وجود دارد: اول آنکه سیلیسیم ژرمانیم تحت کشیدگی انقباضی تحرک پذیری بهتری نسبت به سیلیسیم دارد؛ و دوم اینکه اختلاف پتانسیل نوار هدایت^{۴۵} بین سیلیسیم و سیلیسیم ژرمانیم در ناحیه معکوس بار حفره را دور از سیلیسیم دی اکسید/سیلیسیم نگه می‌دارد که اثرات پراکندگی ناشی از زمختی سطح را کاهش می‌دهد. متأسفانه با ورود ترانزیستورها به ابعاد زیرمیکرونی، افزایش تحرک پذیری به دلیل وجود میدان‌های الکتریکی جانبی زیاد که منجر به اشباع سرعت حامل‌ها می‌شود، از اهمیت کمتری برخوردار شد [۹].



شکل ۸ ساختار ماسفت با سیلیکون کشیده شده [۹]

خازن پارازیتی p-n

در هر پیوند میان مواد p و n یک دیود تشکیل می‌شود. این دیود یک لایه تخلیه دارد که به شکل خازن عمل می‌کند. کوچکتر بودن این خازن پارازیتی که به آن خازن پیوند نیز می‌گویند، منجر به تسریع کارکرد ترانزیستور و کاهش توان مصرفی می‌شود.

سیلیکون روی عایق^{۴۶}

سیلیکون روی عایق (SOI) یک ساختار است که در آن لایه‌ای نازک از سیلیکون روی یک اکسید عایق قرار گرفته تا از ایجاد خازن‌های پارازیتی جلوگیری شود. ویفرهای SOI از یک لایه نازک سیلیکونی ($50\text{nm} - 100\mu\text{m}$) که روی یک زیرلایه عایق قرار گرفته تشکیل می‌شوند. ساخت دستگاه‌ها روی ویفرهای SOI مزیت‌هایی از قبیل کاهش خازن‌های پیوند، جریان نشتی کمتر و مقاومت در برابر تشعشعات را دارا است. SOI‌ها بسته به وضعیت بدنه نازک سیلیکونی به دو دسته نیمه تهی^{۴۷} یا PD و تمام تهی^{۴۸} یا FD تقسیم می‌شوند. در مقایسه با SOI‌های PD، FD‌ها لایه بدنه بسیار نازک‌تری دارند و بدنه هنگام عملیات کاملاً تخلیه می‌شود. از این جهت، به آن SOI ابر نازک^{۴۹} نیز

^{۴۶} SOI (Silicon on Insulator)

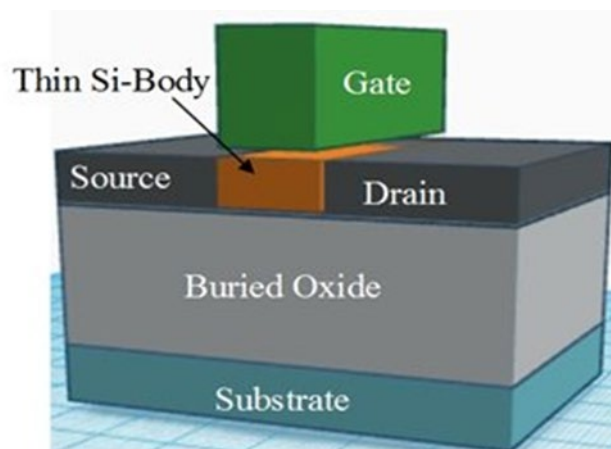
^{۴۷} Partially Depleted

^{۴۸} Fully Depleted

^{۴۹} Ultra-Thin Body SOI

گفته می‌شود. عرض بدنه FD ها حدود ۵ الی ۲۰ نانومتر و PD ها بدنه‌ای با عرض حدود ۵۰ تا ۹۰ نانومتر دارند [۶, ۴].

دستگاه‌های تمام‌تهی برای دستگاه‌های میکرومتری مناسب نیستند چرا که ضخامت سیلیکون برای کنترل اثرات کانال کوتاه باید حدود ۱۰ نانومتر باشد. ساخت چنین سیلیکون نازکی بسیار دشوار است و برای دستگاه‌های زیرمیکرونی دستگاه‌های نیمه‌تهی مناسب‌تر شناخته شدند [۹].



شکل ۹ یک ماسفت با ساختار SOI [۶]

برخی از مزایا و مشکلات مربوط به SOI ها [۶]:

- با استفاده از SOI، به دلیل حذف خازن‌های پارازیتی، تاخیر و توان پویای دستگاه کمتر می‌شود.
- ولتاژ آستانه به دلیل وجود یک لایه اکسید، کمتر به بایاس گیت وابسته خواهد بود. این باعث می‌شود دستگاه‌های SOI با برق کمتری کار کنند.
- رفتار زیر آستانه دستگاه‌های SOI بهتراند، پس جریان‌های نشتی کوچک‌تری رخ می‌دهند.
- دستگاه‌های SOI مشکل latch-up ندارند.
- یکی از مشکلات SOI FD ها، مربوط به پروسه ساخت آنها است چرا که تولید بدنه SOI نازک بسیار دشوار است.

- مشکل دیگر SOI ها داغ شدگی است. وجود ناحیه اکتیو روی اکسید سیلیکون که یک عایق خوب برای گرما است، باعث می شود تا دمای تولید شده در نواحی اکتیو به سادگی در بدنه پخش نشود. در نتیجه، دمای لایه نازک بدنه به شدت بالا رفته و مشکلاتی از قبیل کاهش تحرک پذیری و به تبعیت از آن کاهش جریان را در پی دارد.

در شکل ۱۰ بهبودهای تخمین زده شده برای دستگاه های SOI قابل مشاهده است.

Parameter	Best Case Gain
Junction Capacitance	12%
Body Factor	3%
Gate-to-Body Coupling	3%
Channel Length	0%
Total	18%

شکل ۱۰ بهبودهای تخمین زده شده برای دستگاه های SOI / ۹

مقاومت ورقه ای

به دلیل ذات نافلزی پلی سیلیکون، گیت ترانزیستور به مقاومت ورقه ای بالایی دچار است. مقاومت ورقه ای یک ویژگی مهم در فیزیک مواد و الکترونیک است که به نحوه ی رفتار مقاومتی ماده در ابعاد ورقه ای اشاره دارد. این مقاومت به صورت مقاومت متناسب با معکوس تعداد الکترون هایی است که از یک نقطه به نقطه دیگر در سطح ماده جابجا می شوند.

لایه سیلیسید

اگرچه ناخالص سازی^{۵۰} گیت به عنوان یکی از راه‌های افزایش رسانایی پلی‌سیلیکون باعث شده که پلی‌سیلیکون یک گیت قابل قبول باشد، جهت دستیابی به رسانایی بیشتر و کاهش مقاومت ورقه‌ای، گاهی یک فلز مثل تانگستن، تیتانیوم، کوبالت یا نیکل را با لایه‌های بالایی پلی‌سیلیکون آلیاژ می‌کنند. به این ماده سیلیسید می‌گویند. پلی‌سیلیکون سیلیسید شده از پلی‌سیلیکون عادی خواص الکتریکی بهتری داشته و در فرایند ساخت نیز ذوب نمی‌شود. البته که با ایجاد سیلیسید ولتاژ آستانه نیز به شدت از سیلیکون عادی بالاتر خواهد بود. (ویکی‌پدیا)

گزینه دیگری که توجه زیادی را به خود جلب کرد تکنولوژی کاملاً سیلیسید^{۵۱} است. روند ساخت آن به این شکل است که ابتدا یک لایه پلی‌سی-قرار گرفته، و سپس با قرارگیری یک لایه فلز و بازپخت آن یک گیت کاملاً سیلیسید شده دست پیدا می‌کنیم. تابع کار این گیت می‌تواند با تنظیم مقدار سیلیسید ساخته شده یا ناخالص سازی پلی‌سیلیکون تنظیم شود [۴].

بازگشت به فلز

اگرچه که این بازگشت مدت زیادی به تعویق انداخته شد، در نهایت بازگرداندن گیت‌های فلزی تنها راه باقی مانده برای مشکلات حل نشده بود. مشکلاتی که ناشی از کوچک سازی لایه عایق ترانزیستورها بوده و با ورود به عرصه ۹۰ نانومتری بیشتر خود را نشان دادند.

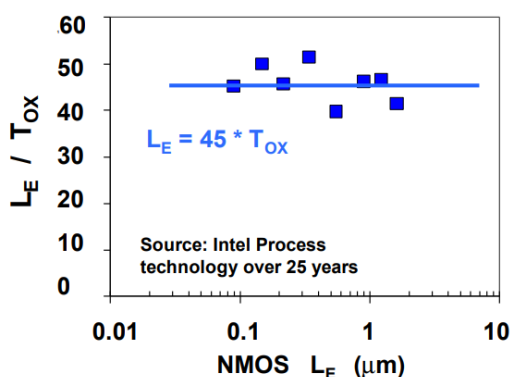
نیاز به کوچک سازی

با توجه به اینکه کوچک سازی عایق گیت مشکل ساز است، یک پرسش اساسی در ذهن ما مطرح می‌شود: اگر عایق را کوچک نکنیم چه می‌شود؟ با کوچک شدن ابعاد گیت‌ها از ۱۰ میکرومتر به ۰.۱ میکرومتر، کوچک سازی لایه

^{۵۰} Doping

^{۵۱} Fully Silicided (FUSI)

عایق نیز برای کنترل اثرات کانال کوتاه ضروری بوده است. واجب است که ضخامت اکسید گیت به شکل خطی با طول کانال کوچک شود تا رفتار کانال کوتاه نیز کنترل شود. شکل ۱۱ نشان می‌دهد که با کوچک‌سازی گیت، متأسفانه نسبت طول کانال به اکسید گیت افزایش یافته. برای کنترل اثرات کانال کوتاه، باید نسبت لایه تخلیه کانال را نسبت به ضخامت طول کانال حفظ کنیم. با توجه به معادله ۸ [۱۰]، ضخامت ناحیه تخلیه با مجذور تراکم ناخالصی کانال رابطه مستقیم دارد. بنابراین ناخالصی کانال نیز با کوچک‌سازی اکسید افزایش می‌باید تا ولتاژ آستانه حفظ شود [۹، ۱۰]. شکل ۱۲ نشان می‌دهد که با کاهش ضخامت اکسید، نسبت طول کانال به ضخامت اکسید حفظ نشده.

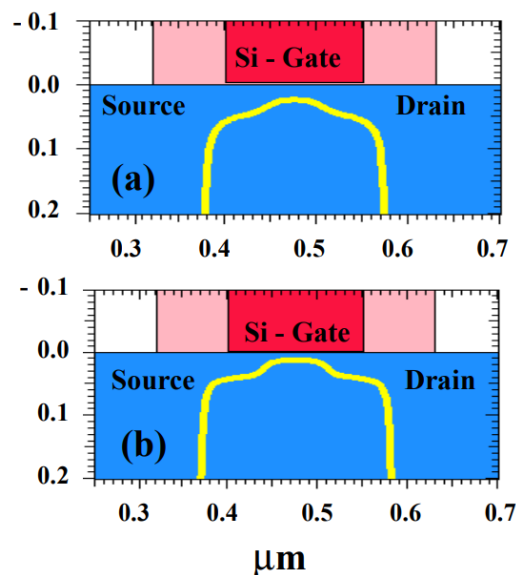


شکل ۱۱ مقایسه طول کانال با نسبت طول کانال به ضخامت اکسید [۹]

$$W_d = \sqrt{\frac{2K_s\epsilon_0}{qN}} \phi_s$$

معادله ۸ ضخامت ناحیه تخلیه

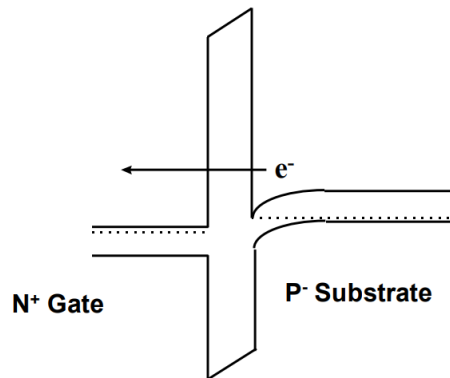
برای اینکه بهتر ارتباط ضخامت اکسید با ناحیه تخلیه را درک کنیم، شکل ۱۲ تفاوت میان دو ضخامت اکسید را نشان می‌دهد. دستگاهی که اکسید نازک‌تری دارد، ناحیه تخلیه کوچک‌تری نیز داشته و بنابراین رفتار کانال کوتاه بهتری خواهد داشت. بنابراین، برای ادامه دادن به کوچک‌سازی طول کانال ماسفت‌ها، کاهش ضخامت عایق نیز ضروری است.



شکل ۱۲ مقایسه ضخامت ناحیه تخلیه با دو ضخامت اکسید متفاوت: (شکل بالا) ۴.۵ نانومتر و (شکل پایین) ۳.۲ نانومتر [۹]

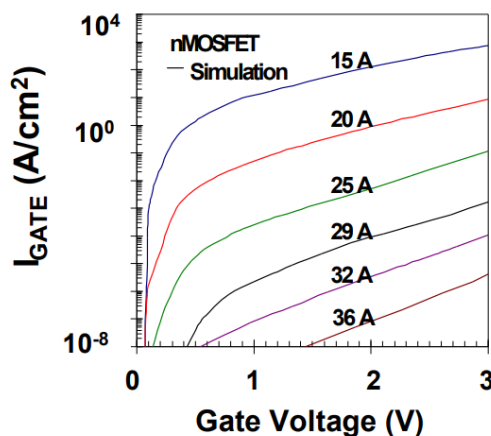
محدودیت کوچک‌سازی سیلیکون‌دی‌اکسید و نشتی گیت^{۵۲}

از زمان ظهور ترانزیستورهای ماس در ۵۰ سال پیش، سیلیکون‌دی‌اکسید به عنوان عایق گیت منتخب شناخته شد. ابعاد ماس‌ها تا پردازنده‌های ۱۳۰ نانومتری، نسل به نسل ۳۰ درصد کاهش می‌یافت. اما کوچک‌سازی در پردازنده‌های ۹۰ نانومتری و ۶۵ نانومتری با محدودیت‌هایی در کاهش ضخامت عایق مواجه شد. این محدودیت‌ها تأثیرپذیر از پروسه تولید نبودند، چرا که امروزه دستیابی به اکسیدهای ۱.۵ نانومتری و کوچک‌تر روی ویفرهای ۲۰۰ میلی‌متری از لحاظ فنی ممکن است؛ در عوض، این محدودیت‌ها ناشی از نشتی میان گیت و کانال که حاصل از تونل‌زنی^{۵۳} الکترون‌هاست می‌باشد، از این جهت که سیلیکون‌دی‌اکسید در مقیاس بسیار کوچک دارای اتم‌های کافی برای جلوگیری از نشتی گیت نیست [۸] (شکل ۱۳).



شکل ۱۳ تونل‌زنی الکترون از زیرلایه به گیت

با کاهش ضخامت لایه عایق، الکترون‌ها راحت‌تر می‌توانند از طریق عایق به گیت تونل بزنند، و جریان نشتی گیت-کانال را ایجاد کنند. لازم به ذکر است جریان نشتی برای NMOSها زودتر از PMOSها رخ می‌دهد از آنجایی که احتمال تونل‌زنی برای الکترون‌ها بیشتر از حفره‌ها است. دستگاهی را فرض کنیم که با ولتاژ آستانه ۱ ولت کار می‌کنند و در طول گیت ۰.۱ میکرومتری نشتی دارد، در این دستگاه طول عایق سیلیکون‌دی‌اکسید باید ۱.۶ نانومتر باشد. اما به دلایل مکانیک کوانتومی و اثرات ناحیه تخلیه گیت پولی‌سیلیکون، ضخامت تونل‌زنی به حدود ۲.۳ نانومتر افزایش می‌یابد. این محدودیت ضخامت و طول کانال در تکنولوژی‌های ۰.۱۳ میکرومتری خود را نشان می‌دهند [۹]. شکل ۱۴ نشان می‌دهد که جریان نشتی گیت با کاهش ضخامت افزایش یافته.



شکل ۱۴ مقایسه جریان نشتی گیت با ضخامت‌های متفاوت اکسید

مواد های-کی^{۵۴}

با کاهش ضخامت اکسید (پردازنده های ۶۵ نانومتری اینتل اکسیدی با ضخامتی در حدود ۱.۲ نانومتر داشتند)، جریان نشتی ناشی از تونل زنی الکترون ها چشمگیرتر شد. راه حل واضح این مسئله این بود که سیلیکون دی اکسید با عایقی جایگزین شود که عبور الکترون ها از آن سخت تر باشد. این مواد ضریب گذردهی پایین تر و ثابت عایق بالاتری^{۵۵} دارند، از این جهت به آن ها مواد های-کی گفته می شود. فهرستی از این مواد در شکل ۱۵ آورده شده. تمام این مواد، بجز Si_3N_4 ، به یک لایه سیلیکون دی اکسید میان عایق و زیرلایه سیلیکونی نیاز دارند تا تداخلی میان زیرلایه و عایق وجود نداشته باشد. این مواد های-کی با گیت پلی سیلیکونی سازگاری ندارند، و به همین علت نیاز است تا فلزاتی با توابع کار band-edge مناسب جایگزین گیت های پلی سیلیکونی ناخالص بشوند تا از واکنش میان عایق و پلی سیلیکون جلوگیری شود [۴، ۹].

OPTION	ISSUES / STATUS
Si_3N_4 / nitride	Small advantage especially with buffer layer Close to being ready (G. Lucovsky, T. P. Ma)
Ta_2O_5	Need SiO_2 buffer/ no poly-silicon gate Very early stages (S. Kamiyama)
TiO_2	Need SiO_2 buffer/ no poly-silicon gate Very early stages (S. A. Campbell)
BST	Deep states/ buffer layer/ no poly-silicon gate Early stages FET (large DRAM interest)

شکل ۱۵ گزینه های فلز گیت

خالی از لطف نیست که به این نکته نیز اشاره کنیم، یکی دیگر از راه‌های کاهش توان مصرفی ناشی از تونل‌زنی الکترون‌ها، جایگزینی SiO_2 با یک نیتريد اکسید است، که در مقابل نفوذ ناخالصی‌ها مقاوم بوده و ثابت عایق را افزایش می‌دهد [۴].

نیازمندی‌های ماده گیت

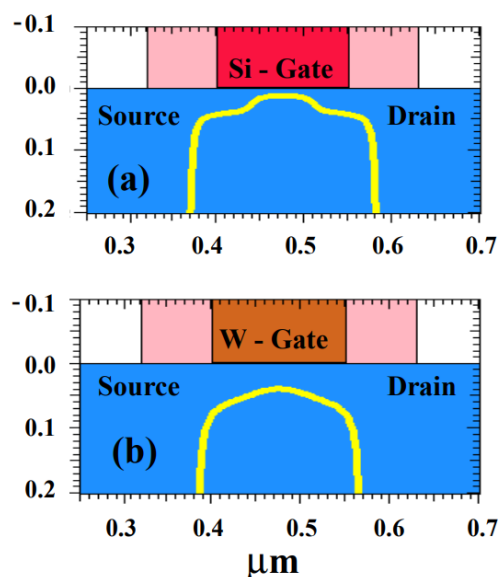
اصلی‌ترین نیاز یک گیت فلزی مناسب داشتن تابع کار صحیح برای دستیابی به ولتاژ آستانه دلخواه است. تابع کار ماده گیت مسئول تنظیم ولتاژ ترانزیستور CMOS و در گیت‌های پلی‌سیلیکونی برابر با ۵.۲ الکترون‌ولت برای PMOSها و ۴.۱ الکترون‌ولت برای NMOSهاست. این یعنی فلز انتخاب شده نیز باید تابع کاری برابر یا نزدیک به گیت‌های پلی‌سیلیکونی‌ای که کنار گذاشته می‌شوند داشته باشد. همچنین اگر فکر به کار گیری فرایند ساخت گیت-اول را در سر داشته باشیم، نیاز است که این فلز بتواند دمای بالای مورد نیاز برای اجاد نواحی اکتیو را برای حدود ۵ ثانیه تحمل کند [۴].

معرفی HKGM

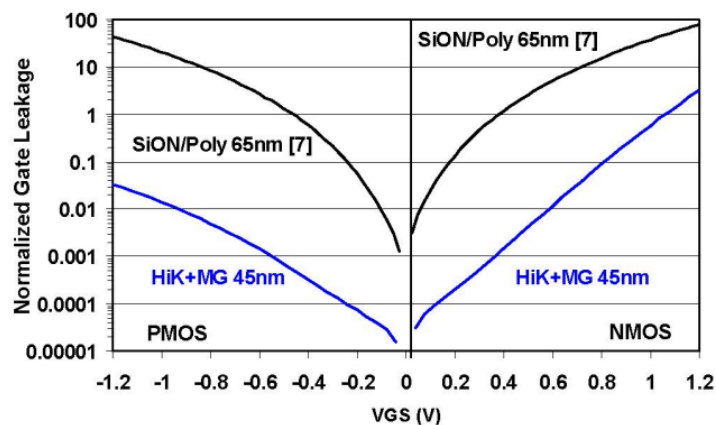
در اواخر دهه ۹۰، گیت‌های فلزی دوباره مورد توجه قرار گرفتند. به چند علت: اول، فلزات مشکل اثر تخلیه پلی را ندارند و دوماً، نتایج نشان می‌دهد که گیت‌های پلی‌سیلیکونی از لحاظ شیمیایی در تماس با عایق‌های های-کی پایدار نیستند. سوماً، نیاز ناخالص‌سازی پلی‌سیلیکون برای کاهش مقاومت منجر به پراکندگی بورون از گیت و نفوذ به عایق شده، که در نهایت عملکرد ترانزیستور را دچار مشکل می‌کند [۴].

اگرچه مشکلاتی مانند اشباع سرعت با روش‌های مذکور قابل حل بودند، اما مشکل نشتی گیت خود را به عنوان چالش بزرگتری نشان داد. سال‌ها تلاش و میلیون‌ها دلار هزینه برای یافتن یک عایق جدید در نهایت باعث شد تا Hf به عنوان عایق جدید پردازنده‌های اینتل معرفی شود و نشتی را تا ده برابر کاهش دهد. به ساختاری که از مواد های-کی و گیت فلزی تشکیل شده باشد، تکنولوژی HKMG می‌گویند. این تکنولوژی اولین بار در پردازنده‌های

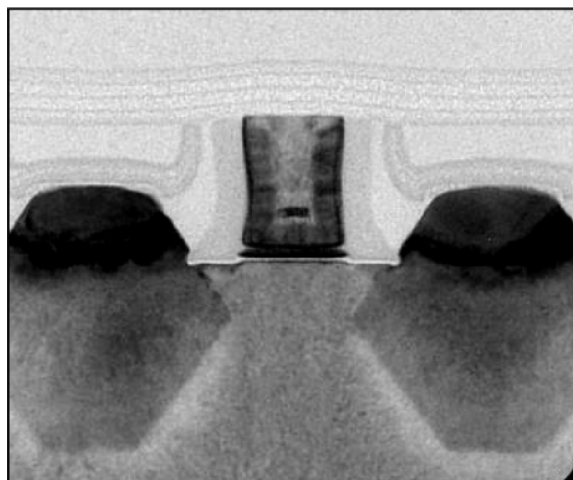
۴۵ نانومتری اینتل معرفی شد. باقی تولید کنندگان در پردازنده‌های نسل ۴۰ و ۴۵ نانومتری از همان ترانزیستورهای پلی‌سیلیکونی/اکسیدی استفاده کردند و HKGM را در تکنولوژی‌های ۳۰ و ۲۸ نانومتری استفاده کردند. فلزی که به عنوان ماده گیت به کار می‌رود تانگستن است. در فرایند ساخت اینتل از تکنیک گیت-آخر استفاده می‌کرد در صورتی که IGM و باقی تولیدکنندگان تکنیک گیت-اول را انتخاب کردند. روشی که طی آن از پلی‌سیلیکون و مواد های-کی همزمان نقش داشتند [۷].



شکل ۱۶ مقایسه ضخامت ناحیه تخلیه با دو گیت متفاوت: (شکل بالا) پلی‌سیلیکون و (شکل پایین) تانگستن [۹]



شکل ۱۷ کاهش ۱۰۰۰ برابری ناشی با ساختار HKGM [۸]



شکل ۱۸ تصویر میکروسکوپ الکترونی عبوری از ترانزیستور PMOS با ساختار HKGM [۸]

پروسه ساخت گیت-نخست پلی سیلیکون/HKGM

گفتیم که یکی از دلایل استفاده از پلی سیلیکون امکان اعمال فرایند ساخت خودتنظیم بوده، فرایندی که اغلب فلزات به علت نقطه ذوب پایین طی آن ذوب می‌شوند. با این حال، با بازگشت گیت‌های فلزی فرایند ساخت خودتنظیم کنار نگذاشته شده و صرفاً دستخوش تغییراتی شده است. طی این فرایند، ابتدا یک گیت دامی به عنوان ماسک در مقابل نفوذ نواحی اکتیو قرار می‌گیرد، در نهایت پلی دامی برداشته می‌شود و فلز اصلی قرار داده می‌شود [۸].

۱. کاشت STI، چاه‌ها و VTها
۲. قرارگیری لایه‌ای اتمی عایق‌های-کی
۳. قرارگیری پلی سیلیکون و الگویابی گیت
۴. ایجاد نواحی سورس/درین، عقب نشینی سیلیکون و قرارگیری سیلیکون ژرمانیوم
۵. ایجاد نواحی سورس/درین، سیلیسید سازی نیکل، قرارگیری عایق میان لایه‌ای فاقد خلأ
۶. پولیش پلی سیلیکون، برداشتن پلی
۷. قرارگیری فلز PMOS

۸. الگوریتمی فلز گیت، قرارگیری فلز NMOS

۹. پولیش و پر کردن گیت فلزی، قرارگیری ESL

دیگر محدودیت‌های کوچک‌سازی ترانزیستورها

در انتها به دو محدودیت دیگر در تولید ترانزیستورها اشاره خواهیم کرد. اولین محدودیت مربوط به اصول ابتدایی کوانتوم مکانیکی خواهد بود. فاصله بین ناحیه سورس و درین در یک ترانزیستور اثر میدانی باید بزرگتر از طول موج دوبروی^{۵۶} باشد.

$$\lambda_d = \frac{h}{\sqrt{2mE}}$$

معادله ۹ طول موج دوبروی الکترون‌ها

در معادله ۹، h ثابت پلانک، m جرم الکترون و E انرژی الکترون است. اگر این نیازمندی برقرار نشود، الکترون‌ها به جای ذرات، شبیه امواج رفتار می‌کنند و دستگاه دیگر یک سوییج الکتریکی نخواهد بود. بنابراین حداقل طول گیت به فاصله میان اتم‌های لاتیس سیلیکون (۰.۲۷ نانومتر) و پارامترهای دیگر دستگاه مثل جریان و ولتاژ وابسته است.

به غیر از محدودیت‌های فیزیکی همیشگی، عوامل دیگری وجود دارند که ممکن است از کوچک‌سازی بیشتر جلوگیری کنند. از آنجایی که ساخت یک تاسیسات جدید (یا شاید ارتقا دادن یک تاسیسات موجود) برای هر نسلی از دستگاه‌های جدید سرمایه‌گذاری عظیمی است، ممکن است ادامه کوچک‌سازی دستگاه از نظر اقتصادی امکانپذیر نباشد. در گذشته، با اینکه تولیدکنندگان نیمه‌رساناها نسبت به حل مشکلات پتانسیلی مانند موانع لیتوگرافی ناامید بوده‌اند، اما همیشه حل شده‌اند. با این حال، مشکلاتی مانند خشنگی لبه خطی جدی خواهند شد و همچنین تأثیر قابل توجهی بر نویز مارجین‌های ترانزیستور خواهند داشت [۴].

جمع‌بندی

در این گزارش ابتدا به دلایل تغییر جنس گیت از پلی‌سیلیکون به فلز پرداختیم. سپس برخی دیگر از چالش‌های مرتبط با طراحی ماسفت و راه حل‌های آنها را بررسی کردیم و در نهایت به بازگشت فلزات و دلایل آن پرداختیم. فهمیدیم که علت اینکه نیاز به بازگشت گیت‌های فلزی در همان زمان جایگزینی‌شان پیش‌بینی نشد، این بود که ماسفت‌ها هنوز به ابعادی نرسیده بودند که مشکلات ناشی از عدم استفاده از فلزات را نمایان کنند؛ مشکلاتی که ما را با یک محدودیت مهم در کوچک‌سازی مواجه کرد و باعث شد تا ادامه پیشرفت این فناوری نیازمند یک تغییر اساسی باشد. همچنین بررسی کردیم که کوچک‌سازی هر چه بیشتر ترانزیستورها، نسل به نسل چالشی‌تر می‌شود؛ و به همین علت، این پیشرفت ممکن است با همان رشد نمایی معروف مور ادامه‌دار نباشد، چه بسا که خود آقای مور هم روی پایان اجتناب ناپذیر این رشد نمایی و همیشگی نبودن قانون معروفش حکم تایید می‌زند. ترانزیستورها بی‌نقص نیستند و مسئله کوچک‌سازی در صنعت نیمه‌رساناها و مدارهای مجتمع هنوز هم یک مسئله مهم برای تحقیق و توسعه با هدف برطرف‌سازی این نقص‌ها تلقی می‌شود. در نهایت و با وجود تمام این کشمکش‌ها، مهم این است که ترانزیستورها اگرچه عالی نیستند، اما کارکردشان به عنوان یک سویچ الکتریکی همچنان قابل قبول است.

منابع

ارجاع شده

- [1] R. G. Arns, "The other transistor: early history of the metal-oxide-semiconductor field-effect transistor," *ENGINEERING SCIENCE AND EDUCATION JOURNAL*, vol. 7, no. 5, 1998.

- [2] K. M. e. al, "Delaying Forever: Uniaxial Strained Silicon Transistors in a 90nm CMOS Technology " presented at the Digest of Technical Papers. 2004 Symposium on VLSI Technology, 2004., Honolulu, HI, USA, 2004.
- [3] D. H. Neil H.E. Weste, *CMOS VLSI Design : A circuits and systems perspective*, 4 ed. Pearson, 2015.
- [4] G. SJÖBLOM, "Metal Gate Technology for Advanced CMOS Devices," Department of Engineering Sciences, Uppsala University, Uppsala, Sweden, 2006.
- [5] siliconvlsi. "Diffusion and Ion Implantation." <https://siliconvlsi.com/diffusion-and-ion-implantation/> (accessed.
- [6] P. H. V. R. Lad. "A Review Paper on CMOS, SOI and FinFET Technology." <https://www.design-reuse.com/articles/41330/cmos-soi-finfet-technology-review-paper.html> (accessed.
- [7] D. James, "High-k/Metal Gates in Leading Edge Silicon Devices," presented at the 2012 SEMI Advanced Semiconductor Manufacturing Conference, Saratoga Springs, NY, USA, 2012.
- [8] K. M. e. al, "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," presented at the 2007 IEEE International Electron Devices Meeting, Washington, DC, USA, 2007.

- [9] S. T. P. Packan and M. Bohr, "MOS Scaling: Transistor Challenges for the 21st Century," *Intel Technology Journal*, vol. 3, no. 98, 1998.
- [10] W. J. J.-H. Ahn, "Depletion effect of polycrystalline-silicon gate electrode by phosphorus deactivation," *Solid-State Electronics*, vol. 127, 2017.

ارجاع نشده

- [11] J. R. R. M. Wallace, "High-K materials and metal gates for CMOS applications," *elsevier*, vol. 88, 2015.
- [12] ز. س. آ. دقیقی, "بدست آوردن رابطه‌ی ولتاژ آستانه در ماسفت‌های سیلیکون روی الماس با طول کانال ۲۲ نانومتر و یک لایه عایق اضافی," *نشریه مهندسی برق و الکترونیک ایران*, vol. 16, no. 2, 1398.