

# Relatório do Laboratório 7

Fernando Henrique Ratusznei Caetano

19 de novembro de 2022

## Sumário

<b>1</b>	<b>Objetivo</b>	<b>1</b>
<b>2</b>	<b>Diagrama em blocos</b>	<b>2</b>
<b>3</b>	<b>Sincronização dos sinais de CLOCK</b>	<b>3</b>
<b>4</b>	<b>Conclusão e comentários adicionais</b>	<b>5</b>

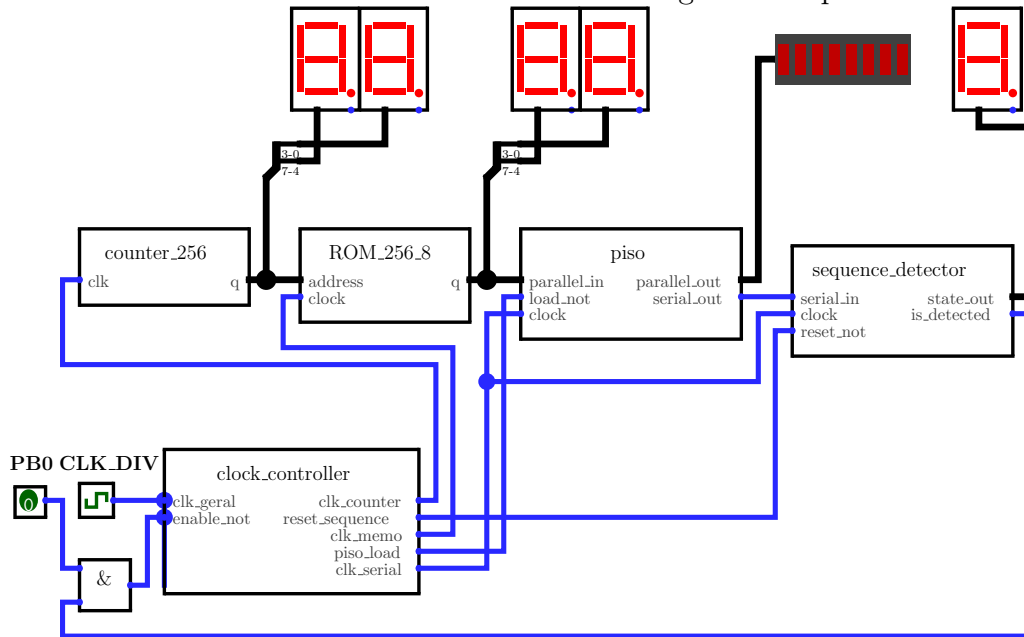
## 1 Objetivo

A proposta do laboratório 7 foi o estudo de um circuito empregando uma memória ROM 256x8, isto é, uma memória armazenando 256 bytes. Dada uma string binária de 7 bits, o objetivo era projetar um circuito capaz a detectar nos dados armazenados na memória.

O principal desafio desse laboratório foi a sincronização dos sinais de CLOCK para que o sistema exibisse o funcionamento correto.

## 2 Diagrama em blocos

O projeto foi todo desenvolvido em VHDL. A seguir é apresentado o diagrama simplificado com os blocos funcionais do circuito. Os conversores HEX-7 segmentos e o divisor de clock foram omitidos do diagrama simplificado.

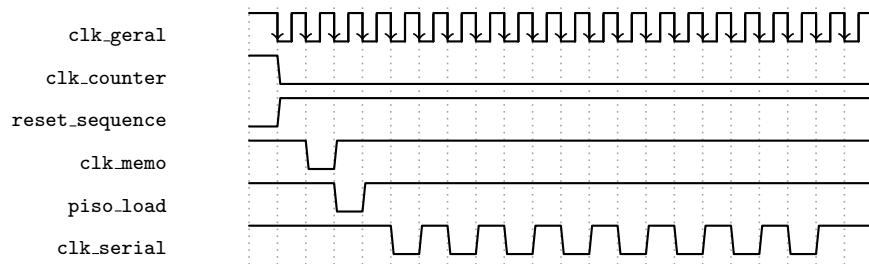


O circuito possui apenas duas entradas, o CLK\_DIV (clock dividido) e o PB0 (botão da placa). O fluxo da informação no circuito começa no counter\_256, um contador de 0 até 255, que realiza o endereçamento da ROM com os dados fornecidos pelo professor. Durante cada passo da contagem é necessário enviar pulsos para todos os componentes na ordem correta. Primeiro é necessário enviar um sinal de clock para atualizar os dados na saída da ROM. Após o tempo de propagação da memória o piso recebe um sinal de load e é carregado com os dados endereçados. Com a saída do piso estável, são enviados 8 pulsos de clock para o piso e o detector de sequência. Caso o detector encontre a sequência o sinal de enable do controlador de clock é desativado e o circuito suspende a contagem até que o botão da placa seja pressionado. Caso contrário o detector de sequências recebe um sinal de reset, o contador é incrementado e ciclo se repete para outros os bytes armazenados na memória.

Todos esses sinais precisam ser acionados exatamente na ordem descrita no parágrafo anterior. É necessário um sistema para controlar todos de forma correta. Esse controle é realizado pelo dispositivo clock\_controller.

### 3 Sincronização dos sinais de CLOCK

O dispositivo clock\_controller é uma máquina de estado responsável por controlar os sinais de clock, load e reset de todos os componentes. Os pulsos devem ser acionados conforme o diagrama de tempos a seguir. Os sinais de clock são ativos na borda de descida e os sinais de reset e load são ativos em zero.



O controle de clock foi implementado em VHDL utilizando o bloco process apresentado a seguir. O bloco foi implementado com um contador e a com lógica combinacional para ativar as saídas na ordem correta.

```
clock_controller: process(clk_geral) is
    constant N: integer := 25;
    variable counter: integer := 0;
begin
    if (falling_edge(clk_geral)) then
        if enable = '0' then
            if counter = N then
                counter := 0;
            else
                counter := counter + 1;
            end if;
        end if;

        if counter = 0 then
            clk_counter <= '1';
            reset_sequence <= '0';
        else
            clk_counter <= '0';
            reset_sequence <= '1';
        end if;

        if counter = 1 then
```

```

        clk_memo <= '0';
    else
        clk_memo <= '1';
    end if;

    -- Esse sinal foi atrasado em alguns ciclos
    -- para garantir que a saída da memória já está estável
    if counter = 5 then
        piso_load <= '0';
    else
        piso_load <= '1';
    end if;

    case counter is
        when 7|9|11|13|15|17|19|21 => clk_serial <= '0';
        when others => clk_serial <= '1';
    end case;
end if;
end process clock_controller;

```

## 4 Conclusão e comentários adicionais

Nesse laboratório foram praticados os conceitos de memórias digitais utilizando a memória do biblioteca IP (*Intellectual property*) do Quartus. Os dados para serem armazenados foram carregados por meio de um arquivo .hex, um formato utilizado para descrever dados binários em texto ASCII. Esse tipo de arquivo é padrão e pode ser utilizado com outros dispositivos.

O código para o piso, os conversores HEX-7 segmentos, o contador e o detector de sequência foram reaproveitados de práticas anteriores. A modularidade com que foram desenvolvidos facilitou muito reuso desses componentes.

Em aula teoria foram aprendidas técnicas para sincronização de clock de vários componentes, como foi necessário nessa prática. Uma das técnicas expostas foi a da utilização de um contador em anel para acionar o clock de vários componentes em sequência. Inicialmente esse método foi considerado, porém foi optado por utilizar um contador crescente utilizando estados da contagem na entrada de um circuito sequencial, cujo as saídas acionam os clocks apenas durante certos momentos da contagem. Foi decidido assim pois o código do contador, que já havia sido desenvolvido em práticas anteriores, foi facilmente adaptado.