

ADS8668 12bit, 500ksps, 8ch A/D コンバータ データシート (抜粋/加筆)

この資料は、Texas Instruments 社 ADS8668 データシート(SBAS492 -JULY 2015)を、弊社製品 RPi-GP40 の制御利便性向上のために抜粋翻訳加筆したものです。

最新の情報や機能詳細については、TI 社の ADS8668 製品ページを参照してください。

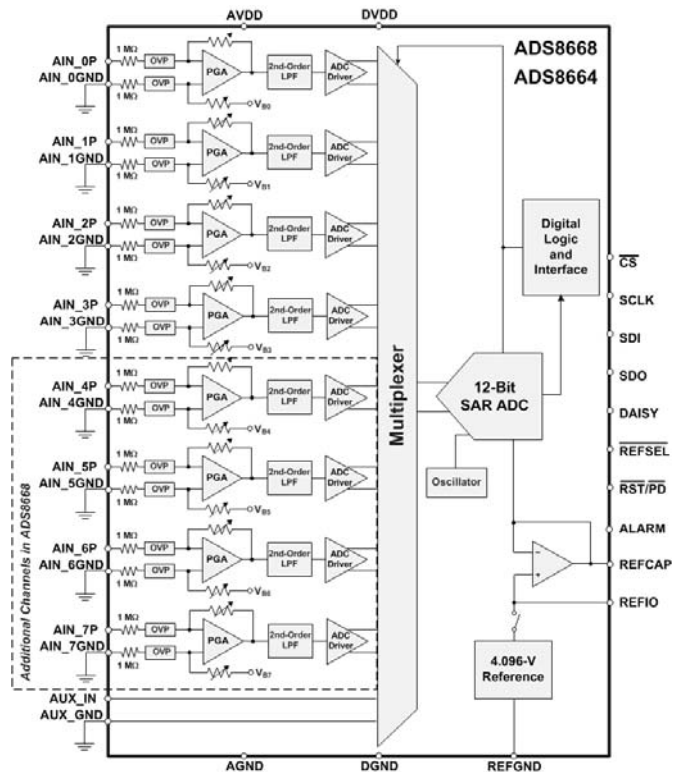
<http://www.tij.co.jp/product/jp/ADS8668>

RATOC Systems, Inc.

Apr./2018

1. 特徴

- アナログフロントエンド内蔵 12 ビット ADC
- 自動および手動スキャンを備えた 8 チャンネル MUX
- 入力レンジはチャンネルごとにプログラム可能：
 - $\pm 10.24V$ 、 $\pm 5.12V$ 、 $\pm 2.56V$ 、 $\pm 1.28V$ 、 $\pm 0.64V$
 - $10.24V$ 、 $5.12V$ 、 $2.56V$ 、 $1.28V$
- 5V アナログ電源：1.65V～5V I/O 電源
- 入力インピーダンス：1M Ω
- 入力過電圧保護：最大 $\pm 20V$
- 低ドリフト 4.096V 基準電源内蔵
- 高パフォーマンス：
 - 500 kSPS の総スループット
 - DNL： $\pm 0.2LSB$ ；INL： $\pm 0.2LSB$
 - 低ドリフトのゲインとオフセット
 - SNR：73.8dB；THD：-95 dB
 - 低電力：65 mW
- AUX 入力で ADC 入力へ直接接続も可能
- ALARM→チャンネルごとに上限値と下限値を設定可能
- デイジーチェーンによる SPI™ 互換インターフェイス
- 工業製品用温度範囲：-40℃～125℃
- TSSOP-38 パッケージ (9.7mm×4.4mm)



3. 概要説明

ADS8668 は、8 チャンネル 500ksps の 12 ビットの逐次比較型 (SAR) アナログ・デジタル・コンバータ (ADC) 統合データ収集システムです。最大 $\pm 20V$ の過電圧保護、自動および手動スキャンモードを備えた 8 チャンネル・マルチプレクサ、各入力チャンネル用の温度変化によるドリフトが低い 4.096V の参照電源を内蔵し、統合されたアナログフロントエンド回路を備えています。単一の 5V アナログ電源で動作するデバイスの各入力チャンネルは、 $\pm 10.24V$ 、 $\pm 5.12V$ 、 $\pm 2.56V$ 、 $\pm 1.28V$ および $\pm 0.64V$ のバイポーラ入力レンジと、 $0V \sim 10.24V$ 、 $0V \sim 5.12V$ 、 $0V \sim 2.56V$ 、 $0V \sim 1.28V$ のユニポーラ入力レンジをサポートしています。すべての入力レンジのアナログフロントエンドが正確にトリミングされ、高い DC 精度が保証されます。入力レンジの選択は、ソフトウェアでプログラム可能で、各チャンネルごとに独立しています。デバイスは、選択された入力レンジに関係なく、1M Ω で一定の入力インピーダンスです。

ADS8668 は、デジタルホストへのシンプルな SPI 互換シリアルインターフェイスで、複数のデバイスのデイジーチェーン接続もサポートしています。デジタル電源は 1.65V～5.25V で動作し、幅広いホストコントローラとの直接インターフェイスが可能です。

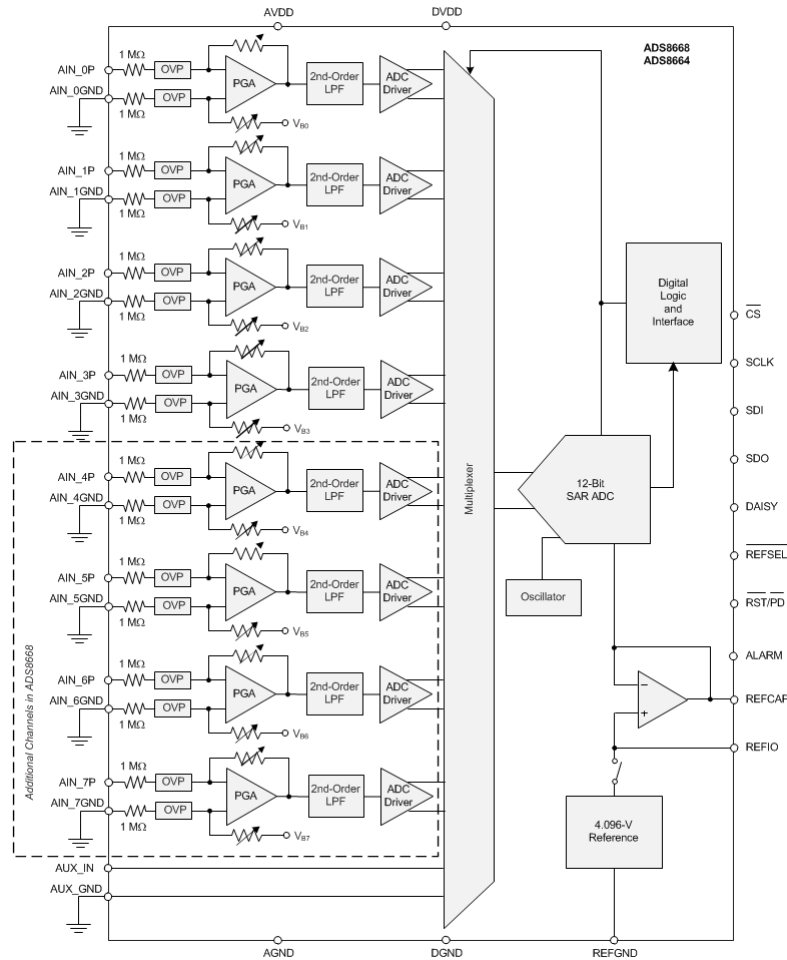
8. 詳細説明

8.1 概要

ADS8668 は、8 チャンネルのアナログ入力を備えた 12 ビットのデータアキュイジションシステムです。各アナログ入力チャンネルは、過電圧保護回路、プログラマブルゲインアンプ (PGA)、8 チャンネルアナログマルチプレクサ (MUX) に入力される前に入力信号を調整する 2 次アンチエイリアスフィルタで構成されています。MUX の出力は、逐次比較レジスタ (SAR) アーキテクチャに基づいた 12 ビットのアナログ - デジタルコンバータ (ADC) を使用してデジタル化されています。この総合的なシステムは、すべてのチャンネルにわたって合計 500 kSPS のスループットを達成することができます。デバイスは、高速セトリングパワファを備えた 4.096V 内部リファレンスと、デイジーチェーン (DAISY) および ALARM 機能を備えたシンプルな SPI 互換シリアルインターフェイスを備えています。

このデバイスは単一の 5V アナログ電源で動作し、最大 $\pm 2.5 \times VREF$ の真のバイポーラ入力信号に対応できます。このデバイスは、サンプリング周波数または選択された入力レンジに関係なく、一定の 1M Ω 抵抗入力インピーダンスを提供します。高入力インピーダンスの多チャンネル高精度アナログフロントエンド回路と単一の 5V 電源で動作する高精度 ADC の統合により、外付けの高電圧バイポーラ電源や複雑なドライバ回路を必要とせず、簡素化されたエンドソリューションを提供します。

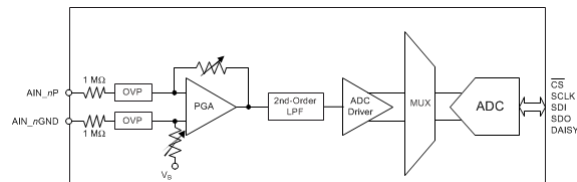
8.2 機能ブロック図



8.3 機能の説明

8.3.1 アナログ入力

ADS8668 は、正入力 AIN_nP ($n = 0 \sim 3$ または 7) がシングルエンドアナログ入力で、負入力 AIN_nGND が GND に接続されるように、8 つのアナログ入力チャンネルを備えています。図 67 に、入力過電圧保護回路、PGA、ローパスフィルタ (LPF)、高速 ADC ドライバ、およびアナログ・マルチプレクサを含む、各アナログ入力チャンネルの簡略回路図を示します。



注：ADS8668 では $n = 0 \sim 7$ です。

図 67. 各アナログ入力チャンネルのフロントエンド回路の概略

このデバイスは、プログラムレジスタの構成に基づいて、複数のユニポーラまたはバイポーラ、シングルエンド入力電圧レンジをサポートできます。レンジ選択レジスタのセクションで説明したように、各アナログチャンネルの入力電圧レンジは、 $\pm 2.5 \times V_{REF}$ 、 $\pm 1.25 \times V_{REF}$ 、 $\pm 0.625 \times V_{REF}$ 、 $\pm 0.3125 \times V_{REF}$ 、 $\pm 0.15625 \times V_{REF}$ またはユニポーラ $0 \sim 2.5 \times V_{REF}$ 、 $0 \sim 1.25 \times V_{REF}$ 、 $0 \sim 0.625 \times V_{REF}$ 、 $0 \sim 0.3125 \times V_{REF}$ です。4.096V に設定された内部または外部基準電圧を使用して、デバイスの入力レンジを $\pm 10.24V$ 、 $\pm 5.12V$ 、 $\pm 2.56V$ 、 $\pm 1.28V$ 、および $\pm 0.64V$ のバイポーラレンジまたは $0V \sim 10.24V$ 、 $0V \sim 5.12V$ 、 $0V \sim 2.56V$ 、 $0V \sim 1.28V$ のユニポーラレンジです。これらの入力レンジは、デバイスの任意のアナログ入力チャンネルに割り当てることができます。例えば、AIN_1P には $\pm 2.5 \times V_{REF}$ のレンジ、AIN_2P には $\pm 1.25 \times V_{REF}$ のレンジ、AIN_3P には $0 \sim 2.5 \times V_{REF}$ のレンジを割り当てることができます。

デバイスは、選択されたアナログ入力チャンネルと AIN_nGND ピンの間の電圧差 ($AIN_nP - AIN_nGND$) をサンプリングします。これらのデバイスは、すべてのアナログ入力チャンネルに対して AIN_nGND ピンで $\pm 0.1V$ のレンジを可能にします。この機能は、センサまたは信号調整ブロックがボード上の ADC から離れているモジュールシステムや、ADC グランドからのセンサまたは信号調整器のグランド電位の差が可能な場合に便利です。そのような場合は、デバイスの AIN_nGND ピンからセンサまたは信号調整グランドまで別々のワイヤを接続することを推奨します。

デバイスへのアナログ入力ピン (AIN_nP) がフローティングのままであると、ADC の出力は内部バイアス電圧に対応します。浮動入力ピンでデバイスを動作させる場合、ADC からの出力は無効と見なす必要があります。この状態はデバイスに損傷を与えません。デバイスには、有効な入力電圧がピンに印加されたときに完全に機能します。

8.3.2 アナログ入力インピーダンス

デバイスの各アナログ入力チャンネルは、 $1\text{M}\Omega$ の一定の抵抗性インピーダンスを示します。入力インピーダンスは、ADC サンプリング周波数、入力信号周波数、またはレンジとは無関係です。このような高インピーダンス入力の主な利点は、出力インピーダンスの低い駆動アンプを必要とせずに ADC 入力を容易に駆動できることです。この ADC は高電圧フロントエンドドライバを必要としないため、システムにはバイポーラ、高電圧電源は不要です。ほとんどのアプリケーションでは、信号源またはセンサ出力を ADC 入力に直接接続できるため、信号チェーンの設計が大幅に簡素化されます。

システムの DC 精度を維持するには、AIN_nP 入力ピンの外部ソースインピーダンスと AIN_nGND ピンの等価抵抗をマッチングすることを推奨します。この一致は、外部抵抗によってもたらされる追加のオフセット誤差をキャンセルするのに役立ちます。

8.3.3 入力過電圧保護回路

ADS8668 は、それぞれ、8 つのアナログ入力チャンネルのそれぞれに内部過電圧保護回路を備えています。これらの保護回路は、デバイスを保護するための二次保護方式として使用してください。サージ、静電気放電（ESD）、および電気的高速過渡（EFT）条件に対して外部保護デバイスを使用することを強くお勧めします。内部過電圧保護（OVP）回路の概念ブロック図を図 68 に示します。

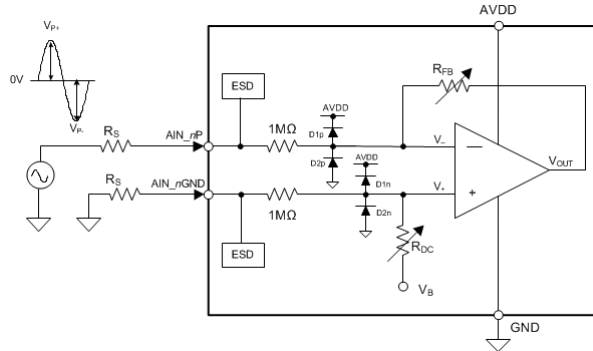


図 68. 入力過電圧保護回路の回路図

図 68 に示すように、 $1\text{M}\Omega$ の入力抵抗と PGA のゲイン設定抵抗（ R_{FB} と R_{DC} ）を組み合わせると、入力ピンに流れる電流が制限されます。各入力ピンに逆並列ダイオード（D1 と D2）の組み合わせを追加して、内部回路を保護し、過電圧保護の限界値を設定します。

表 1 は、デバイスの電源投入時のデバイスのさまざまな動作条件を説明しています。表 1 は、デバイスの AVDD ピンが適切な電源電圧（ $\text{AVDD} = 5\text{V}$ ）に接続されているか、または $30\text{k}\Omega$ 未満の低インピーダンスを提供すると、内部過電圧保護回路はアナログ入力ピンで最大耐圧 $\pm 20\text{V}$ になります。

表 1. $\text{AVDD} = 5\text{V}$ または $30\text{k}\Omega$ 未満の低インピーダンスを提供する入力過電圧保護の制限⁽¹⁾

入力条件 ($V_{\text{OVP}} = \pm 20\text{V}$)		テスト条件	ADC 出力	コメント
$ V_{\text{IN}} < V_{\text{RANGE}} $	動作範囲内	すべての入力範囲	有効	データシート仕様によるデバイス機能
$ V_{\text{RANGE}} < V_{\text{IN}} < V_{\text{OVP}} $	動作範囲超えで、 過電圧範囲内	すべての入力範囲	飽和	ADC の出力は飽和していますが、デバイスは内部保護されています (長時間は推奨されません)
$ V_{\text{IN}} > V_{\text{OVP}} $	過電圧範囲超え	すべての入力範囲	飽和	この使用状態は、デバイスに不可逆的な損傷を引き起こす可能性があります

(1) $\text{GND}=0$, $\text{AIN}_n\text{GND}=0\text{V}$, $|V_{\text{RANGE}}|$ は選択された入力レンジの最大入力電圧です。 $|V_{\text{OVP}}|$ 内部 OVP 回路のブレイクダウン電圧です。 R_S が約 0 であると仮定する。

表 1 に示す結果は、アナログ入力ピンが非常に低いインピーダンスのソース（ R_S が約 0）によって駆動されるという前提に基づいています。しかし、入力を駆動するソースがより高いインピーダンスを持つと、保護ダイオードを流れる電流がさらに減少し、OVP 電圧範囲が増加します。ソースインピーダンスが高いほど利得誤差が生じ、システム全体のノイズ性能に寄与します。図 69 は、デバイスの電源投入時の内部過電圧保護回路の電圧対電流応答を示しています。この電流 - 電圧（IV）応答によれば、デバイスの入力ピンに流れる電流は $1\text{M}\Omega$ の入力インピーダンスによって制限されます。ただし、 $\pm 20\text{V}$ を超える電圧では、内部ノード電圧が内部トランジスタのブレイクダウン電圧を超え、入力ピンの過電圧保護の制限が設定されます。

同じ過電圧保護回路は、デバイスの電源が投入されておらず、インピーダンスが $30\text{k}\Omega$ を超える AVDD がフローティング状態のときにデバイスを保護します。この状態は、ADC の電源が完全にオンになる前に入力信号が印加されたときに発生します。この状態の過電圧保護の制限値を表 2 に示します。

表 2. インピーダンスが $30\text{k}\Omega$ を超える AVDD = フローティング時の入力過電圧保護の制限値⁽¹⁾

入力条件 ($V_{\text{OVP}} = \pm 11\text{V}$)		テスト条件	ADC 出力	コメント
$ V_{\text{IN}} < V_{\text{OVP}} $	過電圧範囲内	すべての入力範囲	無効	デバイスは機能していませんが、OVP 回路によって内部的に保護されています。
$ V_{\text{IN}} > V_{\text{OVP}} $	過電圧範囲超え	すべての入力範囲	無効	この使用条件は、デバイスに不可逆的な損傷を引き起こす可能性があります。

(1) AVDD =フローティング、 $\text{GND}=0$, $\text{AIN}_n\text{GND}=0\text{V}$, $|V_{\text{RANGE}}|$ は選択された入力レンジの最大入力電圧です。 $|V_{\text{OVP}}|$ 内部 OVP 回路のブレイクダウン電圧です。 R_S が約 0 であると仮定する。

図 70 は、デバイスの電源が投入されていないときの内部過電圧保護回路の電圧対電流応答を示しています。この IV 応答によれば、デバイスの入力ピンに流れ込む電流は $1\text{M}\Omega$ の入力インピーダンスによって制限されます。ただし、 $\pm 11\text{V}$ を超える電圧では、内部ノード電圧が内部トランジスタのブレイクダウン電圧を超えてしまい、入力ピンの過電圧保護の制限が設定されます。

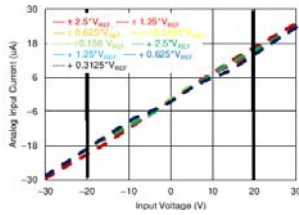


図 69. OVP 入力回路の IV 曲線図

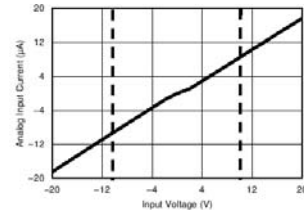


図 70. OVP 入力回路の IV 曲線 (AVDD = フローティング)

8.3.4 プログラマブルゲインアンプ (PGA)

デバイスは、個々のアナログ入力チャンネルにプログラマブル・ゲイン・アンプ (PGA) を備えています。これは、元のシングルエンド入力信号を完全差動信号に変換して内部 12 ビット ADC を駆動します。PGA は、ADC 入力ダイナミックレンジの最大限の使用を保証するために、ADC に入力される前に入力信号のコモンモードレベルを調整します。入力信号のレンジに応じて、PGA ゲインは、プログラムレジスタの Range_CH n [3 : 0] ($n = 0 \sim 7$) ビットを設定することによって適宜調整することができます。Range_CH n [3 : 0] ビットのデフォルトまたはパワーオン状態は 0000 で、これは $\pm 2.5 \times V_{\text{REF}}$ の入力信号レンジに対応します。表 3 にアナログ入力電圧レンジの Range_CH n [3 : 0] ビットのさまざまな構成をリストしています。

PGA は、複数のゲイン構成に非常に整合性の高い抵抗ネットワークを使用します。これらの抵抗と全チャンネルのアンプ間のマッチングは、すべてのチャンネルと入力レンジで全体のゲイン誤差を低く抑えるために正確に調整されています。

表 3. 入力レンジ選択ビットの設定

アナログ入力レンジ	Range_CH n [3 : 0]			
	BIT 3	BIT 2	BIT 1	BIT 0
$\pm 2.5 \times V_{\text{REF}}$	0	0	0	0
$\pm 1.25 \times V_{\text{REF}}$	0	0	0	1
$\pm 0.625 \times V_{\text{REF}}$	0	0	1	0
$\pm 0.3125 \times V_{\text{REF}}$	0	0	1	1
$\pm 0.15625 \times V_{\text{REF}}$	1	0	1	1
$0 \sim 2.5 \times V_{\text{REF}}$	0	1	0	1
$0 \sim 1.25 \times V_{\text{REF}}$	0	1	1	0
$0 \sim 0.625 \times V_{\text{REF}}$	0	1	1	1
$0 \sim 0.3125 \times V_{\text{REF}}$	1	1	1	1

8.3.5 2 次ローパスフィルタ (LPF)

ADS8668 の各アナログ入力チャンネルは、PGA のフロントエンド・アンプとゲイン・レジスタのノイズを軽減するために、PGA の出力に 2 次のアンチエイリアス LPF を備えています。アナログアンチエイリアシングフィルタの振幅と位相応答をそれぞれ図 71 と図 72 に示します。最高の性能を得るには、アンチエイリアシングフィルタの -3dB カットオフ周波数は通常 15kHz に設定されています。フィルタの性能は、ADC がサポートするすべての入力レンジで一貫しています。

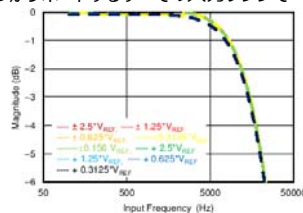


図 71. 2 次の LPF マグニチュード応答

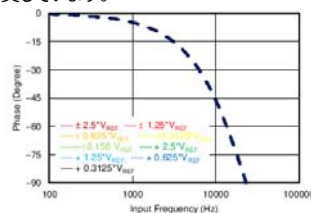


図 72. 2 次 LPF 位相応答

8.3.6 ADC ドライバ

最大サンプリングレート (500 kSPS) で 12 ビットの SAR ADC の性能を満たすためには、ADC の入力にあるサンプルホールドコンデンサは、取得時間ウィンドウの間に十分に充電電する必要があります。ADC の入力でのこの駆動要件は、高帯域幅、低ノイズ、安定したアンプ・バッファの使用を必要とします。このような入力ドライバは、デバイスの各アナログ入力チャンネルのフロントエンド信号パスに統合されています。マルチプレクサの 1 つのチャンネルから別のチャンネルへの移行中、高速サンプリングドライバは、各チャンネルの入力レベルにかかわらず、ADC のアキュイジション時間内にマルチプレクサ出力が 12 ビットの精度に安定することを保証します。

8.3.7 マルチプレクサ (MUX)

ADS8668 は、統合された 8 チャンネルアナログマルチプレクサを備えています。各アナログ入力チャンネルに対して、正のアナログ入力 AIN $_n$ P と負接地入力 AIN $_n$ GND 間の電圧差とは、マルチプレクサに供給される前に、アナログフロントエンド回路によって調整されます。マルチプレクサの出力は、ADC によって直接サンプリングされます。デバイスのマルチプレクサは、「チャンネルシーケンシングモード」のセクションで説明したように、手動または自動スキャンモードでこれらのアナログ入力をスキャンできます。手動モード (MAN_Ch $_n$) では、チャンネルはレジスタ書き込みによって各サンプルごとに選択されます。オートスキャンモード (AUTO_RST) では、チャンネル番号は CS ごとに自動的にインクリメントされます現在のチャンネルの立ち下がりエッジがサンプリングされます。アナログ入力は、レジスタ設定でオートスキャン用に選択することができます (オートスキャンシーケンシング制御レジスタの項を参照)。デバイスは、選択したアナログ入力のみを自動的に昇順でスキャンします。

ADS8668 の最大スループットは、全チャンネルにわたって 500 kSPS で規定されています。チャンネルごとのスループットは、マルチプレクサのスキャンシーケンスで選択されたチャンネルの数に依存します。たとえば、チャンネルあたりのスループットは、2つのチャンネルのみが選択されている場合は 250 kSPS ですが、4つのチャンネルが選択されている場合はチャンネルあたり 125 kSPS に等しくなります。

個々のアナログチャンネルの自動スキャンモードと手動モードを切り替えるコマンドレジスタの設定については、表 6 を参照してください。

8.3.8 基準電源

ADS8668 は、内部基準電圧や内部バッファを使用して外部基準電圧のいずれかで動作することができます。内部リファレンスまたは外部リファレンスの選択は、外部 REFSEL ピンによって決まります。これらのデバイスには、内部 ADC コアの実際のリファレンス入力ドライブして性能を最大化するためのバッファアンプが内蔵されています。

8.3.8.1 内部基準電圧

これらのデバイスは、4.096V（公称値）の内部リファレンスを内蔵しています。内部リファレンスを選択するには、REFSEL ピンをローに接続するか、または AGND に接続する必要があります。内部リファレンスが使用されると、REFIO（ピン5）は内部リファレンス値を持つ出力ピンになります。図 73 に示すように、REFIO ピンと REFGND（ピン6）の間に 10 μ F（最小）のデカップリング・コンデンサを配置することを推奨します。コンデンサは REFIO ピンのできるだけ近くに配置する必要があります。内部バンドギャップ回路の出力インピーダンスは、リファレンスのノイズを帯域制限するためにこのコンデンサでローパスフィルタを作成します。コンデンサの値を小さくすると、システムのリファレンスノイズが大きくなり、SNR と SINAD の性能が低下します。REFIO には電流出力能力が制限されているため、外部 AC または DC 負荷をドライブするために REFIO ピンを使用しないでください。REFIO ピンは、適切なオペアンプ・バッファ（OPA320 など）の後にソースとして使用できます。

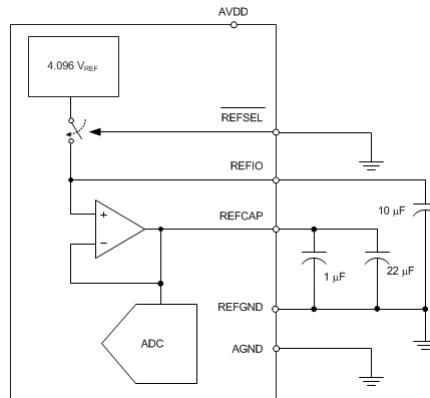


図 73. 内部 4.096 V リファレンスを使用するためのデバイス接続

デバイス内部リファレンスは、 ± 1 mV の最大初期精度に調整されます。図 74 のヒストグラムは、3300 を超える製造装置から得られた内部電圧リファレンス出力の分布を示しています。

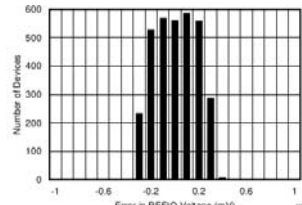


図 74. 室温ヒストグラムにおける内部基準精度

ダイが機械的または熱的ストレスにさらされると、内部リファレンスの初期精度仕様が低下する可能性があります。PCB にはんだ付けされたときにデバイスを加熱し、その後のはんだリフローが V_{REF} 値のシフトの主な原因です。熱ヒステリシスの主な原因は、ダイストレスの変化であり、したがってパッケージ、ダイアタッチ材料、および成形コンパウンドの機能、ならびにデバイス自体のレイアウトです。

この効果を説明するために、アプリケーションレポート SNOA550 で説明されているように、メーカーの推奨リフロープロファイルを使用して、鉛フリーはんだペーストを使用して 80 個のデバイスを半田付けしました。内部電圧リファレンス出力はリフロープロセスの前後で測定され、標準的な値のシフトが図 75 に示されています。テストされたすべてのユニットは出力電圧が正のシフトを示しますが、負のシフトも可能です。図 75 のヒストグラムは、単一のリフロープロファイルへの露光の典型的なシフトを示しています。両面に表面実装部品を備えた PCB で一般的な複数のリフローへの露出は、出力電圧の追加のシフトを引き起こします。PCB が複数のリフローにさらされる場合は、2 回目のパスで ADS8668 を使用して、デバイスが熱ストレスにさらされるのを最小限に抑えます。

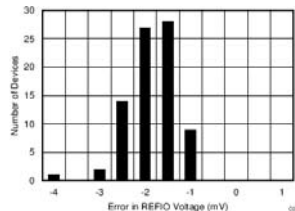


図 75. はんだヒートシフト分布ヒストグラム

内部リファレンスも温度補償され、 -40°C から 125°C の拡張工業用温度範囲で優れた温度ドリフトを提供します。図 76 に、AVDD 電源電圧の異なる値に対する内部基準電圧の温度変化を示します。リファレンス電圧の標準的な規定値は温度に対して 8ppm/ $^{\circ}\text{C}$ （図 77）であり、規定の最大温度ドリフトは 20ppm/ $^{\circ}\text{C}$ です。

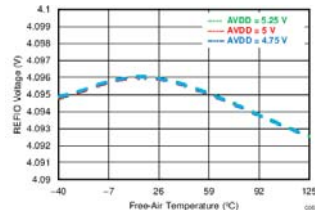


図 76.電源と温度にまたがる内部リファレンス出力 (REFIO) の変化

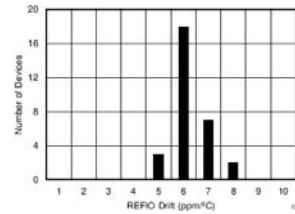
AVDD = 5V、素子数= 30、 $\Delta T = -40 \sim 125^\circ\text{C}$

図 77.内部リファレンス温度ドリフトヒストグラム

8.3.8.2 外部基準電源

ADS8668 は、より優れたリファレンス電圧または複数のデバイスに共通のリファレンス電圧を必要とするアプリケーションでは、内部リファレンスを使用して ADC リファレンス・ピンを駆動するための内部バッファを使用することができます。外部基準モードを選択するには、REFSEL このピンを DVDD 電源に接続してください。このモードでは、入力ピンとなる REFIO (ピン 5) に外部の 4.096V リファレンスを印加する必要があります。このモードでは、ADC リファレンス入力に内部接続されている REFCAP ピンのダイナミック・ロードを処理するために内部バッファが最適に設計されているため、低電力、低ドリフト、または小型の外部リファレンスを使用できます。外部リファレンスの出力を適切にフィルタリングして、リファレンスノイズがシステム性能に及ぼす影響を最小限に抑える必要があります。このモードの一般的な接続図を図 78 に示します。

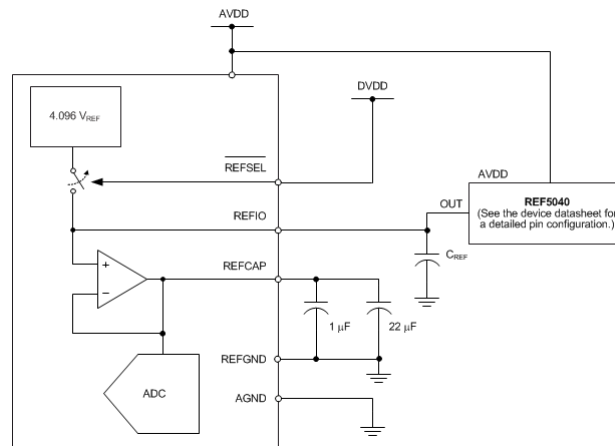


図 78.外部 4.096V リファレンスを使用するためのデバイス接続

内部リファレンス・バッファの出力は、REFCAP ピンに現れます。REFCAP (ピン 7) と REFGND (ピン 6) の間に $10\mu\text{F}$ の最小容量を配置する必要があります。高周波信号をデカップリングするには、できるだけ REFCAP ピンの近くに $1\mu\text{F}$ のコンデンサを追加してください。このバッファの電流出力能力が限られているため、外部の AC または DC 負荷を駆動するために内部バッファを使用しないでください。

内部バッファ出力の性能は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作温度範囲で非常に安定しています。図 79 は、AVDD 電源電圧の異なる値に対する、温度に対する REFCAP 出力の変化を示しています。基準バッファドリフト温度の標準的な規定値は $1\text{ppm}/^\circ\text{C}$ (図 80) であり、規定の最大温度ドリフトは $1.5\text{ppm}/^\circ\text{C}$ です。

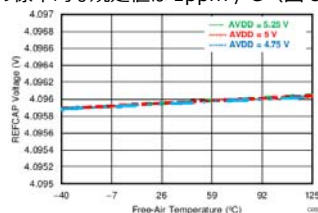


図 79.リファレンス・バッファ出力の変動 (REFCAP) と電源および温度

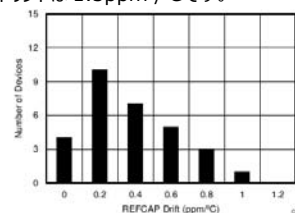
AVDD = 5V、素子数= 30、 $\Delta T = -40 \sim 125^\circ\text{C}$

図 80.リファレンス・バッファ温度ドリフトヒストグラム

8.3.10 ADC 伝達関数

ADS8668 は、シングルエンド、バイポーラをサポートするマルチチャンネル・デバイスのファミリーであり、およびユニポーラ入力、すべての入力チャンネルに及びます。これらのデバイスの出力は、バイポーラとユニポーラの両方の入力レンジでストレートバイナリ形式になっています。出力コードのフォーマットは、すべてのアナログチャンネルで同じです。

すべての入力レンジに対する各 ADC チャンネルの理想的な伝達特性を図 85 に示します。各入力信号のフルスケールレンジ (FSR) は、正のフルスケール (PFS) 入力電圧と負のフルスケール (NFS) 入力電圧の差に等しくなります。LSB サイズは、ADC の分解能が 12 ビットであるため $\text{FSR} / 2^{12} = \text{FSR} / 4096$ に等しくなります。 $V_{\text{REF}} = 4.096\text{ V}$ のリファレンス電圧の場合、異なる入力レンジに対応する LSB 値を表 4 に示します。

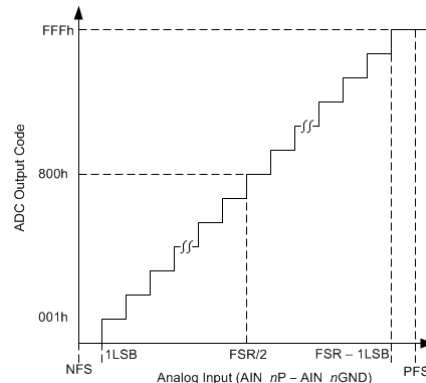


図 85. 12 ビット ADC 伝達関数 (ストレート・バイナリ・フォーマット)

表 4.さまざまな入力レンジ ($V_{REF} = 4.096\text{ V}$) の ADC LSB 値

入力レンジ	正のフルスケール	負のフルスケール	フルスケールレンジ	LSB (mV)
$\pm 2.5 \times V_{REF}$	10.24V	-10.24V	20.48V	5.00
$\pm 1.25 \times V_{REF}$	5.12 V	-5.12V	10.24V	2.50
$\pm 0.625 \times V_{REF}$	2.56V	-2.56V	5.12 V	1.25
$\pm 0.3125 \times V_{REF}$	1.28V	-1.28V	2.56V	0.625
$\pm 0.15625 \times V_{REF}$	0.64V	-0.64V	1.28V	0.3125
$0 \sim 2.5 \times V_{REF}$	10.24V	0V	10.24V	2.50
$0 \sim 1.25 \times V_{REF}$	5.12 V	0V	5.12 V	1.25
$0 \sim 0.625 \times V_{REF}$	2.56V	0V	2.56V	0.625
$0 \sim 0.3125 \times V_{REF}$	1.28V	0V	1.28V	0.3125

8.3.11 アラーム機能

このデバイスはピン 35 にアクティブ High の ALARM 出力を持っています。ALARM 信号は同期しており、SCLK 信号の 16 番目の立ち下がりエッジでその状態を変えます。ALARM のハイレベルは、アラームフラグがデバイスの 1 つ以上のチャンネルでトリップしたことを示します。このピンは、ホスト入力を中断するために配線することができます。ALARM 割り込みが受信されると、アラームフラグレジスタが読み出されて、どのチャンネルにアラームがあるかが決定されます。このデバイスには、各チャンネルごとに独立してプログラム可能なアラーム機能があります。チャンネルごとに 2 つのアラーム（下限および上限アラーム）があり、各アラームしきい値には個別のヒステリシス設定があります。

ADS8668 は、特定のチャンネルのためのデジタル出力は上限アラームの上限 [上限アラームしきい値 (T) + ヒステリシス (H)] を超えたときに上限アラームを設定します。チャンネルのデジタル出力が上限アラームの下限（上限アラーム T-H-2）以下の場合、アラームはリセットされます。この機能を図 86 に示します。

同様に、特定のチャンネルのデジタル出力が下限アラームの下限（低アラームしきい値 T-H-1）を下回ると、下限アラームがトリガされます。チャンネルのデジタル出力が下限アラームの上限（下限アラーム T+H+1）以上になると、アラームがリセットされます。この機能を図 87 に示します。

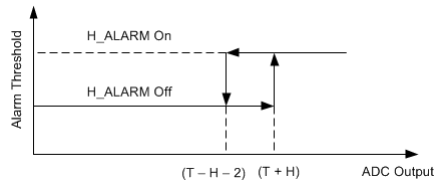


図 86. 上限 ALARM ヒステリシス

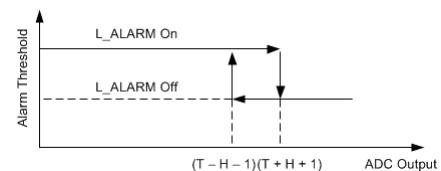


図 87. 下限 ALARM ヒステリシス

図 88 は、シングルチャンネルアラームの機能ブロック図を示しています。上限および下限アラームごとに、アクティブアラームフラグとトリップアラームフラグの 2 つのフラグがあります。詳細については、アラームフラグレジスタ（読み取り専用）のセクションを参照してください。アクティブアラームフラグは、特定のチャンネルのアラーム条件が発生したときにトリガされます。アクティブアラームフラグは、アラームがオフになるとリセットされます。トリップアラームフラグは、アクティブアラームフラグと同じ方法でアラーム条件を設定します。しかし、トリップアラームフラグはラッチされたままであり、適切なアラームフラグレジスタが読み出されたときにのみリセットされます。

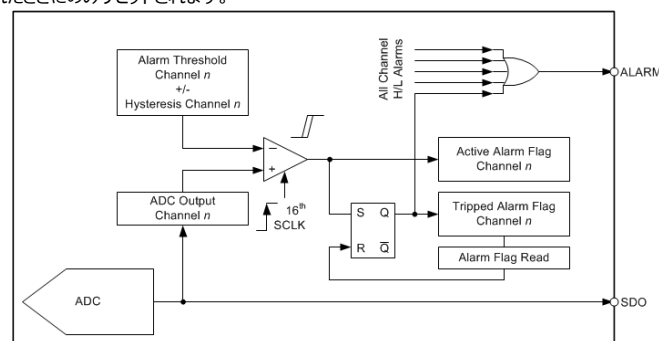


図 88. アラーム機能の回路図

8.4 デバイス機能モード

8.4.1 デバイスインターフェイス

8.4.1.1 デジタルピンの説明

ADS8668 のデジタル・データ・インターフェイスを図 89 に示します。

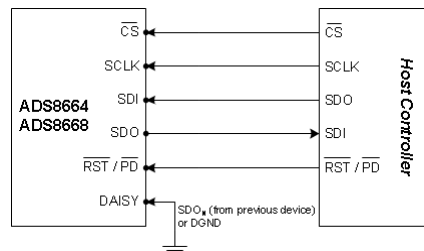


図 89. デジタルインターフェイスのピン構成

図 89 に示す信号は、以下のとおりです。

8.4.1.1.1 CS（入力）

CS はアクティブローのチップセレクト信号を示します。CS は、立ち下がりエッジで変換をトリガする制御信号としても使用されます。各データフレームは、CS 信号の立ち下がりエッジで始まります。特定のフレーム中に変換されるアナログ入力チャンネルは、前のフレームで選択されます。CS の立ち下がりエッジで、デバイスは選択されたチャンネルから入力信号をサンプリングし、変換は内部クロックを使用して開始されます。この変換処理中に、次のデータフレームのデバイス設定を入力することができます。CS 信号がハイのとき、ADC はアイドル状態にあるとみなされます。

8.4.1.1.2 SCLK（入力）

このピンは、データインターフェイスの外部クロック入力を示します。デバイスへのすべての同期アクセスは、SCLK 信号の立ち下がりエッジに対してタイミングが取られます。

8.4.1.1.3 SDI（入力）

SDI はシリアルデータ入力ラインです。SDI は、ホストプロセッサがデバイス構成のための内部デバイス・レジスタをプログラムするために使用されます。各データフレームの始めに、CS 信号がローになり、次の 16 SCLK サイクルの間 SCLK 信号の立ち下がりエッジごとに SDI ラインのデータがデバイスによって読み込まれます。特定のデータフレームでのデバイス構成の変更は、CS 信号の次の立ち下がりエッジでデバイスに適用されます。

8.4.1.1.4 SDO（出力）

SDO はシリアルデータ出力ラインです。SDO はデバイスが変換データを出力するために使用します。データ出力フレームのサイズは、SDO フォーマットのレジスタ設定によって異なります。表 13 を参照してください。CS のローレベルは SDO ピンを Hi-Z 状態から解放します。SDO は SCLK の最初の 15 個の立ち下がりエッジの間 Low に保たれます。出力データ・ストリームの MSB は、16 番目の SCLK の立ち下がりエッジで SDO でクロック・アウトされ、その後各立ち下がりエッジで後続のデータビットが続きます。SDO ラインはデータフレーム全体が出力された後にローになり、CS がハイになると Hi-Z ステートになります。

8.4.1.1.5 DAISY（入力）

DAISY はシリアル入力ピンです。デジチェーンモードで複数のデバイスを接続すると、図 92 に示すように、チェーン内の最初のデバイスの DAISY ピンが GND に接続されます。後続の各デバイスの DAISY ピンは、前のデバイスの SDO 出力ピンに接続され、チェーン内の最後のデバイスの SDO 出力は、ホストプロセッサの SDI に送られます。アプリケーションがスタンドアロンデバイスを使用する場合、DAISY ピンは GND に接続されます。

8.4.1.1.6 RST / PD（入力）

RST / PD はデュアル機能ピンです。図 90 にこのピンのタイミングを示し、表 5 にこのピンの使用法を示します。



図 90. RST / PD ピンのタイミング

表 5. RST / PD ピンの機能

状態	デバイスモード
$40\text{ ns} < t_{\text{PL_RST_PD}} \leq 100\text{ ns}$	デバイスは RST モードにあり、PWR_DN モードにはなりません。
$100\text{ ns} < t_{\text{PL_RST_PD}} < 400\text{ ns}$	デバイスは RST モードにあり、PWR_DN モードになる場合もあります。 注：この設定はお勧めしません。
$t_{\text{PL_RST_PD}} \geq 400\text{ ns}$	デバイスは PWR_DN モードに入り、プログラムレジスタはデフォルト値にリセットされます。

これらのデバイスは、RST / PD ピンをロジックロー状態に少なくとも 400ns 引き込むことで、パワーダウン（PWR_DN）モードにすることができます。RST / PD ピンはクロックと非同期です。したがって、RST / PD は、他のピン（アナログ入力チャンネルを含む）の状態に関係なく、いつでもトリガすることができます。デバイスがパワーダウンモードになると、デジタル入力ピン（RST / PD ピンを除く）のアクティビティは無視されます。

デバイスのプログラムレジスタは、RST / PD ピンを 100 ns 以下の間ロジックロー状態にすることによって、デフォルト値（RST）にリセットすることができます。この入力はクロックに非同期です。RST / PD がロジックハイ状態に引き戻されると、デバイスはノーマルモードになります。1 つの有効な書き込み操作をプログラムレジスタで実行してデバイスを構成し、適切なコマンド（AUTO_RST または MAN）を実行して変換を開始する必要があります。

RST / PD ピンがロジックハイレベルに引き戻されると、デバイスはデフォルト状態でウェイクアップし、プログラムレジスタがデフォルト値にリセットされます。

8.4.1.2 データ取得の例

このセクションでは、ホストプロセッサがデバイスインターフェイスを使用してデバイスの内部レジスタを構成する方法と、特定の入力チャンネルをサンプリングするためにデータを変換および取得する方法の例を示します。図 91 に示すタイミング図は、さらに詳細を示しています。

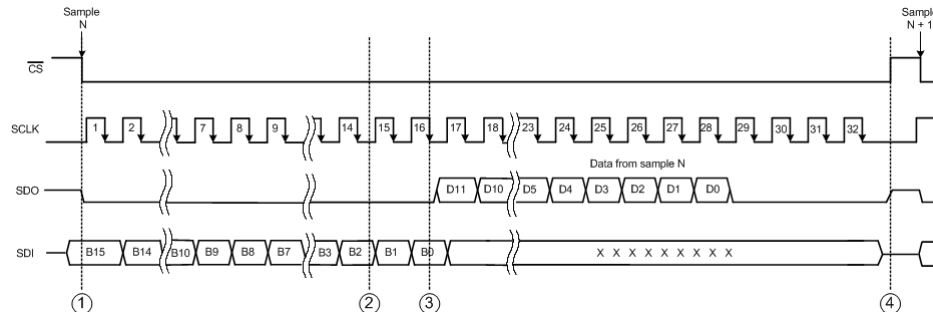


図 91. SPI インターフェイスのタイミング図を使用したデバイスの動作

図 91 に示す 4 つのイベントがあります。これらのイベントは以下のとおりです。

- イベント 1 :** ホストは、CS 信号の立ち下がりエッジでデータ変換フレームを開始します。CS の立ち下がりエッジの瞬間のアナログ入力信号は ADC によってサンプリングされ、変換は内部発振器クロックを使用して実行されます。このフレーム中に変換されたアナログ入力チャンネルは、前のデータフレームで選択されます。次の変換のためのデバイスの内部レジスタ設定は、SDI および SCLK 入力を使用してこのデータフレーム中に入力することができます。この瞬間に SCLK を開始し、次の 16 SCLK サイクルの間 SCLK の各立ち下がりエッジで SDI ラインのデータをデバイスにラッチします。この瞬間、デバイスは最初の 16 SCLK サイクルの間に SDO ラインの内部変換データを出力しないため、SDO はローになります。
- イベント 2 :** 最初の 16 SCLK サイクルの間、デバイスは内部変換プロセスを完了し、データはコンバータ内で準備完了です。ただし、デバイスは SCLK 入力に 16 番目の立ち下がりエッジが現れるまで SDO にデータビットを出力しません。ADC の変換時間は固定されているため（最大値は「電気的特性」の表に記載されています）、内部変換が終了してから 16 番目の SCLK の立ち下がりエッジが現れなければなりません。したがって、SCLK 周波数は、タイミング要件：シリアルインターフェイスの表に記載されているように、最大値を超えることはできません。
- イベント 3 :** SCLK 信号の 16 番目の立ち下がりエッジで、デバイスは SDI ラインの入力ワードの LSB を読み込みます。デバイスは、残りのデータフレームの SDI ラインから何も読み取らない。同じエッジで、変換データの MSB が SDO ラインに出力され、SCLK 信号の次の立ち下がりエッジでホストプロセッサが読み出すことができます。ための 12 個の出力データのビット、LSB に読み取ることができる 28 SCLK の立ち下がりエッジ。SDO は、次の変換が開始されるまで、後続の SCLK 立下がりエッジで 0 を出力します。
- イベント 4 :** デバイスからの内部データが受信されると、ホストは CS 信号をハイに非アクティブにすることによってデータフレームを終了させます。SDO 出力は、イベント 1 で説明したように、次のデータフレームが開始されるまで Hi-Z 状態になります。

8.4.2 デバイスモード

ADS8668 は、ソフトウェアプログラム可能複数の動作モードをサポートしています。電源投入後、デバイスはアイドルモードになり、ユーザからのコマンドを受信するまで機能を実行しません。表 6 に、デバイスのさまざまなモードに入るすべてのコマンドを示します。電源投入後、プログラムは起動時にデフォルト値で起動し、変換を実行する前に適切な設定を必要とします。図 95 の図は、デバイスをある動作モードから別の動作モードに切り替える方法を説明しています。

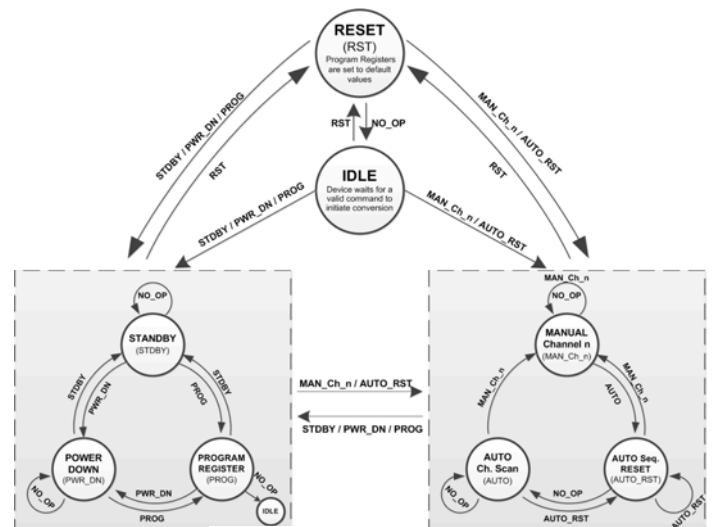


図 95. 状態遷移図

8.4.2.1 選択されたモードでの継続操作 (NO_OP)

デバイスの動作中に SDI ラインを連続してロウ・レベル (全 16 ビットに 0 を書き込むことに相当) に保持すると、最後に選択されたモード (STDBY、PWR_DN、AUTO_RST、または MAN_Ch_n) でのデバイス動作が継続されます。このモードでは、デバイスはプログラムレジスタにすでに設定されているのと同じ設定に従います。

デバイスがプログラム・レジスタ (PROG モード) で読み出しまたは書き込み操作を実行しているときに NO_OP 条件が発生すると、デバイスはプログラムレジスタの現在の設定を保持します。デバイスは IDLE モードに戻り、ユーザがプログラムレジスタ読み出しまたは書き込み構成を実行するための適切なコマンドを入力するのを待ちます。

8.4.2.2 フレームアボート条件 (FRAME_ABORT)

データ取得の例のセクションで説明したように、デバイスのデジタルインターフェイスは、各データフレームが CS 信号の立ち下がりエッジで開始するように設計されています。最初の 16 SCLK サイクルの間、デバイスは SDI ライン上の 16 ビットコマンドワードを読み出します。デバイスはコマンドの最後のビットが受信されるまでコマンドの実行を待機し、16 番目の SCLK の立下がりエッジでラッチされます。この動作中、CS 信号はローのままではなりません。もし CS 信号が何らかの理由でハイになった場合、デバイスは INVALID 状態になり、適切なコマンドが書き込まれるのを待ちます。この状態を FRAME_ABORT 条件といいます。デバイスがこの INVALID モードで動作している場合、デバイス上の読み取り操作は SDO ライン上の無効なデータを返します。ALARM 端子の出力は、以前選択したチャンネルの入力信号の状態を反映し続けます。

8.4.2.3 スタンバイモード (STDBY)

これらのデバイスは、回路の一部のみがパワー・ダウンされる低電力スタンバイモード (STDBY) をサポートします。内部リファレンスとバッファの電源が切断されていないため、デバイスは STDBY モードを終了すると 20 μ s ですばやくパワー・アップすることができます。デバイスが STDBY モードから抜けると、プログラムレジスタはデフォルト値にリセットされません。

STDBY モードに入るには、図 96 に示すように、8200h の STDBY コマンドを使用して、コマンドレジスタに対して有効な書き込み操作を実行します。コマンドは実行され、デバイスはこの書き込み操作に続く次の CS 立ち上がりエッジで STDBY モードになります。後続のデータフレーム中に有効な変換コマンド (AUTO_RST または MAN_Ch_n) が実行されず、SDI がローのままであれば (選択モードセクションの継続動作を参照)、デバイスは STDBY モードのままです。デバイスが STDBY モードで動作しているときは、プログラムレジスタの設定を更新することができます (プログラムレジスタのリード/ライト動作セクション) に 16 個の SCLK サイクルを使用します。ただし、SCLK サイクルが 32 回完了すると、STDBY モードで進行中の変換がないため、デバイスは SDO ライン上で無効なデータを返します。プログラムレジスタ読み出し動作は、このモード中でも正常に行われます。

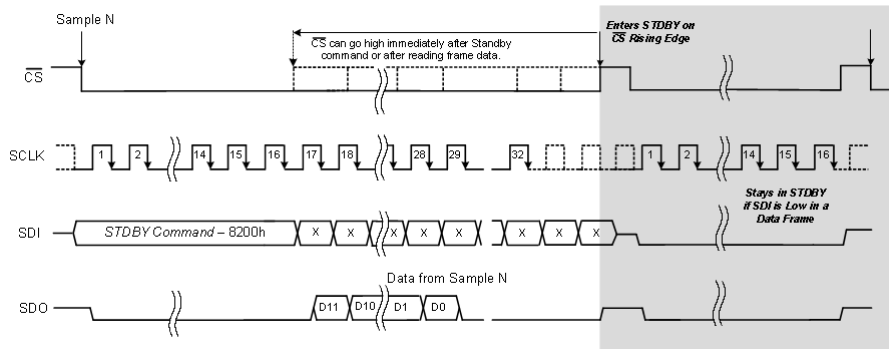


図 96. STDBY モードでの入力とそのタイミング図

STDBY モードを終了するには、図 97 に示すように、有効な 16 ビット書き込みコマンドを実行して自動 (AUTO_RST) または手動 (MAN_CH_n) スキャンモードにする必要があります。デバイスは、次の CS の立ち上がりエッジで STDBY モードを終了します。次の CS の立下がりエッジで、デバイスは MAN_CH_n コマンドまたは AUTO_RST モードシーケンスの最初のチャンネルで選択されたチャンネルでアナログ入力をサンプリングします。入力信号が正確にサンプリングされるようにするには、STDBY モードを終了してから CS 信号の最小幅を 20 μ s に保ち、サンプルを取り込む前にデバイスの内部回路を完全にパワー・アップして適切にバイアスすることができます。選択されたチャンネルのデータ出力は、図 91 で説明したように、同じデータフレーム中に読み取ることができます。

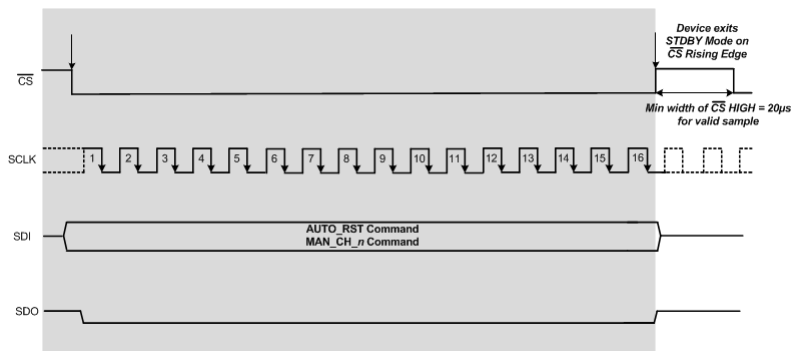


図 97. STDBY モード終了タイミング図

8.4.2.4 パワーダウンモード (PWR_DN)

これらのデバイスは、ハードウェアおよびソフトウェアのパワーダウンモード (PWR_DN) をサポートしており、内部リファレンスおよびバッファを含め、すべての内部回路がパワーダウンされます。デバイスが内部リファレンスモード (REFSEL = 0) で動作している場合、PWR_DN モードを終了した後、デバイスがパワーアップして選択されたアナログ入力チャンネルを変換するために最低 15 ms の時間が必要です。デバイスのハードウェア電源モードについては、RST / PD (入力) セクションで説明します。ハードウェアとソフトウェアのパワーダウンモードの主な違いは、デバイスがハードウェアパワーダウンから復帰したときにプログラムレジスタがデフォルト値にリセットされますが、デバイスがソフトウェアパワーダウンから復帰したときにプログラムレジスタの以前の設定は保持されます。

ソフトウェアを使用して PWR_DN モードに入るには、図 98 に示すように、8300h のソフトウェア PWR_DN コマンドを使用して、コマンドレジスタで有効な書き込み操作を実行します。コマンドは実行され、デバイスはこの書き込み操作に続く次の CS 立ち上がりエッジで PWR_DN モードに入ります。後続のデータフレーム中に有効な変換コマンド (AUTO_RST または MAN_Ch_n) が実行されず、SDI がローのままである場合 (選択モードセクションの継続動作を参照)、デバイスは PWR_DN モードのままです。デバイスが PWR_DN モードで動作しているときは、プログラムレジスタの設定を更新することができます (「プログラムレジスタの読み出し/書き込み動作セクション」) に 16 個の SCLK サイクルを使用します。ただし、SCLK サイクルが 32 回完了すると、デバイスは PWR_DN モードで進行中の変換がないため、SDO ラインで無効なデータを返します。プログラムレジスタ読み出し動作は、このモード中に正常に行われます。

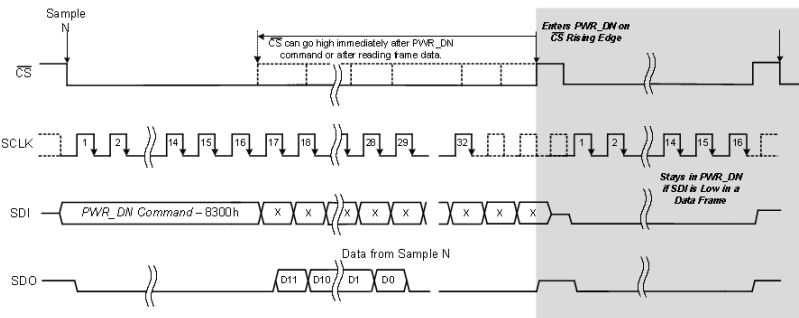


図 98. PWR_DN モードでの入力とそのタイミング図

図 99 に示すように、PWR_DN モードを終了するには、有効な 16 ビット書き込みコマンドを実行する必要があります。このデバイスは、次の CS の立ち上がりエッジで PWR_DN モードから抜け出します。内部リファレンス・モード (REFSEL = 0) で動作させるには、デバイスがリファレンスおよびその他の内部回路をパワーアップするために 15ms が必要で、選択された入力チャンネルに対して有効な変換データが出力される前に必要な精度に落ち着きます。

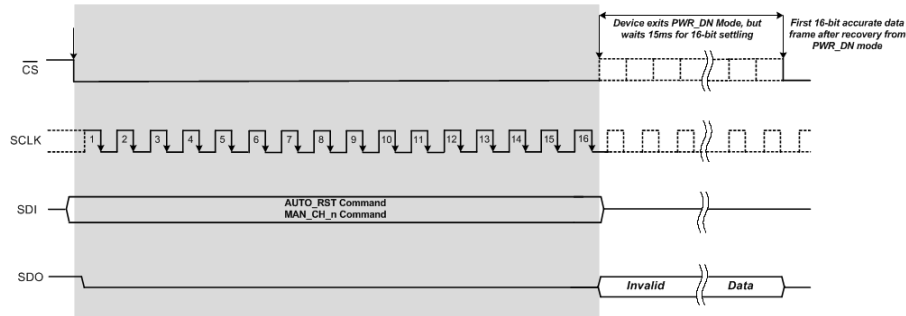


図 99. PWR_DN モードの終了タイミング図

8.4.2.5 リセット付き自動チャンネルイネーブル (AUTO_RST)

図 100 に示すように、コマンドレジスタにリセット (AUTO_RST, A000h) コマンドを指定して有効な自動チャンネルシーケンスを書き込むことにより、すべてのアナログチャンネルの入力信号を自動的にスキャンするようにデバイスをプログラムすることができます。図 100 に示すように、AUTO_RST コマンドの直後またはフレームの出力データを読み込んだ後、CS 信号をハイに引き上げることができます。ただし、次のデータフレームで最初に選択されたチャンネルの入力信号を正確に取得して変換するには、コマンドフレームを 32 SCLK サイクルの完全なフレームにする必要があります。

自動スキャンのチャンネルシーケンスは、プログラムレジスタの AUTO SCAN シーケンシング制御レジスタ (01h~02h) で設定できます。プログラム・レジスタ・マップのセクションを参照してください。このモードでは、デバイスは、選択されたチャンネルを、最も低いチャンネルから始めて、プログラムレジスタで選択されたすべてのチャンネルを昇順に連続的に循環します。シーケンスが完了すると、デバイスはプログラムレジスタの最下位カウントチャンネルに戻り、シーケンスを繰り返します。オートスキャンシーケンスの各チャンネルの入力電圧レンジは、プログラムレジスタのレンジ選択レジスタを設定することで設定できます。

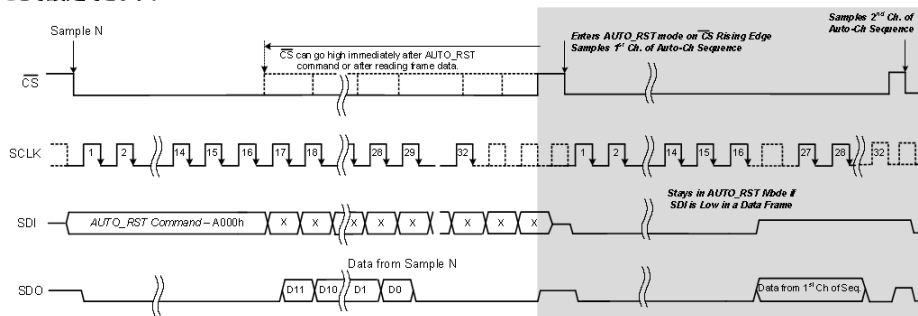


図 100. AUTO_RST モードのタイミング図の入力

他の有効なコマンドが実行されず、その後のデータフレーム中に SDI が Low に保たれている場合（選択モード（NO_OP）セクションの継続動作を参照）にデバイスは AUTO_RST モードのままです。この動作モード中に AUTO_RST コマンドを再度実行すると、スキャンされたチャンネルのシーケンスがリセットされます。デバイスは、プログラムレジスタ内の自動スキャンシーケンスの最下位カウントチャンネルに戻り、シーケンスを繰り返します。図 101 のタイミング図は、自動シーケンスでチャンネル 0～2 が選択されている例を使用して、この動作を示しています。AUTO_RST モードと MAN_Ch_n モードを切り替える。Channel Sequencing Modes セクションを参照してください。

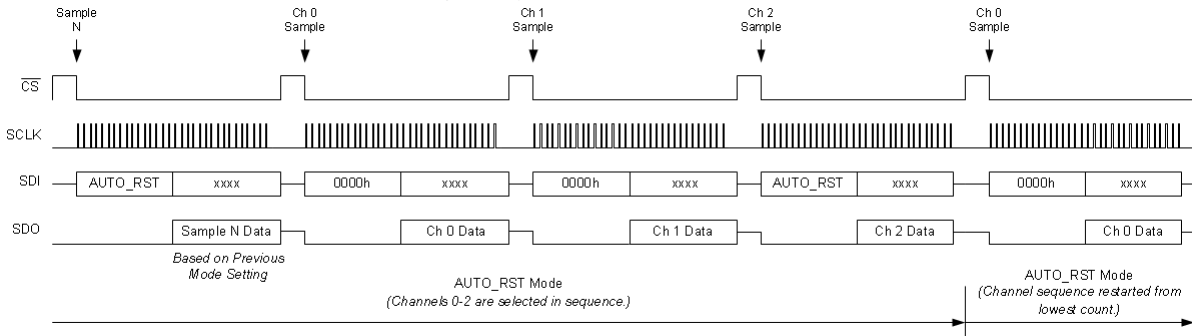


図 101. AUTO_RST モードのデバイス動作例

8.4.2.6 手動チャンネル n 選択（MAN_Ch_n）

これらのデバイスは、手動チャンネル n スキャンモード（MAN_Ch_n）で動作することにより、特定のアナログ入力チャンネルを変換するようにプログラムすることができます。このプログラミングは、図 102 に示すように、有効な手動チャンネル n セレクトコマンド（MAN_Ch_n）をコマンドレジスタに書き込むことによって行われます。図 102 に示すように、CS 信号は、MAN_Ch_n コマンドの直後に、またはフレームの出力データを読み出した後に、ハイに引き上げることができます。ただし、次のチャンネルの入力信号を正確に取得して変換するには、コマンドフレームを 32 SCLK サイクルの完全なフレームにする必要があります。MAN_Ch_n モードで個々のチャンネルを選択するコマンドのリストについては、表 6 を参照してください。

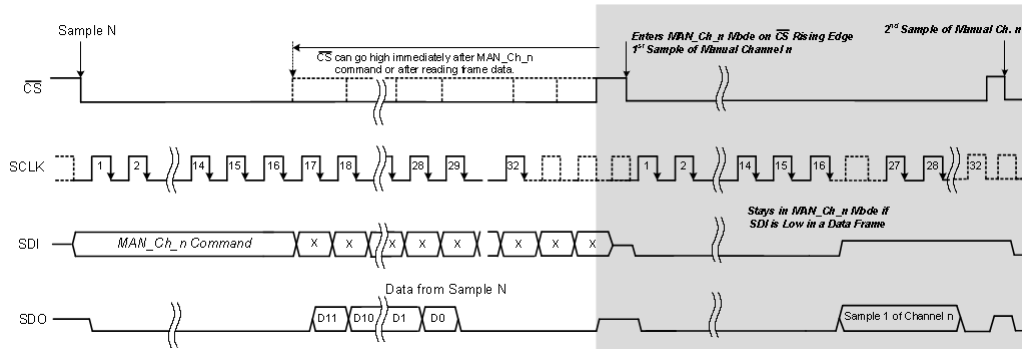


図 102. MAN_Ch_n スキャンモードタイミングダイアグラムの入力

手動チャンネル n セレクトコマンド（MAN_Ch_n）が実行され、デバイスは、この書き込み操作に続く次のデータフレームの CS 立ち下がりエッジで、選択されたチャンネルのアナログ入力をサンプリングします。MAN_Ch_n モードの各チャンネルの入力電圧レンジは、プログラムレジスタにレンジ選択レジスタを設定することで設定できます。他の有効なコマンドが実行されておらず、その後のデータフレーム中に SDI がローレベルに保持されている場合（選択モード（NO_OP）セクションの継続動作を参照）、デバイスは同じチャンネルのアナログ入力をサンプリングし続けます。図 103 のタイミング図手動シーケンシングモードでチャンネル 1 が選択されている例を使用してこの動作を示しています。MAN_Ch_n モードと AUTO_RST モードを切り替えます。Channel Sequencing Modes セクションを参照してください。

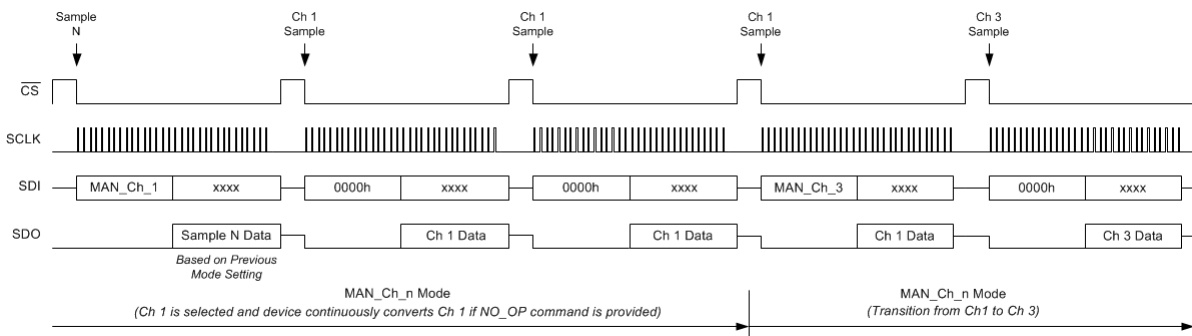


図 103. MAN_Ch_n モードでのデバイスの操作

8.4.2.7 チャンネルシーケンシングモード

これらのデバイスは、AUTO_RST と MAN_Ch_n の 2 つのチャンネルシーケンシングモードを備えています。

AUTO_RST モードでは、次のフレームごとにチャンネル番号が自動的にインクリメントされます。オートスキャンシーケンシング制御レジスタのセクションで説明したように、アナログ入力はレジスタ設定で自動スキャン用に選択できます。デバイスは、選択したアナログ入力のみを自動的に昇順でスキャンします。選択されていないアナログ入力チャンネルは、この動作モードで消費電力を最適化するためにパワーダウンすることもできます。自動モードシーケンスは、自動スキャン中にいつでもリセットすることができます（AUTO_RST コマンドを使用）。リセットコマンドが受信されると、進行中のオートモードシーケンスはリセットされ、シーケンス内の最も低い選択されたチャンネルから再スタートします。

MAN_Ch_n モードでは、データ変換フレームごとに同じ入力チャンネルが選択されます。MAN_Ch_n モードで個々のアナログチャンネルを選択する入力コマンドワードを表 6 に示します。データフレーム中に特定の入力チャンネルが選択された場合、同じチャンネルのアナログ入力力は次のデータフレーム中にサンプリングされます。図 104 に、AUTO_RST から MAN_Ch_n モードへの移行の SDI コマンドシーケンスを示します。

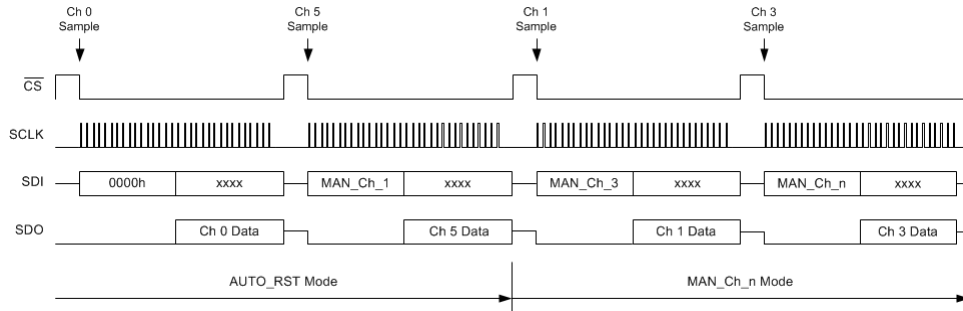


図 104. AUTO_RST から MAN_Ch_n モードへの移行
(チャンネル 0 および 5 は自動シーケンス用に選択されています)

図 105 に、MAN_Ch_n から AUTO_RST モードへの移行の SDI コマンドシーケンスを示します。各 SDI コマンドは、次の CS の立下がりエッジで実行されることに注意してください。RST コマンドは、任意のチャンネルシーケンシングモード中に任意の瞬間に発行することができ、その後、デバイスは次のデータフレームにおいてデフォルトのパワーアップ状態に置かれる。

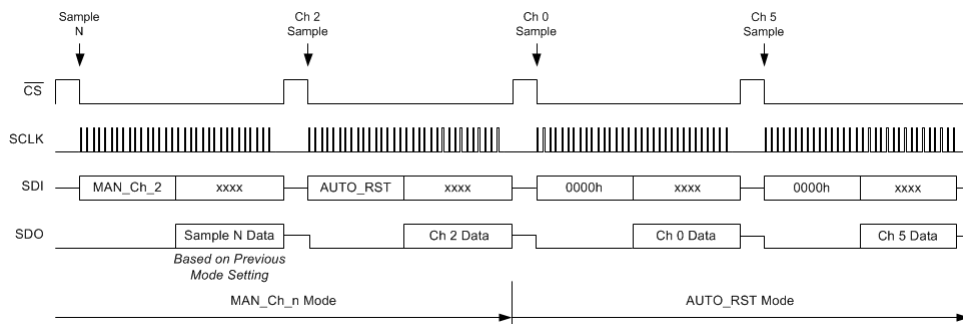


図 105. MAN_Ch_n から AUTO_RST モードへの移行
(チャンネル 0 および 5 は自動シーケンス用に選択されています)

8.4.2.8 リセットプログラムレジスタ (RST)

デバイスは、すべてのプログラムレジスタがデフォルト値にリセットされるハードウェアおよびソフトウェアリセット (RST) モードをサポートしています。デバイスは、RST / PD (入力) セクションで説明されているように、ハードウェアピンを使用して RST モードにすることができます。

図 106 に示すように、8500h の RST コマンドでコマンドレジスタに有効な書き込み操作を実行することにより、任意のデータフレーム中にデバイスプログラムレジスタをデフォルト値にリセットすることができます。後続のデータフレーム中に有効な変換コマンド (AUTO_RST または MAN_Ch_n) が実行されず、SDI がローのままであれば (選択モード (NO_OP) セクションの継続動作を参照)、デバイスは RST モードのままです。デバイスが RST モードで動作しているときは、プログラムレジスタの設定を更新することができます (プログラムレジスタのリード/ライト動作セクション) に 16 個の SCLK サイクルを使用します。ただし、SCLK サイクルが 32 回完了すると、RST モードで進行中の変換がないため、デバイスは SDO ラインで無効なデータを返します。このモードでは、プログラムレジスタの値を正常に読み取ることができます。有効な AUTO_RST または MAN_Ch_n チャンネル選択コマンドは、デフォルトのプログラムレジスタ設定を使用して特定のアナログチャンネルで変換を開始するために実行する必要があります。

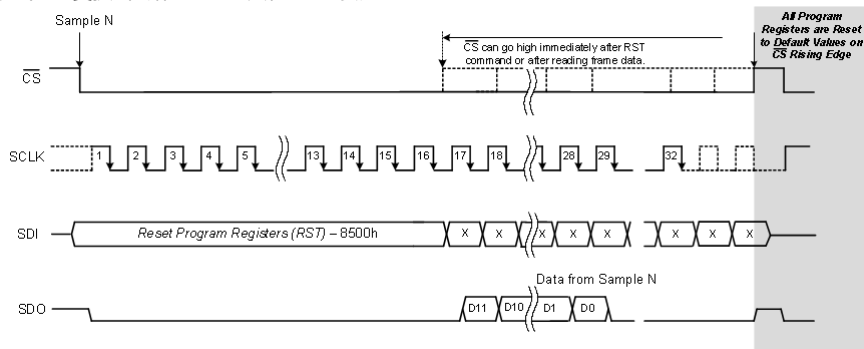


図 106. リセットプログラムレジスタ (RST) のタイミング図

8.5 レジスタマップ

ADS8668 の内部レジスタは、コマンドレジスタとプログラムレジスタの 2 つのカテゴリに分類されます。

コマンドレジスタは、チャンネルシーケンシングモード (AUTO_RST または MAN_Ch_n) の選択、スタンバイ (STDBY) またはパワーダウン (PWR_DN) モードでのデバイスの設定、およびプログラムレジスタのデフォルト値へのリセット (RST) に使用されます。

プログラムレジスタは、AUTO_RST モードのチャンネルシーケンスの選択、SDO 出力フォーマットの選択、個々のチャンネルの入力レンジ設定の制御、ALARM 機能の制御、アラームフラグの読み出し、各チャンネルのアラームスレシヨルドのプログラミングに使用されます。

8.5.1 コマンドレジスタの説明

コマンドレジスタは、ADS8668 の動作モードを設定するために使用される 16 ビットの書き込み専用レジスタです。このレジスタの設定は、チャンネルシーケンシングモード (AUTO_RST または MAN_Ch_n) の選択、スタンバイ (STDBY) またはパワーダウン (PWR_DN) モードでのデバイスの設定、およびプログラムレジスタのデフォルト値へのリセット (RST) に使用されます。このレジスタのすべてのコマンド設定を表 6 に示します。パワーアップまたはリセット時には、コマンドレジスタのデフォルトの内容はすべて 0 であり、デバイスはコマンドが書き込まれるのを待ってから任意の動作モードに入ります。デバイスに 16 ビットコマンドを書き込むための典型的なタイミング図については、図 1 を参照してください。デバイスは、この特定のデータフレームの最後にコマンドを実行します。CS 信号がハイになります。

表 6.コマンド・レジスタ・マップ

レジスタ	MSB バイト								LSB バイト	コマンド (Hex)	次のフレームでの操作
	B15	B14	B13	B12	B11	B10	B9	B8	B [7 : 0]		
継続操作 (NO_OP)	0	0	0	0	0	0	0	0	0000 0000	0000h	前のモードで操作を続ける
スタンバイ (STDBY)	1	0	0	0	0	0	1	0	0000 0000	8200h	デバイスがスタンバイモードに入る
パワーダウン (PWR_DN)	1	0	0	0	0	0	1	1	0000 0000	8300h	デバイスの電源が切れている
リセット プログラムレジスタ (RST)	1	0	0	0	0	1	0	1	0000 0000	8500h	プログラムレジスタはデフォルトにリセットされる
Auto Ch シーケンス リセット付き (AUTO_RST)	1	0	1	0	0	0	0	0	0000 0000	A000h	リセット後に自動モードが有効になる
手動 Ch 0 選択 (MAN_Ch_0)	1	1	0	0	0	0	0	0	0000 0000	C000h	チャンネル 0 入力を選択されている
手動 Ch 1 選択 (MAN_Ch_1)	1	1	0	0	0	1	0	0	0000 0000	C400h	チャンネル 1 入力を選択されている
手動 Ch 2 選択 (MAN_Ch_2)	1	1	0	0	1	0	0	0	0000 0000	C800h	チャンネル 2 入力を選択されている
手動 Ch 3 選択 (MAN_Ch_3)	1	1	0	0	1	1	0	0	0000 0000	CC00h	チャンネル 3 入力を選択されている
手動 Ch 4 選択 (MAN_Ch_4)	1	1	0	1	0	0	0	0	0000 0000	D000h	チャンネル 4 入力を選択されている
手動 Ch 5 選択 (MAN_Ch_5)	1	1	0	1	0	1	0	0	0000 0000	D400h	チャンネル 5 入力を選択されている
手動 Ch 6 選択 (MAN_Ch_6)	1	1	0	1	1	0	0	0	0000 0000	D800h	チャンネル 6 入力を選択されている
手動 Ch 7 選択 (MAN_Ch_7)	1	1	0	1	1	1	0	0	0000 0000	DC00h	チャンネル 7 入力を選択されている
手動 AUX 選択 (MAN_AUX)	1	1	1	0	0	0	0	0	0000 0000	E000H	AUX チャンネル入力を選択されている

8.5.2 プログラムレジスタの説明

プログラムレジスタは、ADS8668 の動作モードを設定するために使用される 16 ビット・レジスタです。このレジスタの設定は、AUTO_RST モードのチャンネルシーケンスの選択、デジタイゼーションモードでのデバイス ID の設定、SDO 出力フォーマットの選択、各チャンネルの入力レンジ設定の制御、ALARM 機能の制御、アラームフラグの読み出し、各チャンネルのアラームしきい値をプログラミングすることができます。このレジスタのすべてのプログラム設定を表 9 に示します。パワーアップまたはリセット時に、デバイスの異なるプログラムレジスタがデフォルト値でウェイクアップし、デバイスはコマンドの書き込みを待ってから任意の動作モードに移行します。

8.5.2.1 プログラムレジスタのリード/ライト動作

プログラムレジスタは、16 ビットの読み出しまたは書き込みレジスタです。プログラムレジスタへの読み出しまたは書き込み動作のために、CS 立ち下がりエッジの後に最低 24 個の SCLK がなければなりません。ときに CS がローになり、SDO ラインは同様にローになります。デバイスは、最初の 7 ビット（ビット 15-9）がレジスタアドレスを表し、8 番目のビット（ビット 8）が書き込みまたは読み出し命令である SDI によってコマンドを受け取ります（表 7 および表 8 を参照）。

ライトサイクルの場合、SDI 上の次の 8 ビット（ビット 7～0）はアドレス指定されたレジスタの望ましいデータです。次の 8 SCLK サイクルにわたって、デバイスはレジスタに書き込まれるこの 8 ビットのデータを出力します。このデータのリードバックにより、正しいデータがデバイスに入力されたかどうかを確認することができます。プログラム・レジスタ・ライト・サイクルの典型的なタイミング図を図 107 に示します。

表 7.ライト・サイクル・コマンド・ワード

PIN	レジスタアドレス (ビット 15-9)	WR / RD (ビット 8)	DATA (ビット 7～0)
SDI	ADDR [6 : 0]	1	DIN [7 : 0]

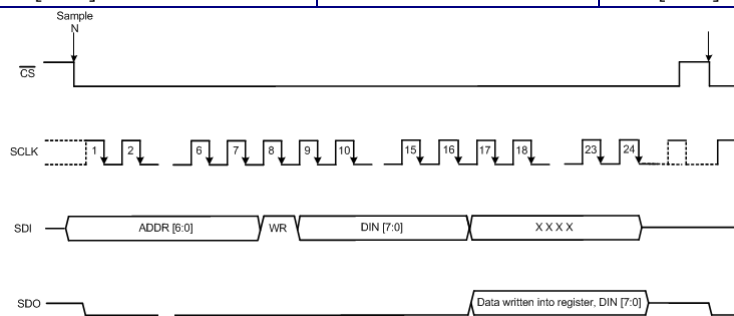


図 107. プログラムレジスタのライトサイクルのタイミング図

読み出しサイクルでは、SDI の次の 8 ビット（ビット 7～0）はドントケア・ビットで、SDO はローのままです。16 番目の SCLK の立下がりエッジ以降では、SDO は MSB ファーストの方法で次の 8 クロックの間にアドレス指定されたレジスタから 8 ビットのデータを出力します。プログラムレジスタのリード・サイクルの典型的なタイミング図を図 108 に示します。

表 8.リード・サイクル・コマンド・ワード

PIN	レジスタアドレス (ビット 15-9)	WR / RD (ビット 8)	DATA (ビット 7～0)
SDI	ADDR [6 : 0]	0	XXXXXX
SDO	0000 000	0	DOUT [7 : 0]

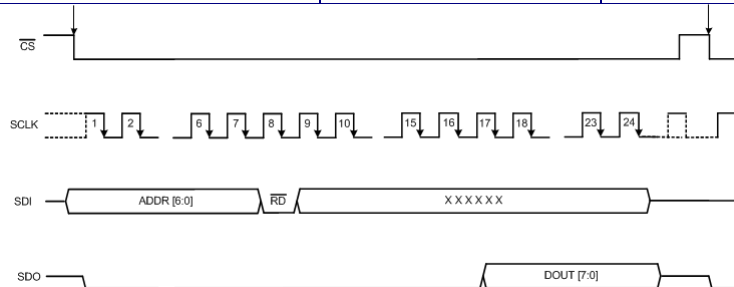


図 108. プログラムレジスタのリード・サイクルのタイミング図

8.5.2.2 プログラム・レジスタ・マップ

このセクションでは、各プログラムレジスタのビットごとの説明を示します。

表 9.プログラム・レジスタ・マップ

レジスタ	レジスタ アドレス ビット [15 : 9]	デフォルト 値 (1)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
オートスキャンシーケンサ										
AUTO_SEQ_EN	01h	FFh	CH7_EN	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
チャンネルパワーダウ	02h	00h	CH7_PD	CH6_PD	CH5_PD	CH4_PD	CH3_PD	CH2_PD	CH1_PD	CH0_PD
デバイスの特長選択制御										
フィーチャーセレクト	03h	00h	DEV [1 : 0]		0	ALARM_EN 0	0	SDO [2 : 0]		
レンジ選択レジスタ										
チャンネル 0 入力レンジ	05h	00h	0	0	0	0	レンジ選択チャンネル 0 [3 : 0]			
チャンネル 1 入力レンジ	06h	00h	0	0	0	0	レンジ選択チャンネル 1 [3 : 0]			
チャンネル 2 入力レンジ	07h	00h	0	0	0	0	レンジ選択チャンネル 2 [3 : 0]			
チャンネル 3 入力レンジ	08h	00h	0	0	0	0	レンジ選択チャンネル 3 [3 : 0]			
チャンネル 4 入力レンジ	09h	00h	0	0	0	0	レンジ選択チャンネル 4 [3 : 0]			
チャンネル 5 入力レンジ	0Ah	00h	0	0	0	0	レンジ選択チャンネル 5 [3 : 0]			
チャンネル 6 入力レンジ	0Bh	00h	0	0	0	0	レンジ選択チャンネル 6 [3 : 0]			
チャンネル 7 入力レンジ	0Ch	00h	0	0	0	0	レンジ選択チャンネル 7 [3 : 0]			
アラームフラグレジスタ (読み取り専用)										
ALARM の概要トリップフラグ	10h	00h	トリップ アラームフラグ Ch7	トリップ アラームフラグ Ch6	トリップ アラームフラグ Ch5	トリップ アラームフラグ Ch4	トリップ アラームフラグ Ch3	トリップ アラームフラグ Ch2	トリップ アラームフラグ Ch1	トリップ アラームフラグ Ch0
ALARM Ch 0-3 トリップフラグ	11h	00h	トリップ アラームフラグ Ch0 Low	トリップ アラームフラグ Ch0 High	トリップ アラームフラグ Ch1 Low	トリップ アラームフラグ Ch1 high	トリップ アラームフラグ Ch2 Low	トリップ アラームフラグ Ch2 High	トリップ アラームフラグ Ch3 Low	トリップ アラームフラグ Ch3 High
ALARM Ch 0-3 アクティブフラグ	12h	00h	アクティブ アラームフラグ Ch0 Low	アクティブ アラームフラグ Ch0 High	アクティブ アラームフラグ Ch1 Low	アクティブ アラームフラグ Ch1 high	アクティブ アラームフラグ Ch2 Low	アクティブ アラームフラグ Ch2 High	アクティブ アラームフラグ Ch3 Low	アクティブ アラームフラグ Ch3 High
ALARM Ch 4-7 トリップフラグ	13h	00h	トリップ アラームフラグ Ch4 Low	トリップ アラームフラグ Ch4 High	トリップ アラームフラグ Ch5 Low	トリップ アラームフラグ Ch5 High	トリップ アラームフラグ Ch6 Low	トリップ アラームフラグ Ch6 High	トリップ アラームフラグ Ch7 Low	トリップ アラームフラグ Ch7 High
ALARM Ch 4-7 アクティブフラグ	14h	00h	アクティブ アラームフラグ Ch4 Low	アクティブ アラームフラグ Ch4 High	アクティブ アラームフラグ Ch5 Low	アクティブ アラームフラグ Ch5 High	アクティブ アラームフラグ Ch6 Low	アクティブ アラームフラグ Ch6 High	アクティブ アラームフラグ Ch7 Low	アクティブ アラームフラグ Ch7 High
アラームスレッシュホルドレジスタ										
Ch 0 ヒステリシス	15h	00h	CH0_HYST [3 : 0]				0	0	0	0
Ch 0 上限しきい値 MSB	16h	FFh	CH0_HT [11 : 4]							
Ch 0 上限しきい値 LSB	17h	F0h	CH0_HT [3 : 0]				0	0	0	0
Ch 0 下限しきい値 MSB	18h	00h	CH0_LT [11 : 4]							
Ch 0 下限しきい値 LSB	19h	00h	CH0_LT [3 : 0]				0	0	0	0
...							
アラームしきい値設定レジスタの詳細については、アラームしきい値設定レジスタを参照してください。										
...										
Ch 7 ヒステリシス	38h	00h	CH7_HYST [3 : 0]				0	0	0	0
Ch 7 上限しきい値 MSB	39h	FFh	CH7_HT [11 : 4]							
Ch 7 上限しきい値 LSB	3Ah	F0h	CH7_HT [3 : 0]				0	0	0	0
Ch 7 下限しきい値 MSB	3Bh	00h	CH7_LT [11 : 4]							
Ch 7 下限しきい値 LSB	3Ch	00h	CH7_LT [3 : 0]				0	0	0	0
COMMAND READ BACK (読み取り専用)										
コマンドリードバック	3Fh	00h	COMMAND_WORD [7 : 0]							

(1) レジスタ設定方法により、電源投入時またはデバイスリセット時にすべてのレジスタをデフォルト値にリセットします。

8.5.2.3 プログラムレジスタの説明

8.5.2.3.1 オートスキャンシーケンシング制御レジスタ

AUTO_RST モードでは、デバイスは、あらかじめ選択されたチャンネルを自動的に昇順にスキャンし、変換ごとに新しいチャンネルを選択します。各個別チャンネルは、自動チャンネルシーケンシングに選択的に含めることができます。自動シーケンシング用に選択されていないチャンネルでは、アナログフロントエンド回路を個別にパワーダウンすることができます。

8.5.2.3.1.1 オートスキャンシーケンスイネーブルレジスタ（アドレス= 01h）

このレジスタは、AUTO_RST モードでシーケンス用の個々のチャンネルを選択します。このレジスタのデフォルト値は FFh です。これは、デフォルト状態ではすべてのチャンネルが自動スキャンシーケンスに含まれていることを意味します。自動シーケンスにチャンネルが含まれていない場合（つまり、このレジスタの値が 00h の場合）、チャンネル 0 はデフォルトで変換用に選択されます。

図 109. AUTO_SEQ_EN レジスタ

7	6	5	4	3	2	1	0
CH7_EN	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表記：R/W =読み取り/書き込み; -n =リセット後の値

表 10. AUTO_SEQ_EN フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH7_EN	R/W	1h	チャンネル 7 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 7 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 7 が選択されています
6	CH6_EN	R/W	1h	チャンネル 6 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 6 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 6 が選択されています
5	CH5_EN	R/W	1h	チャンネル 5 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 5 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 5 が選択されています
4	CH4_EN	R/W	1h	チャンネル 4 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 4 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 4 が選択されています
3	CH3_EN	R/W	1h	チャンネル 3 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 3 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 3 が選択されています
2	CH2_EN	R/W	1h	チャンネル 2 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 2 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 2 が選択されています
1	CH1_EN	R/W	1h	チャンネル 1 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 1 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 1 が選択されています
0	CH0_EN	R/W	1h	チャンネル 0 イネーブル。 0 = AUTO_RST モードではシーケンシング用にチャンネル 0 が選択されていません 1 = AUTO_RST モードではシーケンシング用にチャンネル 0 が選択されています

8.5.2.3.1.2 チャンネルパワーダウンレジスタ（アドレス= 02h）

このレジスタは、AUTO_RSTモードのシーケンシングに含まれていない個々のチャンネルの電源を落とします。このレジスタのデフォルト値は00hです。これは、デフォルト状態ではすべてのチャンネルの電源が投入されていることを意味します。すべてのチャンネルがパワーダウンされている場合（つまり、このレジスタの値がFFhの場合）、すべてのチャンネルのアナログフロントエンド回路はパワーダウンされ、ADCの出力は無効なデータとなります。デバイスがMAN-Ch_nモードにあり、選択されたチャンネルの電源が切断されている場合、デバイスは誤ったアラーム状態を引き起こす無効な出力を生成します。

図 110. チャンネルパワーダウンレジスタ

7	6	5	4	3	2	1	0
CH7_PD	CH6_PD	CH5_PD	CH4_PD	CH3_PD	CH2_PD	CH1_PD	CH0_PD
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表記：R/W =読み取り/書き込み; -n =リセット後の値

表 11. チャンネルパワーダウンレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH7_PD	R/W	0h	チャンネル 7 のパワーダウン。 0 =チャンネル 7 のアナログフロントエンドはパワーアップされ、チャンネル 7 は AUTO_RST シーケンスに含まれます 1 =チャンネル 7 のアナログフロントエンドはパワーダウンされ、チャンネル 7 は AUTO_RST シーケンスに含まれません
6	CH6_PD	R/W	0h	チャンネル 6 のパワーダウン。 0 =チャンネル 6 のアナログフロントエンドはパワーアップされ、チャンネル 6 は AUTO_RST シーケンスに含まれます 1 =チャンネル 6 のアナログフロントエンドはパワーダウンされ、チャンネル 6 は AUTO_RST シーケンスに含まれません
5	CH5_PD	R/W	0h	チャンネル 5 のパワーダウン。 0 =チャンネル 5 のアナログフロントエンドはパワーアップされ、チャンネル 5 は AUTO_RST シーケンスに含まれます 1 =チャンネル 5 のアナログフロントエンドはパワーダウンされ、チャンネル 5 は AUTO_RST シーケンスに含まれません
4	CH4_PD	R/W	0h	チャンネル 4 のパワーダウン。 0 =チャンネル 4 のアナログフロントエンドはパワーアップされ、チャンネル 4 は AUTO_RST シーケンスに含まれます 1 =チャンネル 4 のアナログフロントエンドはパワーダウンされ、チャンネル 4 は AUTO_RST シーケンスに含まれません
3	CH3_PD	R/W	0h	チャンネル 3 のパワーダウン。 0 =チャンネル 3 のアナログフロントエンドはパワーアップされ、チャンネル 3 は AUTO_RST シーケンスに含まれます 1 =チャンネル 3 のアナログフロントエンドはパワーダウンされ、チャンネル 3 は AUTO_RST シーケンスに含まれません
2	CH2_PD	R/W	0h	チャンネル 2 のパワーダウン。 0 =チャンネル 2 のアナログフロントエンドはパワーアップされ、チャンネル 2 は AUTO_RST シーケンスに含まれます 1 =チャンネル 2 のアナログフロントエンドはパワーダウンされ、チャンネル 2 は AUTO_RST シーケンスに含まれません
1	CH1_PD	R/W	0h	チャンネル 1 のパワーダウン。 0 =チャンネル 1 のアナログフロントエンドはパワーアップされ、チャンネル 1 は AUTO_RST シーケンスに含まれます 1 =チャンネル 1 のアナログフロントエンドはパワーダウンされ、チャンネル 1 は AUTO_RST シーケンスに含まれません
0	CH0_PD	R/W	0h	チャンネル 0 のパワーダウン。 0 =チャンネル 0 のアナログフロントエンドはパワーアップされ、チャンネル 0 は AUTO_RST シーケンスに含まれます 1 =チャンネル 0 のアナログフロントエンドはパワーダウンされ、チャンネル 0 は AUTO_RST シーケンスに含まれません

8.5.2.3.2 デバイス機能選択制御レジスタ（アドレス= 03h）

このレジスタのビットを使用して、デジタイゼーション動作のデバイス ID を設定し、ALARM 機能をイネーブルにし、SDO で出力ビットフォーマットを設定します。

図 111. 機能選択レジスタ

7	6	5	4	3	2	1	0
DEV [1 : 0]		0	ALARM_EN	0	SDO [2 : 0]		
R/W-0h		R-0h	R/W -0h	R-0h	R/W-0h		

表記：R/W =読み取り/書き込み; R =読み取り専用。-n =リセット後の値

表 12. 機能選択レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DEV [1 : 0]	R/W	0h	デバイス ID ビット。 00 = デジタイゼーションモードのデバイス 0 01 = デジタイゼーションモードのデバイス 1 10 = デジタイゼーションモードのデバイス 2 11 = デジタイゼーションモードのデバイス 3
5	0	R	0h	常に 0 に設定する必要があります
4	0	R/W	0h	ALARM 機能を有効にします。 0 = ALARM 機能は無効です 1 = ALARM 機能が有効です
3	0	R	0h	常に 0 に設定する必要があります
2-0	SDO [2 : 0]	R/W	0h	SDO データフォーマットビット（表 13 を参照）。

表 13. SDO データ・フォーマットのプログラム・レジスタ・ビットの説明

SDO フォーマット SDO [2 : 0]	出力ビットストリームの開始	出力フォーマット			
		BITS 24-9	BITS 8-5	BITS 4-3	BITS 2-0
000	16 番目の SCLK 立ち下がり エッジ、レイテンシなし	選択したチャンネルの変換結果 (MSB ファースト)	SDO が Low		
001	16 番目の SCLK 立ち下がり エッジ、レイテンシなし	選択したチャンネルの変換結果 (MSB ファースト)	チャンネルアドレス (⁽¹⁾)	SDO が Low	
010	16 番目の SCLK 立ち下がり エッジ、レイテンシなし	選択したチャンネルの変換結果 (MSB ファースト)	チャンネルアドレス (⁽¹⁾)	デバイスアドレス (⁽¹⁾)	SDO が Low
011	16 番目の SCLK 立ち下がり エッジ、レイテンシなし	選択したチャンネルの変換結果 (MSB ファースト)	チャンネルアドレス (⁽¹⁾)	デバイスアドレス (⁽¹⁾)	入力レンジ (⁽¹⁾)

(1) 表 14 に、これらのチャンネルアドレス、デバイスアドレス、および入力レンジのビット記述を示します。

表 14. SDO データのビット記述

ビット	ビット説明
24-9	MSB ファーストフォーマットで表されたチャンネルの変換結果の 12 ビットに 0000 が続く。
8-5	チャンネルアドレスの 4 ビット。 0000 = チャンネル 0 0001 = チャンネル 1 0010 = チャンネル 2 0011 = チャンネル 3 0100 = チャンネル 4 0101 = チャンネル 5 0110 = チャンネル 6 0111 = チャンネル 7
4-3	デバイスアドレスの 2 ビット（主にデジタイゼーションモードで有効）。
2-0	入力電圧レンジの 3 つの LSB ビット（レンジ選択レジスタのセクションを参照）。

8.5.2.3.3 レンジ選択レジスタ（アドレス 05h-0Ch）

アドレス 05h はチャンネル 0、アドレス 06h はチャンネル 1、アドレス 07h はチャンネル 2、アドレス 08h はチャンネル 3、アドレス 09h はチャンネル 4、アドレス 0Ah はチャンネル 5、アドレス 0Bh はチャンネル 6、アドレス 0Ch はチャンネル 7 に対応します。

これらのレジスタは、すべての個別チャンネル（ADS8668 は $n = 0 \sim 7$ ）の入カレンジを選択できます。これらのレジスタのデフォルト値は 00h です。

図 112. チャンネル n の入カレンジレジスタ

7	6	5	4	3	2	1	0
0	0	0	0	Range_CH n [3 : 0]			
R-0h	R-0h	R-0h	R-0h	R/W-0h			
表記：R/W = 読み取り/書き込み; R = 読み取り専用。-n =リセット後の値							

表 15. チャンネル n の入カレンジレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	0	R	0h	常に 0 に設定する必要があります
3-0	Range_CH n [3 : 0]	R/W	0h	チャンネル n の入カレンジ選択ビット ($n=0 \sim 7$)。 0000 = 入カレンジは $\pm 10.24V$ ($\pm 2.5 \times V_{REF}$) 0001 = 入カレンジは $\pm 5.12V$ ($\pm 1.25 \times V_{REF}$) 0010 = 入カレンジは $\pm 2.56V$ ($\pm 0.625 \times V_{REF}$) 0011 = 入カレンジは $\pm 1.28V$ ($\pm 0.3125 \times V_{REF}$) 1011 = 入カレンジは $\pm 0.64V$ ($\pm 0.15625 \times V_{REF}$) 0101 = 入カレンジは $0 \sim 10.24V$ ($0 \sim 2.5 \times V_{REF}$) 0110 = 入カレンジは $0 \sim 5.12V$ ($0 \sim 1.25 \times V_{REF}$) 0111 = 入カレンジは $0 \sim 2.56V$ ($0 \sim 0.625 \times V_{REF}$) 1111 = 入カレンジは $0 \sim 1.28V$ ($0 \sim 0.3125 \times V_{REF}$)

8.5.2.3.4 アラームフラグレジスタ（読み出し専用）

個々のチャンネルに関連するアラーム条件は、これらのレジスタに格納されます。ALARM ピンでアラーム割り込みを受信すると、フラグを読み出すことができます。すべてのアラームには、アクティブとトリップの 2 種類のフラグがあります。アクティブ状態のフラグは、アラーム状態（データがアラーム制限を超えている場合）で 1 に設定され、アラーム状態が続く間は有効です。トリップされたフラグは、アクティブフラグと同様のアラーム条件をオンにしますが、読み込みまで設定されたままです。この機能により、デバイスはアラームを追跡する必要がなくなります。

8.5.2.3.4.1 ALARM 概要トリップフラグレジスタ（アドレス = 10h）

ALARM overview tripper-flags レジスタには、8 つのチャンネルすべてに対して、上限または下限トリップアラームフラグの論理和が格納されます。

図 113. ALARM の概要トリップフラグレジスタ

7	6	5	4	3	2	1	0
トリップ アラームフラグ Ch7	トリップ アラームフラグ Ch6	トリップ アラームフラグ Ch5	トリップ アラームフラグ Ch4	トリップ アラームフラグ Ch3	トリップ アラームフラグ Ch2	トリップ アラームフラグ Ch1	トリップ アラームフラグ Ch0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
表記：R = 読み取り専用。-n = リセット後の値							

表 16. ALARM の概要トリップフラグレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	トリップアラームフラグ Ch7	R	0h	すべてのアナログチャンネルのアラームフラグを一目で確認できます。 各個別のビットは、チャンネル 7～0 のアラームフラグレジスタごとに、各チャンネルのトリップされたアラームフラグステータスを示します。 0 = アラームが検出されなかった 1 = アラームが検出された
6	トリップアラームフラグ Ch6	R	0h	
5	トリップアラームフラグ Ch5	R	0h	
4	トリップアラームフラグ Ch4	R	0h	
3	トリップアラームフラグ Ch3	R	0h	
2	トリップアラームフラグ Ch2	R	0h	
1	トリップアラームフラグ Ch1	R	0h	
0	トリップアラームフラグ Ch0	R	0h	

8.5.2.3.4.2 アラームフラグレジスタ：トリップとアクティブ（アドレス＝ 11h～14h）

チャンネルごとに 2 つのアラームしきい値（上限および下限）があり、各しきい値に 2 つのフラグがあります。アクティブアラームフラグは、アラームがトリガされたとき（データがアラームしきい値を超えたとき）に有効になり、アラーム状態が続く間は有効のままです。トリップアラームフラグは、アクティブアラームフラグと同じ方法でイネーブルされますが、読み込みまでラッチされたままです。プログラムレジスタのレジスタ 11h～14h には、個々の 8 チャンネルすべてのアクティブおよびトリップアラームフラグが格納されます。

図 114. ALARM Ch0-3 トリップフラグレジスタ（アドレス＝ 11h）

7	6	5	4	3	2	1	0
下限トリップ アラームフラグ Ch0	上限トリップ アラームフラグ Ch0	下限トリップ アラームフラグ Ch1	上限トリップ アラームフラグ Ch1	下限トリップ アラームフラグ Ch2	上限トリップ アラームフラグ Ch2	下限トリップ アラームフラグ Ch3	上限トリップ アラームフラグ Ch3
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表記：R = 読み取り専用。-n = リセット後の値

表 17. ALARM Ch0-3 トリップフラグレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Ch n の下限または上限トリップアラームフラグ (n = 0～3)	R	0h	チャンネル n の上限/下限トリップアラームフラグ (n = 0～3) 0 = アラームが検出されない 1 = アラームが検出された

図 115. ALARM Ch0-3 アクティブ・フラグ・レジスタ（アドレス＝ 12h）

7	6	5	4	3	2	1	0
下限アクティブ アラームフラグ Ch0	上限アクティブ アラームフラグ Ch0	下限アクティブ アラームフラグ Ch1	上限アクティブ アラームフラグ Ch1	下限アクティブ アラームフラグ Ch2	上限アクティブ アラームフラグ Ch2	下限アクティブ アラームフラグ Ch3	上限アクティブ アラームフラグ Ch3
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表記：R = 読み取り専用。-n = リセット後の値

表 18. ALARM Ch0-3 アクティブ・フラグ・レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Ch n の下限または上限アクティブアラームフラグ (n = 0～3)	R	0h	チャンネル n の上限/下限アクティブアラームフラグ (n = 0～3) 0 = アラームが検出されない 1 = アラームが検出された

図 116. ALARM Ch4-7 トリップフラグレジスタ（アドレス＝ 13h）

7	6	5	4	3	2	1	0
下限トリップ アラームフラグ Ch4	上限トリップ アラームフラグ Ch4	下限トリップ アラームフラグ Ch5	上限トリップ アラームフラグ Ch5	下限トリップ アラームフラグ Ch6	上限トリップ アラームフラグ Ch6	下限トリップ アラームフラグ Ch7	上限トリップ アラームフラグ Ch7
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表記：R = 読み取り専用。-n = リセット後の値

表 19. ALARM Ch4-7 トリップフラグレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Ch n の下限または上限トリップアラームフラグ (n = 4～7)	R	0h	チャンネル n の上限/下限トリップアラームフラグ (n = 4～7) 0 = アラームが検出されない 1 = アラームが検出された

図 117. ALARM Ch4-7 アクティブ・フラグ・レジスタ（アドレス＝ 14h）

7	6	5	4	3	2	1	0
下限アクティブ アラームフラグ Ch4	上限アクティブ アラームフラグ Ch4	下限アクティブ アラームフラグ Ch5	上限アクティブ アラームフラグ Ch5	下限アクティブ アラームフラグ Ch6	上限アクティブ アラームフラグ Ch6	下限アクティブ アラームフラグ Ch7	上限アクティブ アラームフラグ Ch7
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表記：R = 読み取り専用。-n = リセット後の値

表 20. ALARM Ch4-7 アクティブ・フラグ・レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Ch n の下限または上限アクティブアラームフラグ (n = 4～7)	R	0h	チャンネル n の上限/下限アクティブアラームフラグ (n = 4～7) 0 = アラームが検出されない 1 = アラームが検出された

8.5.2.3.5 アラームしきい値設定レジスタ

ADS8668 は、各チャンネルの個別の上限および下限アラームしきい値設定を備えています。各アラームしきい値は 12 ビット幅で、4 ビットヒステリシスがあり、これは上限しきい値設定と下限しきい値設定の両方で同じです。この 28 ビットの設定は、すべての上限および下限アラームに関連する 5 つの 8 ビットレジスタによって実行されます。

名	ADDR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Ch 0 ヒステリシス	15h	CH0_HYST [3 : 0]				0	0	0	0
Ch 0 上限しきい値 MSB	16h	CH0_HT [11 : 4]							
Ch 0 上限しきい値 LSB	17h	CH0_HT [3 : 0]				0	0	0	0
Ch 0 下限しきい値 MSB	18h	CH0_LT [11 : 4]							
Ch 0 下限しきい値 LSB	19h	CH0_LT [3 : 0]				0	0	0	0
Ch 1 ヒステリシス	1Ah	CH1_HYST [3 : 0]				0	0	0	0
Ch 1 上限しきい値 MSB	1Bh	CH1_HT [11 : 4]							
Ch 1 上限しきい値 LSB	1Ch	CH1_HT [3 : 0]				0	0	0	0
Ch 1 下限しきい値 MSB	1Dh	CH1_LT [11 : 4]							
Ch 1 下限しきい値 LSB	1Eh	CH1_LT [3 : 0]				0	0	0	0
Ch 2 ヒステリシス	1Fh	CH2_HYST [3 : 0]				0	0	0	0
Ch 2 上限しきい値 MSB	20h	CH2_HT [11 : 4]							
Ch 2 上限しきい値 LSB	21h	CH2_HT [3 : 0]				0	0	0	0
Ch 2 下限しきい値 MSB	22h	CH2_LT [11 : 4]							
Ch 2 下限しきい値 LSB	23h	CH2_LT [3 : 0]				0	0	0	0
Ch 3 ヒステリシス	24h	CH3_HYST [3 : 0]				0	0	0	0
Ch 3 上限しきい値 MSB	25h	CH3_HT [11 : 4]							
Ch 3 上限しきい値 LSB	26h	CH3_HT [3 : 0]				0	0	0	0
Ch 3 下限しきい値 MSB	27h	CH3_LT [11 : 4]							
Ch 3 下限しきい値 LSB	28h	CH3_LT [3 : 0]				0	0	0	0
Ch 4 ヒステリシス ⁽¹⁾	29h	CH4_HYST [3 : 0]				0	0	0	0
Ch 4 上限しきい値 MSB	2Ah	CH4_HT [11 : 4]							
Ch 4 上限しきい値 LSB	2Bh	CH4_HT [3 : 0]				0	0	0	0
Ch 4 下限しきい値 MSB	2Ch	CH4_LT [11 : 4]							
Ch 4 下限しきい値 LSB	2Dh	CH4_LT [3 : 0]				0	0	0	0
Ch 5 ヒステリシス	2Eh	CH5_HYST [3 : 0]				0	0	0	0
Ch 5 上限しきい値 MSB	2Fh	CH5_HT [11 : 4]							
Ch 5 上限しきい値 LSB	30h	CH5_HT [3 : 0]				0	0	0	0
Ch 5 下限しきい値 MSB	31h	CH5_LT [11 : 4]							
Ch 5 下限しきい値 LSB	32h	CH5_LT [3 : 0]				0	0	0	0
Ch 6 ヒステリシス	33h	CH6_HYST [3 : 0]				0	0	0	0
Ch 6 上限しきい値 MSB	34h	CH6_HT [11 : 4]							
Ch 6 上限しきい値 LSB	35h	CH6_HT [3 : 0]				0	0	0	0
Ch 6 下限しきい値 MSB	36h	CH6_LT [11 : 4]							
Ch 6 下限しきい値 LSB	37h	CH6_LT [3 : 0]				0	0	0	0
Ch 7 ヒステリシス	38h	CH7_HYST [3 : 0]				0	0	0	0
Ch 7 USB	39h	CH7_HT [11 : 4]							
Ch 7 上限しきい値 LSB	3Ah	CH7_HT [3 : 0]				0	0	0	0
Ch 7 下限しきい値 MSB	3Bh	CH7_LT [11 : 4]							
Ch 7 下限しきい値 LSB	3Ch	CH7_LT [3 : 0]				0	0	0	0

図 118. Ch n ヒステリシスレジスタ

7	6	5	4	3	2	1	0
CHn_HYST [3 : 0]				0	0	0	0
R/W-0h				R-0h	R-0h	R-0h	R-0h

表記 : R/W = 読み取り/書き込み; R = 読み取り専用。-n = リセット後の値

表 21. チャンネル n ヒステリシスレジスタのフィールドの説明 (ADS8668 では n = 0~7)

ビット	フィールド	タイプ	リセット	説明
7-4	チャンネル n ヒステリシス[7-4] (n = 0~7)	R/W	0h	これらのビットは、チャンネル n の上限または下限アラームヒステリシスを設定します (n = 0~7) 0000 = ヒステリシスなし 0001 = ±1-LSB のヒステリシス 0010~1110 = ±2-LSB~±14-LSB のヒステリシス 1111 = ±15LSB ヒステリシス
3-0	チャンネル n ヒステリシス[3-0] (n = 0~7)	R	0h	読み取り専用ビット。内部的に 0 に設定

図 119. Ch n 上限しきい値の MSB レジスタ

7	6	5	4	3	2	1	0
CHn_HT [11 : 4]							
R/W-1h							

表記 : R/W = 読み取り/書き込み; -n = リセット後の値

表 22. チャンネル n 上限しきい値 MSB レジスタのフィールドの説明 (ADS8668 では n = 0~7)

ビット	フィールド	タイプ	リセット	説明
7-0	CHn_HT [15 : 8] (n = 0 ~ 7)	R/W	1h	これらのビットは、12 ビットのチャンネル n 上限アラームの MSB バイトを設定します。 たとえば、チャンネル 0 レジスタ (アドレス 16h) のビット 7~0 は、チャンネル 0 の上限アラームしきい値の MSB バイトを設定します。チャンネル 0 の上限アラームしきい値は、ch0 上限しきい値 MSB レジスタ (アドレス 16h) のビット 7-0 が AAh に設定され、ch0 上限しきい値 LSB レジスタ (アドレス 17h) のビット 3-0 が 1111 に設定されている場合、AAF0h です。 0000 0000 = MSB バイトは 00h 0000 0001 = MSB バイトは 01h 0000 0010~1110 1111 = MSB バイトは 02h~FEh 1111 1111 = MSB バイトは FFh

図 120. Ch n 上限しきい値 LSB レジスタ

7	6	5	4	3	2	1	0
CHn_HT [3 : 0]				0	0	0	0
R/W-1h				R-0h	R-0h	R-0h	R-0h

表記 : R/W = 読み取り/書き込み; R = 読み取り専用。-n = リセット後の値

表 23. チャンネル n 上限しきい値 LSB レジスタのフィールドの説明 (ADS8668 では n = 0~7)

ビット	フィールド	タイプ	リセット	説明
7-4	CHn_HT [7-4] (n = 0 ~ 7)	R/W	1h	これらのビットは、12 ビットのチャンネル n の上限アラームの LSB を設定します。 たとえば、チャンネル 0 レジスタ (アドレス 17h) のビット 3-0 は、チャンネル 0 の上限アラームしきい値の LSB を設定します。チャンネル 0 の上限アラームしきい値は、ch0 上限しきい値 MSB レジスタ (アドレス 16h) のビット 7-0 が AAh に設定され、ch0 上限しきい値 LSB レジスタ (アドレス 17h) のビット 3-0 が 1111 に設定されている場合、AAF0h です。 0000 = LSB は 0h です 0001 = LSB は 01h 0010~1110 = LSB は 2h~Eh 1111 = LSB は Fh
3-0	CHn_HT [3-0] (n = 0~7)	R	0h	読み取り専用ビット。内部的に 0 に設定

図 121. Ch *n* 下限しきい値の MSB レジスタ

7	6	5	4	3	2	1	0
CHn_LT [11 : 4]							
R/W-0h							
表記 : R/W =読み取り/書き込み; -n =リセット後の値							

表 24.チャンネル *n* 下限しきい値 MSB レジスタのフィールドの説明 (ADS8668 では *n* = 0~7)

ビット	フィールド	タイプ	リセット	説明
7-0	CHn_LT [15 : 8] (<i>n</i> = 0~7)	R/W	0h	これらのビットは、12ビットのチャンネル <i>n</i> の下限アラームの MSB バイトを設定します。 例えば、チャンネル 0 レジスタ (アドレス 18h) のビット 7~0 は、チャンネル 0 の下限アラームしきい値の MSB バイトを設定します。チャンネル 0 の下限アラームしきい値は、ch0 下限しきい値 MSB レジスタ (アドレス 18h) のビット 7-0 が AAh に設定され、ch0 下限しきい値 LSB レジスタ (アドレス 19h) のビット 3-0 が 1111 に設定されている場合、AAF0h です。 0000 0000 = MSB バイトは 00h 0000 0001 = MSB バイトは 01h 0000 0010~1110 1111 = MSB バイトは 02h~FEh 1111 1111 = MSB バイトは FFh

図 122. Ch *n* 下限しきい値 LSB レジスタ

7	6	5	4	3	2	1	0
CHn_LT [3 : 0]				0	0	0	0
R/W-0h				R-0h	R-0h	R-0h	R-0h
表記 : R/W =読み取り/書き込み; R =読み取り専用; -n =リセット後の値							

表 25.チャンネル *n* 下限しきい値 MSB レジスタのフィールドの説明 (ADS8668 では *n* = 0~7)

ビット	フィールド	タイプ	リセット	説明
7-4	CHn_LT [7-4] (<i>n</i> = 0~7)	R/W	0h	これらのビットは、12ビットのチャンネル <i>n</i> の下限アラームの LSB を設定します。 たとえば、チャンネル 0 レジスタのビット 3-0 (アドレス 19h) は、チャンネル 0 の下限アラームしきい値の LSB を設定します。チャンネル 0 の下限アラームしきい値は、ch0 下限しきい値 MSB レジスタ (アドレス 18h) のビット 7-0 が AAh に設定され、ch0 下限しきい値 LSB レジスタ (アドレス 19h) のビット 3-0 が 1111 に設定されている場合、AAF0h です。 0000 = LSB は 0h です 0001 = LSB は 01h 0010~1110 = LSB は 2h~Eh 1111 = LSB は Fh
3-0	CHn_LT [3-0] (<i>n</i> = 0~7)	R	0h	読み取り専用ビット。内部的に 0 に設定

8.5.2.3.6 コマンドリードバックレジスタ (アドレス= 3Fh)

このレジスタは、デバイス動作モードを読み取ることを可能にする。このコマンドを実行すると、デバイスは前のデータフレームで実行されたコマンドワードを出力します。コマンドレジスタの出力は、16 番目の立ち下がりエッジから MSB ファースト形式で SDO に現れます。コマンドレジスタに関するすべての情報は最初の 8 ビットに含まれ、最後の 8 ビットは 0 です (表 6 を参照)。したがって、24 番目の SCLK サイクル後にコマンドリードバック動作を停止することができます。

図 123.コマンドリードバックレジスタ

7	6	5	4	3	2	1	0
COMMAND_WORD [15 : 8]							
R-0h							
表記 : R =読み取り専用; -n =リセット後の値							

表 26.コマンドリードバックレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	COMMAND_WORD [15 : 8]	R	0h	前のデータフレームで実行されたコマンド。