

**UNIVERSIDAD DE PANAMÁ
CENTRO REGIONAL UNIVERSITARIO DE VERAGUAS
FACULTAD DE INFORMÁTICA, ELECTRÓNICA Y
COMUNICACIÓN**

MONOGRAFÍA:

LA GUERRA DE LOS BUSES

PRESENTA:

RAÚL ENRIQUE DUTARI DUTARI

2009

TABLA DE CONTENIDOS

1.	Observaciones Preliminares.	1
2.	Buses De Expansión: Concepto.....	1
3.	Evolución De Los Buses De Expansión.	2
3.1.	Bus ISA.	2
3.2.	Bus MCA.	3
3.3.	Bus EISA.....	4
3.4.	Bus Local.	5
3.5.	Bus VLB.	5
3.6.	Bus PCI.....	6
3.6.1.	Un Poco De Historia Acerca De Este Bus.....	7
3.6.2.	Los Conectores PCI.....	9
3.6.3.	Interoperabilidad.	10
3.6.4.	Revisiones Del Estándar PCI.....	11
3.6.5.	Limitaciones Del Bus PCI.....	13
3.7.	Bus AGP.	15

3.7.1.	Características Del Bus AGP.	15
3.7.2.	Conectores AGP.	16
3.8.	El Bus PCI Express.....	17
3.8.1.	Características Del Bus PCI Express.....	18
3.8.2.	Conectores PCI Express.....	18
3.9.	Arquitectura Del Bus PCI Express.	20
4.	PCI Vs PCI Express.....	24
5.	¿Surgirá Una Nueva Guerra De Buses Entre PCi Express, PCI-X O Hypertransport?	24
6.	Conclusiones.....	25
7.	Referencias Bibliográficas.....	26

1. OBSERVACIONES PRELIMINARES.

En este documento se presenta la evolución de los buses del computador y las funciones que estos han ido adoptando con el pasar de los años. Además, se mencionaran sus ventajas y desventajas con el pasar de los años y primordialmente; cual los buses que se mencionaran a continuación logro prevalecer en el mercado y dominar sobre los demás.

Se presentarán, además, algunas de sus características tanto físicas como funcionales con el fin de saber diferenciar, técnicamente y lógicamente, un bus de otro.

Se busca pues que el lector alcance una perspectiva razonable de la evolución que han sufrido ciertos componentes del computador y que en muchos de los casos no se les toma en cuenta, pero son de suma importancia ya que en el ámbito laboral, es preciso saber el donde, cómo y cuándo de los componentes del computador, siendo este uno de los motivos primordiales para tratar la constante demanda de desarrollo de los buses tanto internos como externos.

2. BUSES DE EXPANSIÓN: CONCEPTO.

Los *buses de expansión* (a veces denominados *buses periféricos*) son sistemas de comunicación que poseen conectores que permiten agregar tarjetas de expansión (periféricos) a un equipo. Existen diferentes tipos de buses internos estándar que se caracterizan por:

- Su forma.
- El número de clavijas del conector.

- Los tipos de señales (frecuencia, datos, etc.).

3. EVOLUCIÓN DE LOS BUSES DE EXPANSIÓN.

A continuación, se procederá a realizar un recuento de los sistemas de expansión más importantes que se han desarrollado para el computador personal, para cubrir las necesidades de ampliación de las computadoras personales.

3.1. BUS ISA.

La versión original del bus ISA (*Arquitectura estándar de la industria*) que apareció en 1981 con el PC XT fue un sistema de intercomunicación de 8 bits que trabajaba a una velocidad de reloj de 4,77 MHz.

En 1984, con la aparición del PC-AT (en el procesador *Intel 286*), el bus se expandió a 16 bits y la velocidad de reloj pasó de 6 a 8 MHz y finalmente a 8,33 MHz, ofreciendo una velocidad de transferencia máxima de 16 Mb/s (en la práctica solamente 8 Mb/s porque un ciclo de cada dos se utilizó para direccionar la memoria donde se realizaría la operación de E/S).

El bus ISA funcionaba como bus maestro, es decir, permitió que los controladores conectados directamente al bus se comunicaran directamente con los otros periféricos sin tener que pasar por el procesador. Una de las consecuencias del *bus maestro* es sin dudas el acceso directo a memoria (DMA). Sin embargo, el bus ISA únicamente permite que el hardware dirija los primeros 16 megabytes de RAM.

Hasta fines de la década de 1990, casi todos los equipos contaban con el bus ISA. A continuación, se presentan unas ilustraciones que muestran la forma de de los conectores XT e ISA.



Ilustración 1: Conector XT de 8bits



Ilustración 2: Conector ISA de 16bits

En las ilustraciones anteriores, se puede apreciar que el bus ISA es retrocompatible con el bus XT, ya que sus empinados son idénticos, en consecuencia, las tarjetas de expansión XT pueden ser colocadas y configuradas sin problemas en una ranura de expansión ISA.

3.2. BUS MCA.

El bus MCA (*Arquitectura de microcanal*) es un bus propietario mejorado diseñado por IBM en 1987 para utilizar en su línea de equipos PS/2. Este bus de 16 a 32 bits no era compatible con el bus ISA y podía alcanzar un rendimiento de 20 Mb/s, ya que trabajaba a una frecuencia de 10MHz.

Dado que fue desarrollado como un estándar propietario de IBM, no se difundió masivamente, salvo entre equipos de marca como NEC, NCR, IBM, entre otros, por lo que pasó al olvido en poco tiempo.

3.3. BUS EISA.

El bus EISA (Arquitectura estándar industrial extendida) fue desarrollado en 1988 por un grupo de compañías (AST, Compaq, Epson, Hewlett-Packard, NEC, Olivetti, Tandy, Wyse y Zenith) para competir con el bus exclusivo MCA lanzado por IBM el año anterior. El bus EISA utilizaba conectores cuyo tamaño eran la mitad del conector ISA pero con 4 filas de contactos en lugar de 2, para direccionar 32 bits.

Los conectores EISA eran más profundos y las filas de contactos adicionales se encontraban ubicadas debajo de las filas de contactos ISA. Por lo tanto, era posible conectar una tarjeta de expansión ISA en un conector EISA. Sin embargo, el calce en el conector no era demasiado profundo (debido a los biseles) y sólo se utilizaban las filas de contactos superiores (ISA).

El bus EISA introduce ciertas mejoras sobre la arquitectura ISA, entre otras:

- Direcciones de memoria de 32 bits para CPU, DMA, y dispositivos de bus master.
- Protocolo de transmisión síncrona para transferencias de alta velocidad.
- Traducción automática de ciclos de bus entre maestros y esclavos EISA e ISA.
- Soporte de controladores de periféricos maestros inteligentes.
- 33 MB/s de velocidad de transferencia para buses maestros y dispositivos DMA

- Interrupciones compartidas
- Configuración automática del sistema y las tarjetas de expansión

Aunque era parcialmente inferior al compararlo contra MCA, el estándar EISA fue muy favorecido por los fabricantes debido a la naturaleza propietaria de MCA, e incluso IBM fabricó algunas máquinas que lo soportaban. Pero en el momento en el que hubo una fuerte demanda de un bus de estas velocidades y prestaciones, el bus local VESA y posteriormente el PCI llenaron este nicho y el EISA desapareció en la oscuridad, al igual que su competidor MCA.

3.4. BUS LOCAL.

Los buses E/S tradicionales, tales como ISA, MCA o nuestros buses EISA, se conectan directamente al bus principal y deben funcionar en la misma frecuencia. Sin embargo, algunos periféricos de E/S necesitan un ancho de banda muy bajo mientras que otros necesitan un ancho de banda superior.

Por lo tanto, existen cuellos de botellas en el bus. Para resolver este problema, la arquitectura "bus local" ofrece aprovechar el bus del sistema, o bus frontal (*FSB*), al interactuar directamente con él.

En consecuencia, surgió la arquitectura VESA Local Bus.

3.5. BUS VLB.

En 1992, el bus local de VESA (VLB) fue desarrollado por VESA (Asociación para estándares electrónicos y de video patrocinado por la compañía NEC) para ofrecer un bus local dedicado a sistemas gráficos. El VLB es un conector ISA de

16 bits con un conector de 16 bits agregado, tal como se puede apreciar en la ilustración siguiente:



Ilustración 3: Conectores VESA Local Bus

El bus VLB es un bus de 32 bits inicialmente diseñado para permitir un ancho de banda de 33 MHz (el ancho de banda del primer PC 486 en aquel momento). El bus local VESA se utilizó en los siguientes 486 modelos (40 y 50 MHz respectivamente) así como en los primeros procesadores Pentium, pero fue reemplazado rápidamente por el bus PCI, ya que sólo se podía utilizar para tarjetas de vídeo e interfaces IDE o EIDE.

3.6. BUS PCI.

El bus PCI (Interconexión de componentes periféricos) fue desarrollado por Intel el 22 de junio de 1992. A diferencia del bus VLB, no se trata de un bus local tradicional sino de un bus intermedio ubicado entre el bus de procesador (Puente Norte) y el bus de entrada/salida (Puente Sur).

Dado que este bus es uno de los más relevantes dentro de la historia de la informática, se le dedicará algún detalle adicional.

3.6.1. UN POCO DE HISTORIA ACERCA DE ESTE BUS.

Intel presentó la especificación 1.0 del bus PCI en 1991. El grupo PCI Special Interest Group (que se encargó desde ese momento del desarrollo del PCI). En tanto, se produjo la revisión 2.0 en mayo de 1993.

Por aquel entonces el VESA Local Bus (VL-bus o VLB) era su más inmediato rival. Creado por el Video Electronics Standards Association, el VLB era un bus de 32 bits incluido en un conector extra que se añadía a continuación de los dos conectores de los buses ISA clásicos. Trabajaba a una velocidad de 33MHz y ofrecía una mejora de rendimiento significativa sobre el ISA.

La característica que le daba al VLB su gran rendimiento fue, irónicamente, la razón principal de su hundimiento. El VLB era, en esencia, una extensión directa del bus externo del procesador 486, y funcionaba, por tanto, a la misma velocidad que el procesador (de aquí el nombre de "local bus"). El primer problema de esto era la sobrecarga de buses: no se podían conectar demasiados dispositivos, pues podía ocurrir que las pérdidas de corriente hiciesen las señales completamente ininteligibles para los dispositivos o para el procesador. VESA aconsejaba no usar más de dos dispositivos si se trabajaba a 33MHz, aunque se podía subir hasta tres si se añadían buffers intermedios.

Sin embargo, el problema más grave era que, al trabajar a la misma velocidad que el procesador, al aumentar la velocidad externa de éste surgen serios problemas, pues a mayor velocidad de los periféricos, más caros serán. En la práctica, se fabricaron muy pocos dispositivos VLB capaces de trabajar a 40 o más MHz.

PCI tiene varias ventajas sobre el VLB:

- Para empezar, está aislado del bus de la CPU, pero permite a los periféricos acceder a la memoria del sistema.
- Además, también es capaz de trabajar asíncronamente respecto del procesador, pudiendo trabajar a 25, 30 o 33MHz. Esto significa que la velocidad del bus (y, por tanto, la que ha de soportar los periféricos) se mantiene constante aunque aumente la velocidad del procesador.
- Además, el bus PCI permite 5 o más conectores, duplicando la oferta del VLB, y además, sin restricciones respecto a la velocidad del procesador.
- Otra característica del PCI es la simplicidad de uso. El Plug and Play permite la configuración automática de los periféricos, sin que el usuario necesite asignar "a mano" la IRQ, el DMA y los puertos de entrada/salida. Además permite que varios periféricos compartan la misma interrupción, aliviando de esta forma uno de los mayores problemas que tenía el PC.
- Finalmente, la característica bus mastering del PCI permite a los dispositivos tomar control del bus y realizar transferencias entre ellos y otros dispositivos, o entre ellos y la memoria, sin el arbitrio de la CPU, lo que reduce la latencia y la carga de trabajo del procesador.

Su introducción en los sistemas Pentium, junto con sus claros beneficios sobre sus rivales, ayudaron al PCI a ganar la guerra de los buses en 1994. Desde entonces, prácticamente todos los periféricos, desde controladores de disco duro y tarjetas de sonido hasta tarjetas de video, han sido fabricados para este bus.

3.6.2. LOS CONECTORES PCI.

Por lo general, las tarjetas madre cuentan con al menos 3 ó 4 conectores PCI, identificables generalmente por su color blanco estándar.

La interfaz PCI existe en 32 bits con un conector de 124 clavijas o en 64 bits con un conector de 188 clavijas. También existen dos niveles de señalización de voltaje:

- 3,3 V para los ordenadores portátiles
- 5 V para los equipos de escritorio

El voltaje señalado no es igual al voltaje de la fuente de alimentación de la placa madre, sino que es el umbral de voltaje necesario para el cifrado digital de los datos.

Existen 2 tipos de conectores de 32 bits, son bastante similares entre si, salvo por la guía que se utiliza para orientar las tarjetas:

- El conector PCI de 32 bits, a 5 voltios, que es el que comúnmente se encuentra en nuestro medio, tal como se aprecia en la siguiente ilustración:



Ilustración 4: Conector PCI, 32Bits, 5V

- Por otro lado, se tiene el conector PCI de 32 bits, a 3,3 voltios, que es un interfase que no se ha popularizado en el medio local.



Ilustración 5: Conector PCI, 32Bits, a 3,3V

Por otro lado, los conectores PCI de 64 bits disponen de clavijas adicionales para tarjetas PCI de 32 bits. Existen 2 tipos de conectores de 64 bits, que se ilustran a continuación:



Ilustración 6: Conector PCI, 64Bits, 5V



Ilustración 7: Conector PCI, 64Bits, 5V

3.6.3. INTEROPERABILIDAD.

En general, no se pueden cometer errores al introducir una tarjeta PCI en una ranura PCI. Si la tarjeta encaja correctamente, entonces es compatible. De lo contrario, existen dispositivos infalibles que pueden evitar dicha instalación.

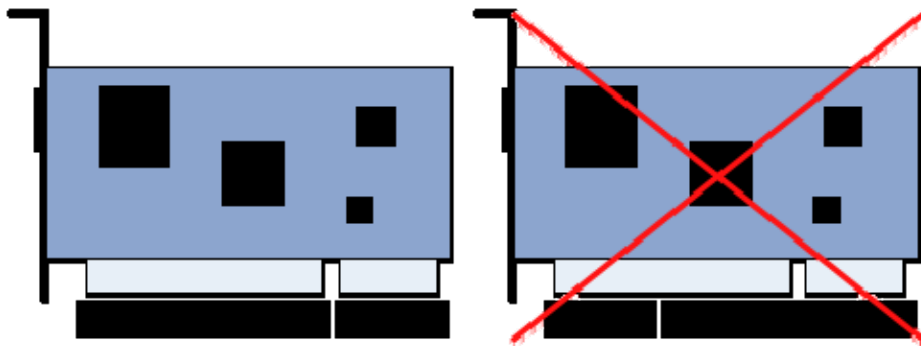


Ilustración 8: Instalaciones correcta e incorrecta de tarjetas de expansión

Además, existen tarjetas de expansión PCI equipadas con lo que se denomina conectores "universales", es decir, que poseen dos tipos de dispositivos infalibles (dos muescas). Dichas tarjetas de expansión pueden detectar el voltaje señalizado y adaptarse a él. Por lo tanto, pueden insertarse tanto en ranuras de 3,3 V como en ranuras de 5 V.

3.6.4. REVISIONES DEL ESTÁNDAR PCI.

La versión original del bus PCI es de 32 bits de ancho y su velocidad de reloj es de 33 MHz, lo que en teoría permite un rendimiento de 132 Mb/s a 32 bits, de acuerdo al estándar publicado. En las arquitecturas de 64 bits, el bus funciona a 64 bits y su rendimiento teórico es de 264 Mb/s. Sin embargo, este diseño no se implementó en la práctica.

Con el fin de actualizar el estándar PCI, se formó un grupo de interés compuesto por un gran número de fabricantes, apodado *PCI-SIG* (*Grupo de interés especial de PCI*). Se publicaron actualizaciones del bus. La versión 2.0 del 30 de abril de 1993 definió la forma de los conectores y las tarjetas adicionales, y le confirió una velocidad de reloj de 66 MHz, en contraste con los 33 MHz de la versión 1.0.

De esta manera se logró duplicar el rendimiento teórico hasta alcanzar los 266 MHz a 32 bits.

El 1 de junio de 1995, la revisión 2.1 del bus PCI mejoró su uso hasta 66 MHz. En ese momento, los ingenieros anticiparon un movimiento progresivo desde un voltaje señalizado de 5 V hasta 3,3 V.

La versión 2.2 del bus PCI, que apareció el 18 de diciembre de 1998, incorporó la capacidad de conectar los periféricos directamente (*conexión en caliente*).

La revisión 2.3, editada el 29 de marzo de 2002, eliminó la posibilidad de utilizar tarjetas de 5 V adicionales, pero incorporó el uso de tarjetas que admiten ambos voltajes con el fin de garantizar la compatibilidad descendente. La revisión 3.0 del estándar PCI eliminó por completo el uso de tarjetas de 5 V compatibles.

En septiembre de 1999, tuvo lugar un cambio importante en el bus PCI, cambio que fue conocido como **PCI-X**. El bus PCI-X 1.0 admite frecuencias de 66, 100 y 133 MHz. Dicho bus es completamente compatible con el formato PCI, y las ranuras PCI-X admiten tarjetas de formato PCI y viceversa.

La revisión 2.0 del bus PCI-X admite frecuencias de 66, 100, 133, 266 y 533 MHz, y permite un rendimiento de 4,27 Gb/s a 64 bits.

La tabla que se presenta a continuación, resume las diferentes revisiones que ha recibido el estándar PCI:

Revisión	Fecha de lanzamiento	Frecuencia	Voltaje	Ancho de Banda	Tasa de Transferencia
PCI 1.0	1992	33 MHz	Nil	32 bits	133 Mb/s
				64 bits	266 Mb/s

Revisión	Fecha de lanzamiento	Frecuencia	Voltaje	Ancho de Banda	Tasa de Transferencia
PCI 2.0	1993	33 MHz	3,3V / 5V	32 bits	132 Mb/s
				64 bits	264 Mb/s
PCI 2.1	1995	33 MHz	3,3V / 5V	32 bits	132 Mb/s
				64 bits	264 Mb/s
		66 MHz	3,3V	32 bits	264 Mb/s
				64 bits	528 Mb/s
PCI 2.2	1998	33 MHz	3,3V / 5V	32 bits	132 Mb/s
				64 bits	264 Mb/s
		66 MHz	3,3V	32 bits	264 Mb/s
				64 bits	528 Mb/s
PCI 2.3	2002	33 MHz	3,3V / 5V	32 bits	132 Mb/s
				64 bits	264 Mb/s
		66 MHz	3,3V	32 bits	264 Mb/s
				64 bits	528 Mb/s
PCI-X 1.0	1999	66 MHz	3,3V	32 bits	264 Mb/s
				64 bits	528 Mb/s
		100 MHz	3,3V	32 bits	400 Mb/s
				64 bits	800 Mb/s
		133 MHz	3,3V	32 bits	532 Mb/s
				64 bits	1.064 Mb/s
PCI-X 2.0	2002	66 MHz	3,3V	32 bits	264 Mb/s
				64 bits	528 Mb/s
		100 MHz	3,3V	32 bits	400 Mb/s
				64 bits	800 Mb/s
		133 MHz	3,3V	32 bits	532 Mb/s
				64 bits	1.064 Mb/s
		266 MHz	3,3V / 1,5V	32 bits	1.064 Mb/s
				64 bits	2.128 Mb/s
		533 MHz	3,3V / 1,5V	32 bits	2.128 Mb/s
				64 bits	4.256 Mb/s

Tabla 1: Revisiones del Estándar PCI

3.6.5. LIMITACIONES DEL BUS PCI.

Con la aparición de los sistemas RAID, la Gigabit Ethernet y otros dispositivos de alta velocidad, los 133MB/s del PCI se volvieron claramente insuficientes

para manejar semejante cantidad de datos. Por eso los fabricantes de chipsets han buscado formas de soslayar esta limitación.

Hasta 1997, los datos de la tarjeta gráfica constituían el mayor porcentaje del tráfico del bus PCI. El Accelerated Graphics Port (AGP), presentado en el chipset 440LX de Intel, tenía dos objetivos principalmente: aumentar el rendimiento gráfico y desplazar los datos gráficos fuera del bus PCI. Al realizarse las transferencias para los gráficos a través de otro "bus" (técnicamente, AGP no es un bus pues sólo permite un único dispositivo), el antes saturado PCI quedaba liberado para así poder atender mejor a los otros dispositivos.

Pese a todo, el AGP sólo fue un paso. El siguiente consistió en rediseñar el enlace entre el North Bridge y el South Bridge (los chipsets se dividen en estos dos componentes, manejando el primero la memoria y la parte gráfica, y el segundo los periféricos integrados en la placa madre). Los primeros chipsets, como los 440 de Intel, usaban un bus PCI para interconectar ambos bridges, con lo que el PCI no sólo tenía que soportar el tráfico normal de los periféricos "en tarjetas", sino también el de los periféricos integrados en la placa madre y todo el tráfico de intercomunicación entre ambos chips. Para aliviar esta situación, Intel, VIA y SiS sustituyeron el bus PCI entre ambos dispositivos por una conexión de alta velocidad. Hoy en día, gracias al bus Communications Streaming Architecture de Intel, integrado dentro del hub del controlador de memoria de los chipsets i875/876, hasta la Gigabit Ethernet está fuera del bus PCI.

Sin embargo, aunque AGP, CSA, el AHA de Intel, el V-Link de VIA y el MuTIOL de SiS han conseguido reducir de forma bastante exitosa la carga del bus PCI, no son más que soluciones temporales.

3.7. BUS AGP.

El bus AGP (la sigla corresponde a Accelerated Graphics Port que en español significa puerto de gráficos acelerado) apareció por primera vez en mayo de 1997 para los chipsets Slot One. Luego se lanzó para los chips Super 7, con el objetivo de administrar los flujos de datos gráficos que se habían vuelto demasiado grandes como para ser controlados por el Bus PCI. De esta manera, el bus AGP se conecta directamente al FSB (Front Side Bus o Bus Frontal) del procesador y utiliza la misma frecuencia, es decir, un ancho de banda más elevado.

La interfaz AGP se ha creado con el único propósito de conectarle una tarjeta de video. Funciona al seleccionar en la tarjeta gráfica un canal de acceso directo a la memoria (DMA, Direct Memory Access), evitando así el uso del controlador de entradas/salidas. En teoría, las tarjetas que utilizan este bus de gráficos necesitan menos memoria integrada ya que poseen acceso directo a la información gráfica (como por ejemplo las texturas) almacenadas en la memoria central. Su costo es aparentemente inferior.

Este estándar, al igual que PCI, merece ser considerados con alguna profundidad en este documento.

3.7.1. CARACTERÍSTICAS DEL BUS AGP.

El puerto AGP 1X funciona a una frecuencia de 66 MHz, a diferencia de los 33 MHz del Bus PCI, lo que le provee una tasa máxima de transferencia de 264 MB/s (en contraposición a los 132 MB/s que comparten las diferentes tarjetas para el bus PCI). Esto le proporciona al bus AGP un mejor rendimiento, en especial cuando se muestran gráficos en 3D de alta complejidad.

Con la aparición del puerto AGP 4X, su tasa de transferencia alcanzó los 1 GB/s. Esta generación de AGP presentó un consumo de 25 vatios. La generación siguiente se llamó AGP Pro y consumía 50 vatios.

El AGP Pro 8x ofrece una tasa de transferencia de 2 GB/s.

Las tasas de transferencia para los diferentes estándares AGP son las siguientes:

- AGP 1X : $66,66 \text{ MHz} \times 1(\text{coef.}) \times 32 \text{ bits} / 8 = 266,67 \text{ MB/s}$
- AGP 2X : $66,66 \text{ MHz} \times 2(\text{coef.}) \times 32 \text{ bits} / 8 = 533,33 \text{ MB/s}$
- AGP 4X : $66,66 \text{ MHz} \times 4(\text{coef.}) \times 32 \text{ bits} / 8 = 1,06 \text{ GB/s}$
- AGP 8X : $66,66 \text{ MHz} \times 8(\text{coef.}) \times 32 \text{ bits} / 8 = 2,11 \text{ GB/s}$

Se debe tener en cuenta que las diferentes normas AGP son compatibles con la versión anterior, lo que significa que las tarjetas AGP 4X o AGP 2X pueden insertarse en una ranura para AGP 8X.

3.7.2. CONECTORES AGP.

Las placas madre más recientes poseen un conector AGP general incorporado identificable por su color marrón. Existen tres tipos de conectores. Tal como se aprecia en las siguientes ilustraciones:



Ilustración 9: Conector AGP, 1,5V



Ilustración 10: Conector AGP, 3,3V



Ilustración 11: Conector AGP Universal

La tabla que se presenta a continuación, resume las especificaciones técnicas de cada versión y modo AGP:

AGP	Voltaje	Modo
AGP 1.0	3,3 voltios	1x, 2x
AGP 2.0	1,5 voltios	1x, 2x, 4x
AGP 2.0 Universal	1,5 v y 3,3 v	1x, 2x, 4x
AGP 3.0	1,5 voltios	4x, 8x

Tabla 2: Revisiones del Estándar PCI

3.8. EL BUS PCI EXPRESS.

El bus PCI Express (Interconexión de Componentes Periféricos Express, también escrito PCI-E o 3GIO en el caso de las "Entradas/Salidas de Tercera Generación"), es un bus de interconexión que permite añadir placas de expansión a un ordenador. El bus PCI Express fue desarrollado en julio de 2002. A diferencia del bus PCI, que se ejecuta en una interfaz paralela, el bus PCI

Express se ejecuta en una interfaz en serie, lo que permite alcanzar un ancho de banda mucho mayor que con el bus PCI.

3.8.1. CARACTERÍSTICAS DEL BUS PCI EXPRESS.

El bus PCI Express se presenta en diversas versiones (1X, 2X, 4X, 8X, 12X, 16X y 32X), con rendimientos de entre 250 Mb/s y 8 Gb/s, es decir, 4 veces el rendimiento máximo de los puertos AGP 8X. Dado que el costo de fabricación es similar al del puerto AGP, es de esperar que el bus PCI Express lo reemplace en forma progresiva, como en efecto ha sucedido.

3.8.2. CONECTORES PCI EXPRESS.

Los conectores PCI Express no son compatibles con los conectores PCI más antiguos. Varían en tamaño y demandan menos energía eléctrica. Una de las características más interesantes del bus PCI Express es que admite la conexión en caliente, es decir, que puede conectarse y desconectarse sin que sea necesario apagar o reiniciar la máquina. Los conectores PCI Express son identificables gracias a su tamaño pequeño y su color gris oscuro, tal como se aprecian en las ilustraciones que se presentan a continuación:

- El conector PCI Express 1X posee 36 clavijas, y está destinado a usos de entrada/salida con un gran ancho de banda:



Ilustración 12: Conector PCI Express 1X

- El conector PCI Express 4X posee 64 clavijas y tiene como finalidad el uso en servidores:



Ilustración 13: Conector PCI Express 4X

- El conector PCI Express 8X posee 98 clavijas y tiene como finalidad el uso en servidores:



Ilustración 14: Conector PCI Express 8X

- El conector PCI Express 16X posee 164 clavijas, mide 89 mm de largo, y tiene como finalidad el uso en el puerto gráfico:



Ilustración 15: Conector PCI Express 16X

El PCI Express estándar también tiene como finalidad reemplazar la tecnología PC Card, mediante conectores "PCI Express Mini Card". Además, a diferencia de los conectores PCI, que sólo pueden utilizarse para establecer conexiones internas, el PCI Express estándar puede utilizarse para conectar periféricos externos mediante el uso de cables. A pesar de ello, no compite con los puertos USB ni FireWire.

3.9. ARQUITECTURA DEL BUS PCI EXPRESS.

El bus PCI Express, antes conocido como 3GIO, está diseñado para reemplazar el PCI y cubrir las necesidades de interconexión para la próxima década. Está diseñado para soportar diversos segmentos del mercado, y como una arquitectura de E/S que unifique los equipos de sobremesa, portátiles, servidores, estaciones de trabajo y dispositivos empotrados. No es sólo para la sobremesa, como el PCI original.

El objetivo principal es conseguir un menor coste que los dispositivos PCI, tanto en bajos como altos volúmenes de producción. Para ello emplea un bus serie en vez de paralelo, pues al requerir un menor número de pistas en las placas, se reducen los costes de diseño a la vez que se aumenta el rendimiento en cuanto a espacio consumido.

El PCI Express aparece ante el sistema operativo exactamente igual que el antiguo bus PCI, por lo que no habrá que hacer modificaciones sustanciales en ellos. Lo mismo se aplica a nivel de configuración y controladores de dispositivos, que serán compatibles con los actuales para PCI.

La escalabilidad en el rendimiento se consigue aumentando la frecuencia y añadiendo "rutas" al bus (habría varios buses serie funcionando en paralelo, cada uno independiente de los demás). El diseño está pensado para ofrecer una alta velocidad de transferencia en cada ruta, con baja sobrecarga y baja latencia. Permite, además, varios canales virtuales en cada ruta o enlace físico.

Finalmente, al ser una conexión punto a punto, permite que cada dispositivo tenga una conexión dedicada, evitando la compartición del bus.

Otras características avanzadas de este bus son:

- Soporte de múltiples estructuras de datos.
- Capacidades avanzadas de gestión de energía.
- Conexión y desconexión "en caliente" (sin apagar el ordenador) de periféricos.
- Comprobación de errores de transmisión.
- Capacidad de transferencia isócrona.
- Protocolo dividido en capas y basado en envío de paquetes.

Visto a alto nivel, un sistema PCI Express está formado por un sistema raíz (que estará bien en el North Bridge o en el South Bridge), uno o varios switches y, finalmente, los dispositivos finales. La novedad aquí es el switch, el cual permite la comunicación punto a punto entre dispositivos finales, evitando enviar tráfico hasta el bridge si éste no supone problemas de coherencia en las cachés (por tratarse, por ejemplo, de transferencias a memoria).

En la parte inferior está la capa física. El enlace más simple para un sistema PCI Express consiste en dos señales diferenciales por corriente. Se incluye una señal de reloj usando el sistema 8/10b para conseguir altas velocidades de transferencia. La frecuencia inicial es de 2,5Gb/s en cada sentido, y se espera que los avances en la tecnología del silicio permitan aumentarlo hasta los 10Gb/s en cada sentido.

Una de las características más excitantes para los apasionados de la velocidad es la capacidad del PCI Express de aumentar la velocidad mediante el añadido de nuevos enlaces formando múltiples rutas paralelas. La capa física soporta

anchos X1, X2, X4, X8, X12, X16 y X32. La transmisión sobre múltiples rutas es transparente al resto de las capas.

La capa de enlace es la encargada de garantizar la fiabilidad y la integridad de los datos para cada paquete enviado a través de un enlace PCI Express. Junto con un número de secuencia y un CRC, un protocolo de control de flujo garantiza que los paquetes son transmitidos sólo cuando hay un buffer disponible para recibirlo en el otro extremo. Los paquetes corruptos se retransmiten automáticamente.

La capa de transacción crea los paquetes con las peticiones de la capa software a la capa de enlace, implementándolas como transacciones. Cada paquete tiene un identificador único, soportando direccionamiento de 32 y 64 bits. Otros atributos extra incluyen "no-snoop", "relaxed ordering" y prioridad, y se usan para el enrutado y la calidad de servicio.

Es más, la capa de transacción se encarga de cuatro espacios de direccionamiento: memoria, I/O, configuración (estos tres ya existían en la especificación PCI) y el nuevo espacio Mensajes. Este cuarto reemplaza a ciertas señales en la especificación PCI 2.2 y elimina los "ciclos especiales" del viejo formato, lo que incluye las interrupciones, las peticiones de gestión de energía y el reset.

Finalmente, la capa software constituye la clave para conseguir la compatibilidad software. La inicialización y el runtime no se han cambiado respecto al PCI debido a que se quiere que los sistemas operativos puedan usar PCI Express sin necesidad de modificarse. Los dispositivos son enumerados de forma que el sistema operativo pueda encontrarlos y asignarles recursos, mientras que el runtime reutiliza el modelo load-store y shared-memory del PCI. Sin embargo, queda por ver si realmente no es necesaria la modificación, pues el "Soporte de

PCI Express" es una de las características que se anuncian para Longhorn, el próximo Windows.

Las primeras implementaciones están diseñadas para coexistir con los actuales conectores PCI. Así, un conector 1X encaja a continuación de un conector PCI, entre éste y el borde de la placa madre, de forma que se puede usar cualquiera de las dos tarjetas.

Otras novedades incluyen el separar la "caja principal" y los interfaces, y las "bahías de dispositivos", que permitirían la conexión y desconexión "en caliente" de tarjetas y otros periféricos PCI-Express.

Incluso se ha tenido en cuenta a los usuarios de dispositivos portátiles, con el nuevo estandar PCMCIA denominado NEWCARD, el cual define un formato en el que dos tarjetas NEWCARD, una junto a la otra, ocupan casi el mismo espacio que una tarjeta CardBus actual. Desgraciadamente, no está diseñado para soportar gráficos, por lo que las posibilidades de actualizar el sistema gráfico de un portátil siguen siendo prácticamente inexistentes. Pese a todo, no hay que perder de vista las cosas buenas: el nuevo bus permitirá la expansión de multitud de nuevas opciones, como comunicaciones inalámbricas, capturadoras de TV de alta calidad...

Con sus 200 Megabytes por segundo en cada sentido para un conector X1, el PCI Express se alza como una solución económica en relación al ancho de banda por pin.

El chipset Grantsdale de Intel ofrecerá un enlace X16 para gráficos (lo que supone 4 Gigabytes por segundo en cada sentido), lo que duplica el ancho de banda de un AGP 8X. Esta capacidad permitirá cubrir las demandas para los próximos años.

4. PCI VS PCI EXPRESS.

De un tiempo a esta parte ha habido diversos cambios en la forma de enviar datos entre nuestro ordenador y los periféricos, buscando un aumento de la velocidad y la eficiencia. El bus USB, Serial ATA o la RDRAM son ejemplos del cambio desde una arquitectura paralelo a un formato serie de alta velocidad, diseñados para permitir el máximo ancho de banda y ofrecer escalabilidad.

El bus PCI (Peripheral Component Interconnect) ha sido el sistema estándar usado durante los últimos diez años, pero está comenzando a tocar techo. Las extensiones al PCI clásico, como los conectores de 64 bits o las velocidades de 66 o 100 MHz son demasiado costosos y, de todas formas, no pueden seguir el vertiginoso aumento de demanda del PC de los próximos años.

La 3ª generación de E/S (3GIO en inglés) ha sido recientemente rebautizada como PCI Express, y parece ser el sustituto adecuado para el ubicuo bus PCI. Intel ha asegurado que su chipset Grantsdale incluirá soporte para este bus, así como Microsoft, que ha indicado que la nueva versión de Windows, conocido como Longhorn, también lo soportará.

5. ¿SURGIRÁ UNA NUEVA GUERRA DE BUSES ENTRE PCI EXPRESS, PCI-X O HYPERTRANSPORT?

El PCI Express Working Group insiste en que los buses están pensados para solucionar problemas diferentes. RapidIO e HyperTransport se desarrollaron para aplicaciones específicas, mientras que PCI Express está pensado como un bus de propósito general.

La posibilidad de que PCI Express sustituya a HyperTransport como conexión entre procesadores es también improbable. PCI Express no dispone de protocolos de coherencia de cache, y su mayor latencia hace inapropiado su uso en esta aplicación. Ciertamente, AMD y nVidia no tienen nada que temer. Tampoco es probable que Intel lo use para sustituir su bus P4, pues una especificación abierta de PCI Express significaría que Intel no podría cobrar a terceros fabricantes sus licencias por usar el bus P4.

6. Conclusiones.

Al finalizar esta monografía, se pueden plantear, entre otras, las siguientes conclusiones:

- La guerra de los buses en realidad, no es más que el proceso evolutivo que han sufrido los buses de expansión de los sistemas PC, a lo largo de casi toda la historia de la PC.
- Deja como lección que las tecnologías que se desea que prevalezcan en el mercado, se deben basar en estándares de dominio público.
- Intentos de monopolizar el mercado, como MCA por IBM, normalmente son empresas que están condenadas al fracaso.
- Le bus PCI tiene un gran potencial. Su posicionamiento como sistema de interconexión de propósito general le da claras ventajas en términos de flexibilidad y garantiza que se puede usar en una amplia gama de soluciones.

- Por otro lado, el bus PCI Express está siendo explotado plenamente, al momento de manipular video de alta resolución, en los sistemas modernos.

7. REFERENCIAS BIBLIOGRÁFICAS.

- [HEPA93] HENNESSY, John; PATTERSON, David.** Arquitectura de Computadoras. Un enfoque Cuantitativo. Primera Edición, McGraw-Hill, España, 1993.
- [STAL06] STALLINGS, William.** Organización y Arquitectura de Computadoras. Principios de Estructura y de Funcionamiento. Séptima Edición, Pearson Prentice-Hall, España, 2006.
- [TANE92] TANENBAUM, Andrew S.** Organización De Computadoras: Un Enfoque Estructurado. Tercera Edición, Prentice-Hall, México, 1992.
- [WIKIA09] FUNDACIÓN WIKIMEDIA.** Bus ISA. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-junio-05. Fecha de Consulta: 2009-junio-11. Disponible en: http://es.wikipedia.org/wiki/Bus_ISA.
- [WIKIB09] FUNDACIÓN WIKIMEDIA.** Bus MCA. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-enero-09. Fecha de Consulta: 2009-junio-11. Disponible en: http://es.wikipedia.org/wiki/Bus_MCA.
- [WIKIC09] FUNDACIÓN WIKIMEDIA.** Bus EISA. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-febrero-03. Fecha de Consulta: 2009-junio-11. Disponible en: http://es.wikipedia.org/wiki/Bus_EISA.

- [WIKID09] **FUNDACIÓN WIKIMEDIA.** Bus VESA. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-junio-08. Fecha de Consulta: 2009-junio-11. Disponible en: http://es.wikipedia.org/wiki/Bus_local_VESA.
- [WIKIE09] **FUNDACIÓN WIKIMEDIA.** Peripheral Component Interconnect. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-mayo-31. Fecha de Consulta: 2009-junio-11. Disponible en: http://es.wikipedia.org/wiki/Bus_PCI.
- [WIKIF09] **FUNDACIÓN WIKIMEDIA.** Accelerated Graphics Port. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-mayo-11. Fecha de Consulta: 2009-junio-11. Disponible en: <http://es.wikipedia.org/wiki/AGP>.
- [WIKIG09] **FUNDACIÓN WIKIMEDIA.** PCI-Express. Wikimedia Foundation, Inc. Fecha de Actualización: 2009-junio-05. Fecha de Consulta: 2009-junio-11. Disponible en: <http://es.wikipedia.org/wiki/PCI-Express>.