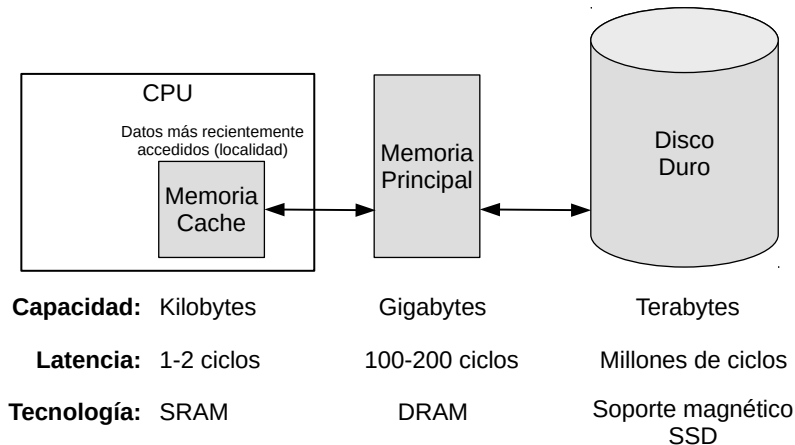


Estructura de Computadores

Tema 6. Memoria Cache

Jerarquía de Memoria



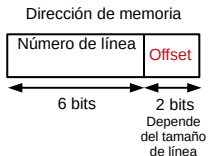
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Dirección	Memoria Principal
00000000	byte0
00000001	byte1
00000010	byte2
00000011	byte3
00000100	byte4
00000101	byte5
00000110	byte6
00000111	byte7
00001000	byte8
00001001	byte9
00001010	byte10
00001011	byte11
	...
11111100	byte252
11111101	byte253
11111110	byte254
11111111	byte255

Memoria Cache

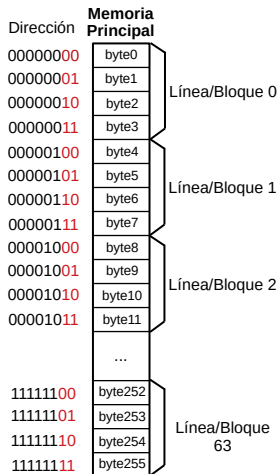
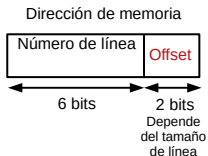
Procesador de 8 bits, tamaño de línea = 4 bytes



Dirección	Memoria Principal
00000000	byte0
00000001	byte1
00000010	byte2
00000011	byte3
00000100	byte4
00000101	byte5
00000110	byte6
00000111	byte7
00001000	byte8
00001001	byte9
00001010	byte10
00001011	byte11
	...
11111100	byte252
11111101	byte253
11111110	byte254
11111111	byte255

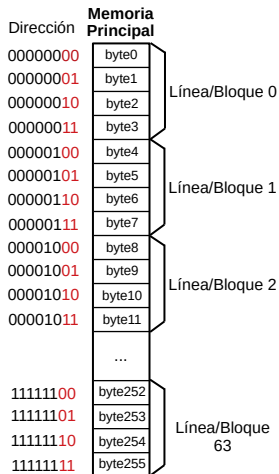
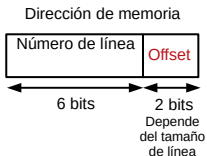
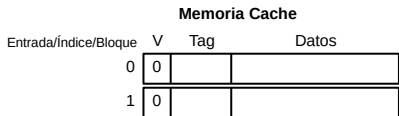
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



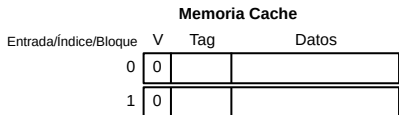
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



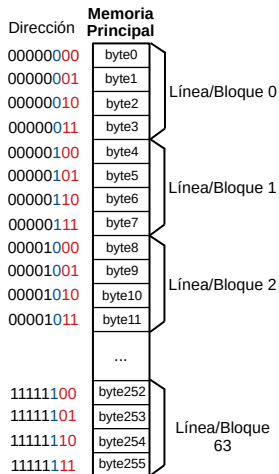
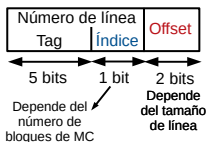
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



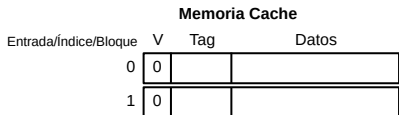
Correspondencia directa

Dirección de memoria



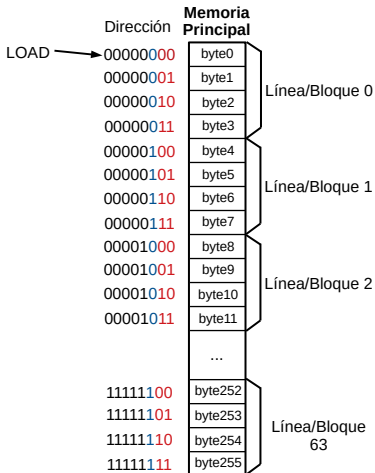
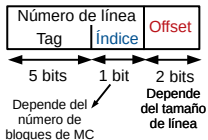
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



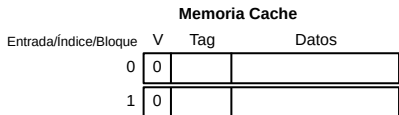
Correspondencia directa

Dirección de memoria



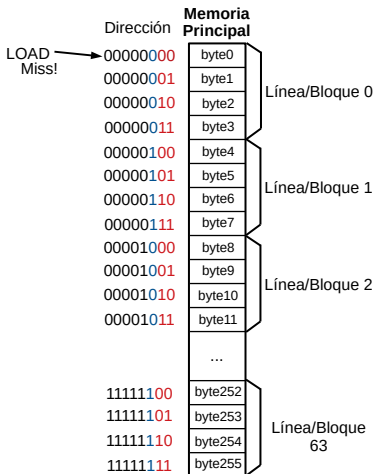
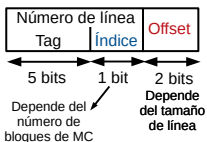
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



Correspondencia directa

Dirección de memoria



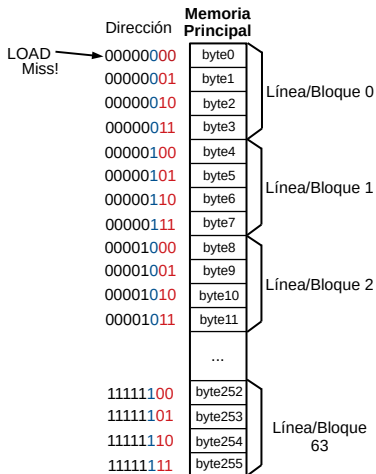
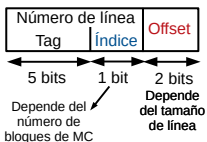
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	0		

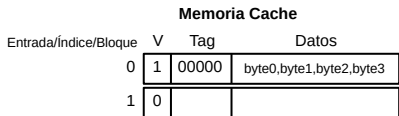
Correspondencia directa

Dirección de memoria



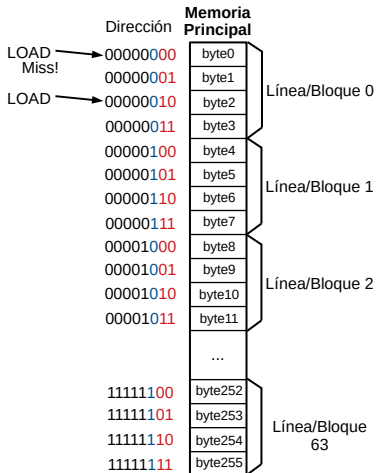
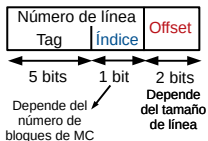
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



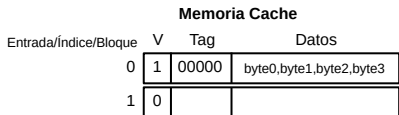
Correspondencia directa

Dirección de memoria



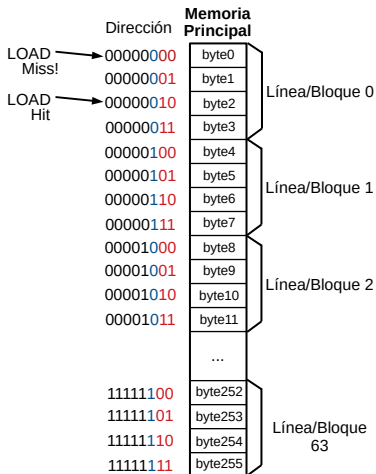
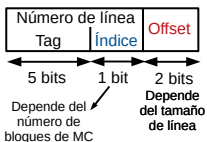
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



Correspondencia directa

Dirección de memoria



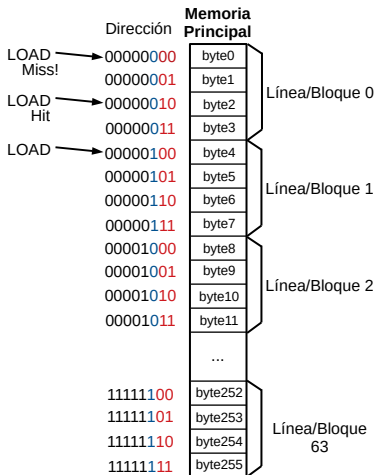
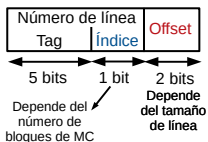
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	0		

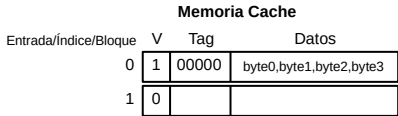
Correspondencia directa

Dirección de memoria



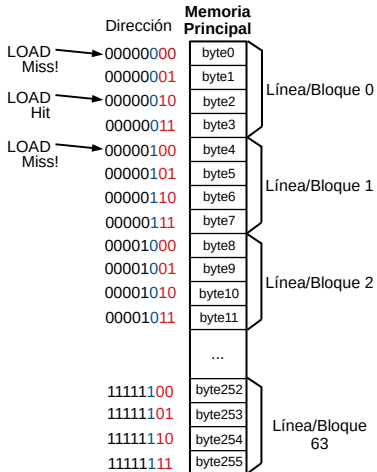
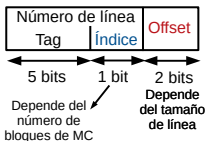
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes



Correspondencia directa

Dirección de memoria



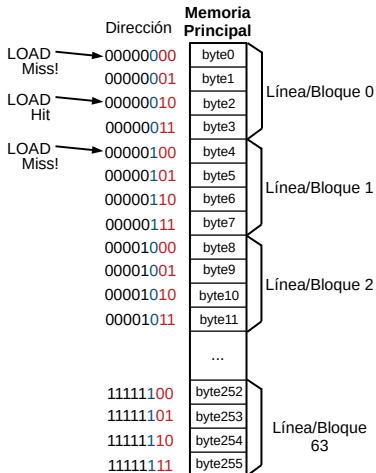
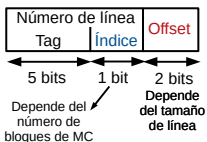
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	1	00000	byte4,byte5,byte6,byte7

Correspondencia directa

Dirección de memoria



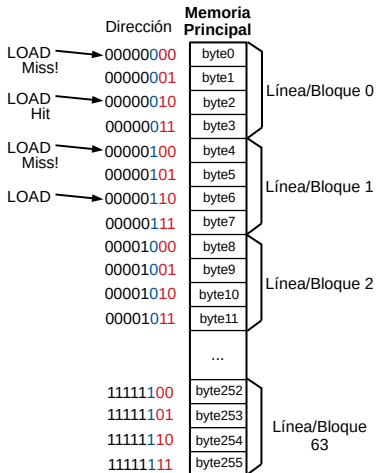
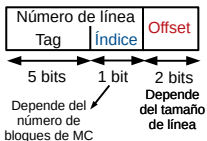
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	1	00000	byte4,byte5,byte6,byte7

Correspondencia directa

Dirección de memoria



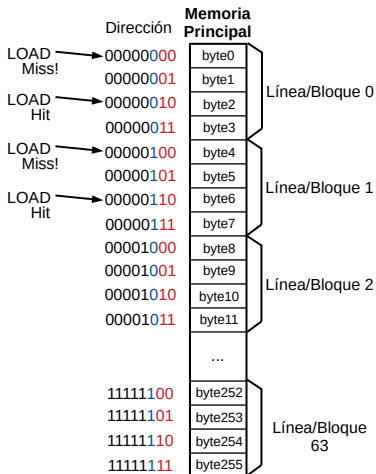
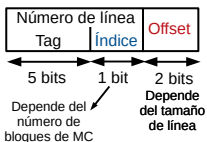
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	1	00000	byte4,byte5,byte6,byte7

Correspondencia directa

Dirección de memoria



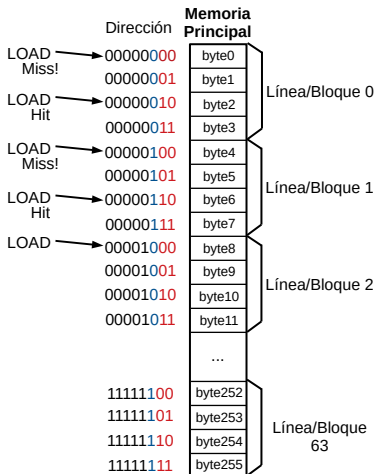
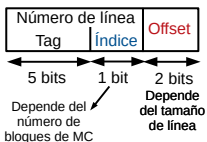
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	1	00000	byte4,byte5,byte6,byte7

Correspondencia directa

Dirección de memoria



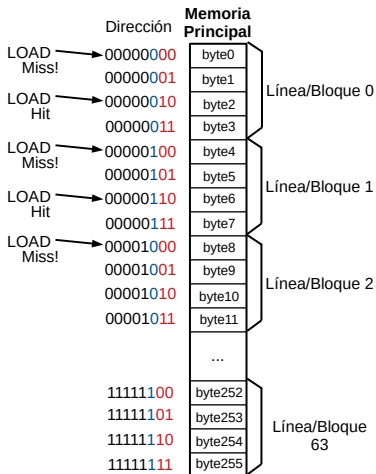
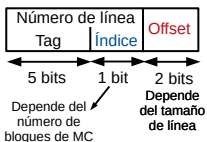
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/índice/Bloque	V	Tag	Datos
0	1	00000	byte0,byte1,byte2,byte3
1	1	00000	byte4,byte5,byte6,byte7

Correspondencia directa

Dirección de memoria



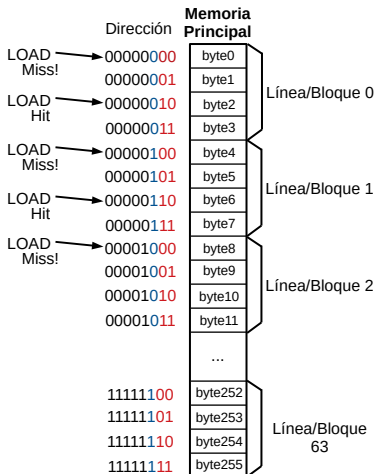
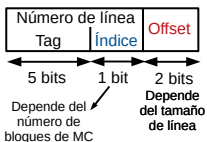
Memoria Cache

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	00000	byte4, byte5, byte6, byte7

Correspondencia directa

Dirección de memoria



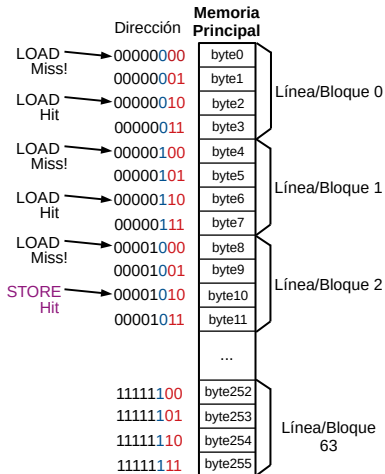
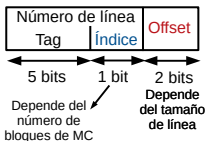
Escritura inmediata con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	00000	byte4, byte5, byte6, byte7

Correspondencia directa

Dirección de memoria



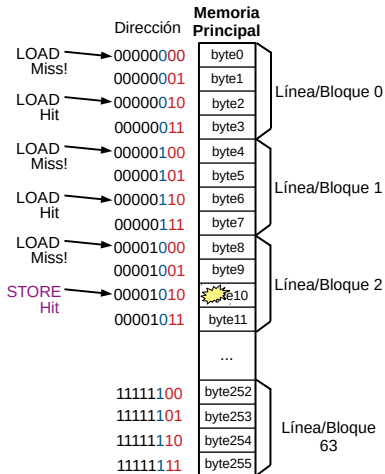
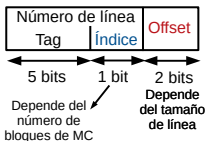
Escritura inmediata con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache				
Entrada/Índice/Bloque	V	Tag	Datos	
0	1	00001	byte8, byte9, byte10, byte11	
1	1	00000	byte4, byte5, byte6, byte7	

Correspondencia directa

Dirección de memoria



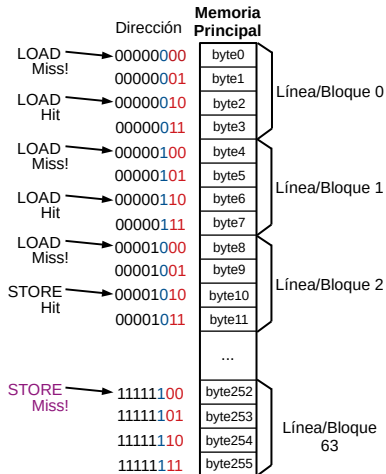
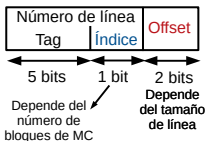
Escritura inmediata con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	00000	byte4, byte5, byte6, byte7

Correspondencia directa

Dirección de memoria



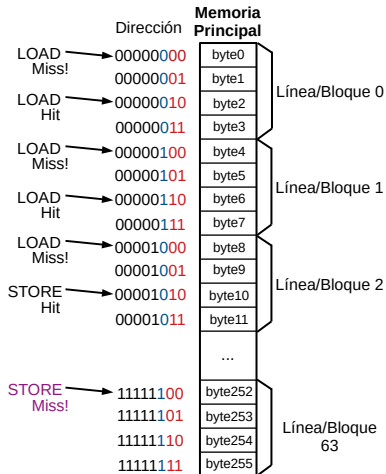
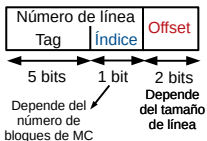
Escritura inmediata con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	11111	byte252, byte253, byte254, byte255

Correspondencia directa

Dirección de memoria



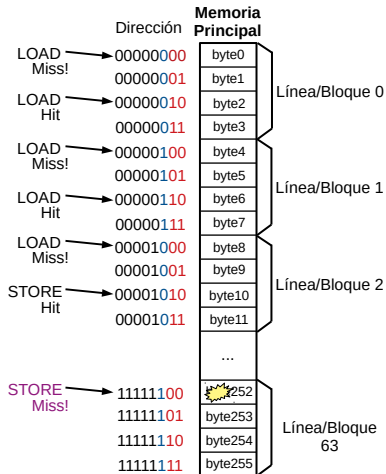
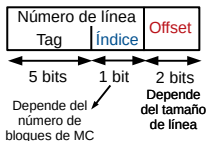
Escritura inmediata con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	11111	byte252, byte253, byte254, byte255

Correspondencia directa

Dirección de memoria



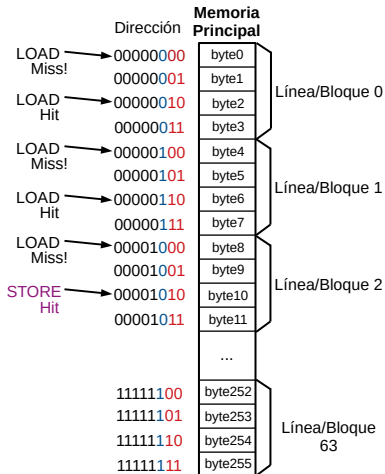
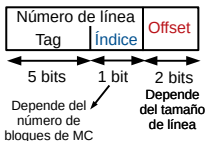
Escritura inmediata sin asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache				
Entrada/índice/Bloque	V	Tag	Datos	
0	1	00001	byte8, byte9, byte10, byte11	
1	1	00000	byte4, byte5, byte6, byte7	

Correspondencia directa

Dirección de memoria



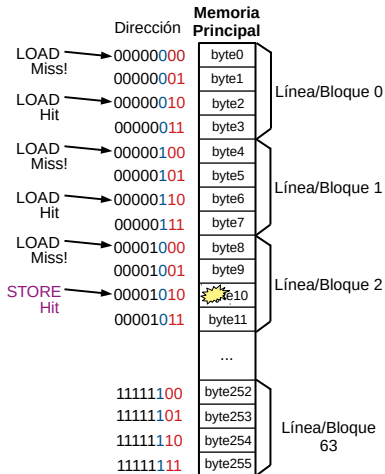
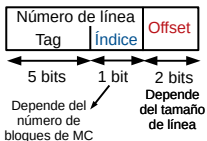
Escritura inmediata sin asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	00000	byte4, byte5, byte6, byte7

Correspondencia directa

Dirección de memoria



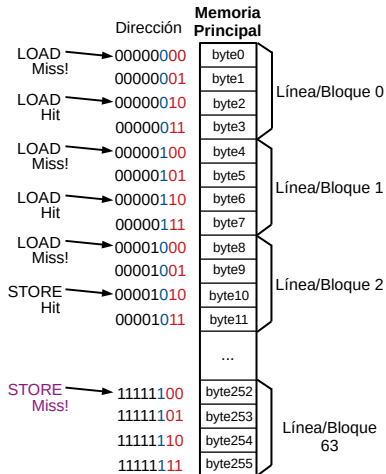
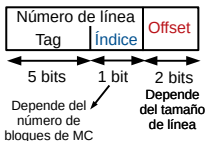
Escritura inmediata sin asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	00000	byte4, byte5, byte6, byte7

Correspondencia directa

Dirección de memoria



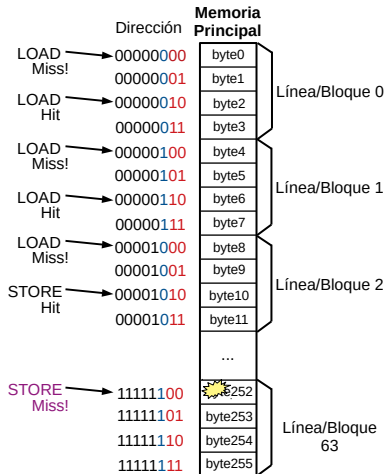
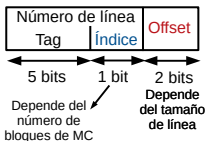
Escritura inmediata sin asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

Memoria Cache			
Entrada/Índice/Bloque	V	Tag	Datos
0	1	00001	byte8, byte9, byte10, byte11
1	1	00000	byte4, byte5, byte6, byte7

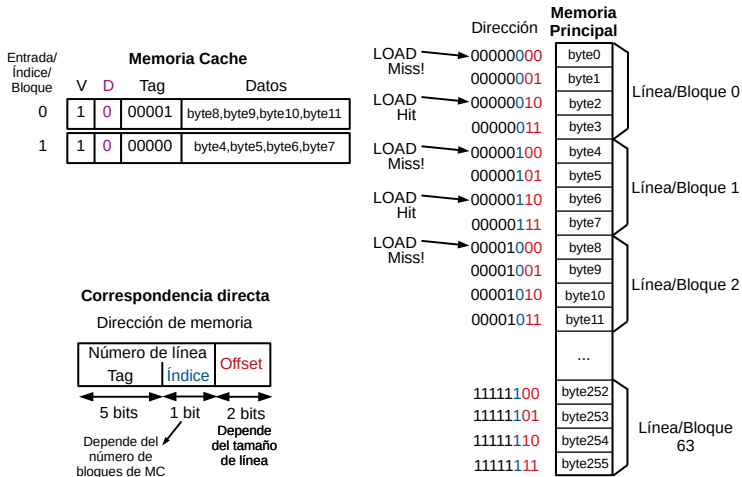
Correspondencia directa

Dirección de memoria



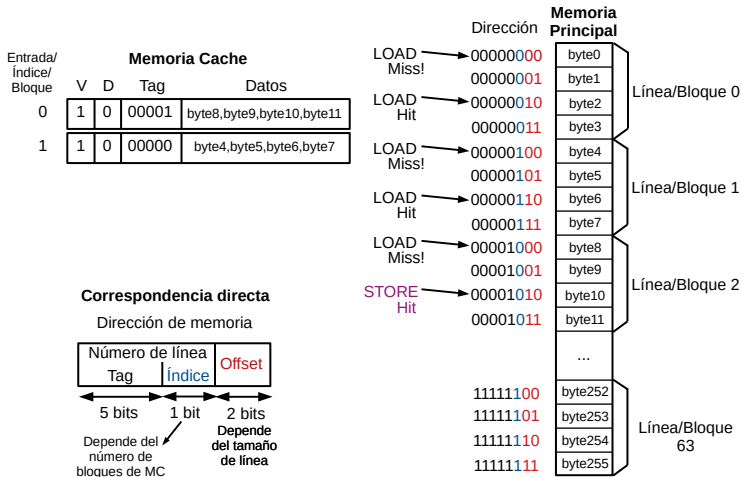
Escritura retardada con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes



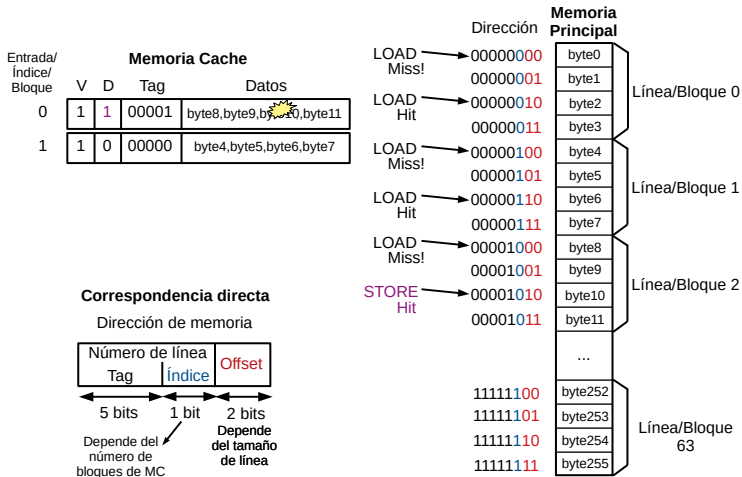
Escritura retardada con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

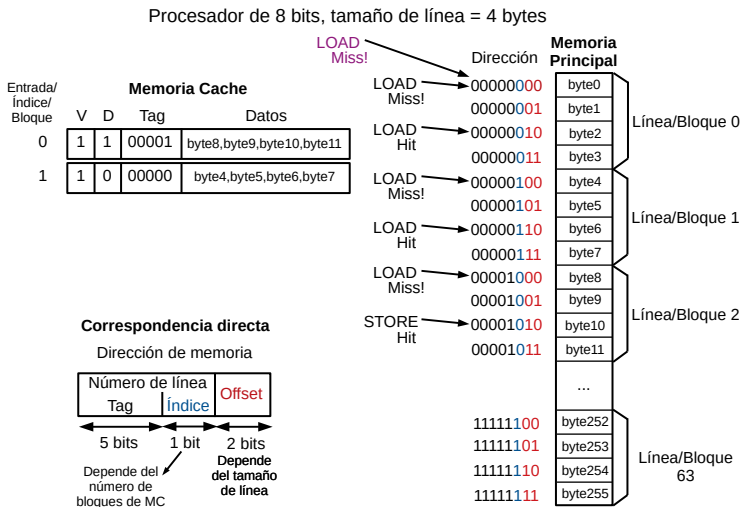


Escritura retardada con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

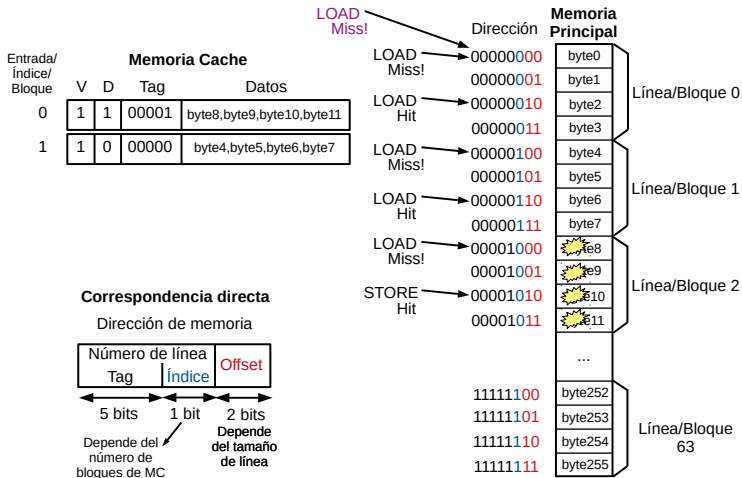


Escritura retardada con asignación



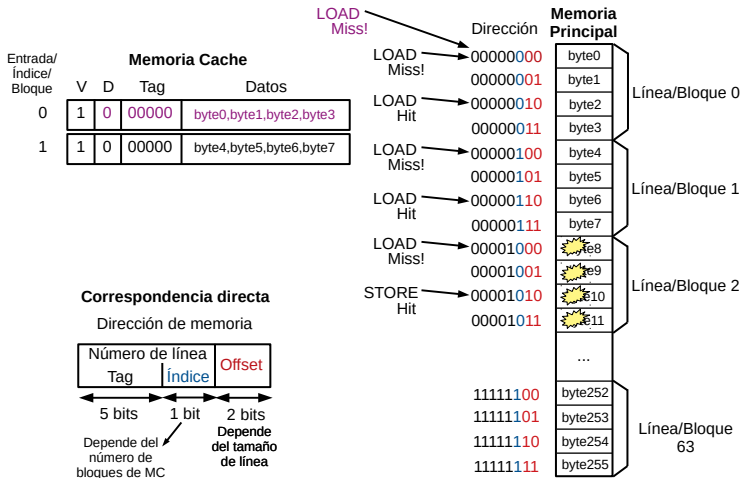
Escritura retardada con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes



Escritura retardada con asignación

Procesador de 8 bits, tamaño de línea = 4 bytes

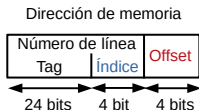


Correspondencia Directa - Conflictos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

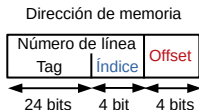
Número de bloques de MC = 16



Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	0		
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

Procesador MIPS de 32 bits

Número de bloques de MC = 16

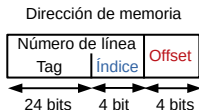


Dirección

LW 0x100100 00

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	0		
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

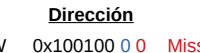
Número de bloques de MC = 16



LW 0x100100 0 0 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	100100	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

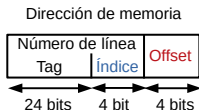
Número de bloques de MC = 16



LW 0x10010A 00

Procesador MIPS de 32 bits

Número de bloques de MC = 16



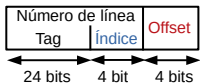
Dirección

LW 0x100100 0 0 Miss!

LW 0x10010A 00 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	100100	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

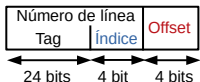
Número de bloques de MC = 16



LW 0x10010A 00 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	10010A	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

Número de bloques de MC = 16



```
LW    0x100100 0 0 Miss!
LW    0x10010A 0 0 Miss!
LW    0x100100 0 4 Miss!
```

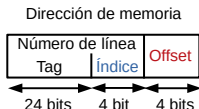
Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	10010A	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

Correspondencia Directa - Conflictos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

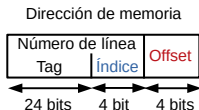
LW 0x100100 0 0 Miss!

LW 0x10010A 0 0 Miss!

LW 0x100100 0 4 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	100100	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

Número de bloques de MC = 16



Dirección

LW 0x10010A 0 4 Miss!

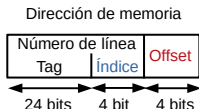
Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	100100	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

Correspondencia Directa - Conflictos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x100100 0 0 Miss!

LW 0x10010A 0 0 Miss!

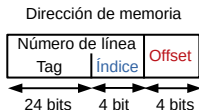
LW 0x100100 0 4 Miss!

LW 0x10010A 0 4 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	10010A	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

Correspondencia Directa - Conflictos

Número de bloques de MC = 16



Dirección

LW 0x10010A 0 4 Miss!

Entrada/ Índice/ Bloque		Memoria Cache		
		V	Tag	Datos
0	1	1	10010A	
1	0			
2	0			
3	0			
4	0			
5	0			
6	0			
7	0			
8	0			
9	0			
A	0			
B	0			
C	0			
D	0			
E	0			
F	0			

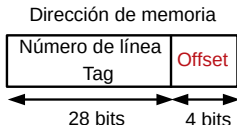
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir
a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	0		
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

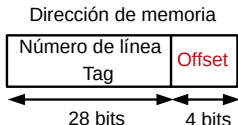
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	0		
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

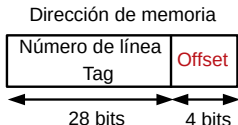
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	0		
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

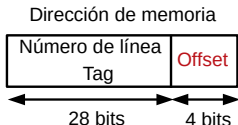
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	1001000	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

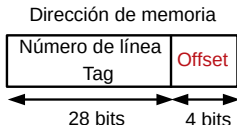
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir
a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	1001000	
1	0		
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

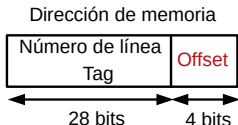
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	1001000	
1	1	10010A0	
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

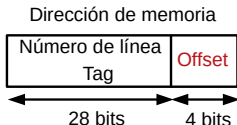
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

LW 0x1001000 4 Hit

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	1001000	
1	1	10010A0	
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

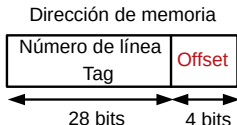
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir
a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

LW 0x1001000 4 Hit

LW 0x10010A0 4 Hit

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	1001000	
1	1	10010A0	
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

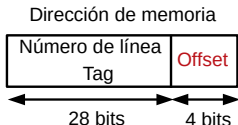
Memoria Cache Completamente Asociativa

Una línea de memoria puede ir a cualquier bloque de MC

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

Número de bloques de MC = 16



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

LW 0x1001000 4 Hit

LW 0x10010A0 4 Hit

Entrada/ Índice/ Bloque	Memoria Cache		
	V	Tag	Datos
0	1	1001000	
1	1	10010A0	
2	0		
3	0		
4	0		
5	0		
6	0		
7	0		
8	0		
9	0		
A	0		
B	0		
C	0		
D	0		
E	0		
F	0		

- Mejor tasa de aciertos
- Mayor coste en hardware

Memoria Cache Asociativa por Conjuntos

- ▶ La MC se organiza en conjuntos
 - ▶ Cada conjunto tiene un número fijo de bloques (asociatividad)
- ▶ Cada línea de MP se mapea a un conjunto fijo, pero puede ir a cualquier bloque dentro del conjunto
- ▶ Mejor compromiso entre coste de implementación y tasa de aciertos

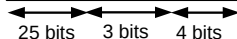
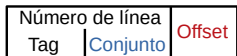
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Memoria Cache

Conjunto	V	Tag	Datos	V	Tag	Datos
0	0			0		
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

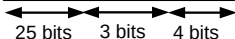
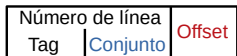
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Dirección

LW 0x1001000 0 Miss!

Memoria Cache

Conjunto	V	Tag	Datos	V	Tag	Datos
0	0			0		
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

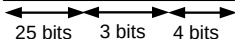
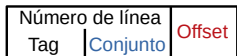
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Dirección

LW 0x1001000 0 Miss!

Memoria Cache

Conjunto	V	Tag	Datos	V	Tag	Datos
0	1	200200		0		
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

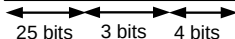
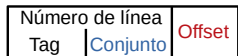
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

Memoria Cache

Conjunto	V	Tag	Datos	V	Tag	Datos
0	1	200200		0		
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

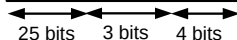
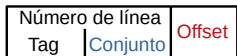
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

Memoria Cache

Conjunto	V	Tag	Datos	V	Tag	Datos
0	1	200200		1	200214	
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

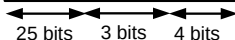
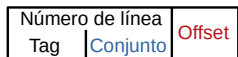
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

LW 0x1001000 4 Hit

Memoria Cache

Conjunto	V	Tag	Datos	V	Tag	Datos
0	1	200200		1	200214	
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

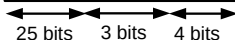
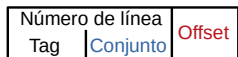
Memoria Cache Asociativa por Conjuntos

Procesador MIPS de 32 bits

Tamaño de línea = 16 bytes

MC: 8 conjuntos de 2 bloques

Dirección de memoria



Dirección

LW 0x1001000 0 Miss!

LW 0x10010A0 0 Miss!

LW 0x1001000 4 Hit

LW 0x10010A0 4 Hit

Memoria Cache

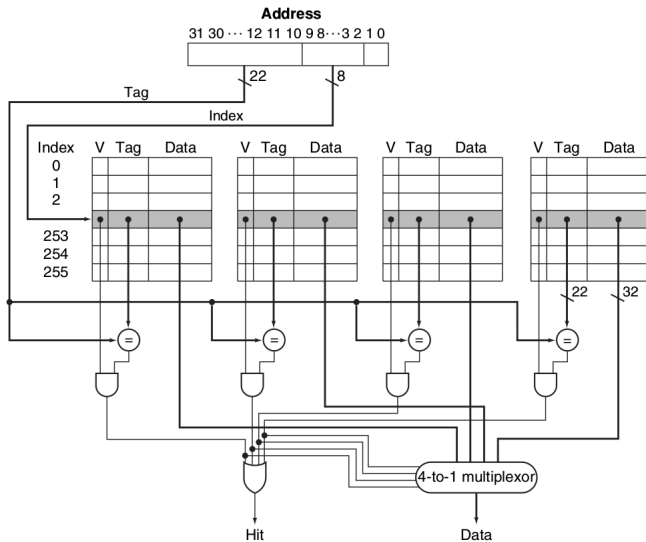
Conjunto	V	Tag	Datos	V	Tag	Datos
0	1	200200		1	200214	
1	0			0		
2	0			0		
3	0			0		
4	0			0		
5	0			0		
6	0			0		
7	0			0		

- Cada línea de memoria se mapea a un conjunto fijo
- La línea puede ir a cualquier entrada dentro del conjunto

Algoritmos de reemplazo

- ▶ Indica el bloque que se ha de reemplazar de la MC cuando no queda espacio para colocar un nuevo bloque
- ▶ Necesario para memorias cache completamente asociativas y asociativas por conjuntos
- ▶ Para correspondencia directa, el bloque a reemplazar es único y no hay alternativa
- ▶ **LRU** (Least Recently Used)
 - ▶ Se reemplaza el bloque que hace más tiempo que no se referencia

Diagrama memoria cache (Patterson & Hennessy)



Clasificación de los Fallos de Memoria Cache

- ▶ **Cold/Compulsory Misses** (Arrancada en fred)
 - ▶ Fallo debido a que es la primera vez que se accede a la línea de memoria

Clasificación de los Fallos de Memoria Cache

- ▶ **Cold/Compulsory Misses** (Arrancada en fred)
 - ▶ Fallo debido a que es la primera vez que se accede a la línea de memoria
- ▶ **Conflict Misses**
 - ▶ Fallos debido a la falta de asociatividad
 - ▶ Aparecen al acceder continuamente a líneas que se mapean al mismo bloque de MC
 - ▶ Se pueden evitar aumentando la asociatividad

Clasificación de los Fallos de Memoria Cache

- ▶ **Cold/Compulsory Misses** (Arrancada en fred)
 - ▶ Fallo debido a que es la primera vez que se accede a la línea de memoria
- ▶ **Conflict Misses**
 - ▶ Fallos debido a la falta de asociatividad
 - ▶ Aparecen al acceder continuamente a líneas que se mapean al mismo bloque de MC
 - ▶ Se pueden evitar aumentando la asociatividad
- ▶ **Capacity Misses**
 - ▶ Fallos debido a la falta de capacidad

Conflict Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques con correspondencia directa (32 bytes de capacidad)

```
int A[8], B[8];  
int i, s = 0;  
for (i = 0; i < 8; i++)  
    s += A[i] * B[i];
```

	Bloque 0		Bloque 1		Bloque 2		Bloque 3		Bloque 4		Bloque 5		Bloque 6		Bloque 7	
Memoria Principal	A[0]	A[1]	A[2]	A[3]	A[4]	A[5]	A[6]	A[7]	B[0]	B[1]	B[2]	B[3]	B[4]	B[5]	B[6]	B[7]

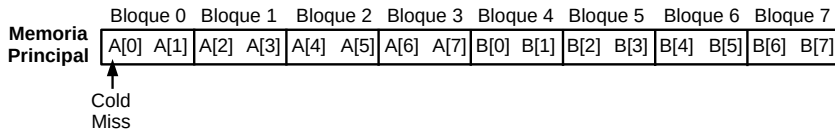
Conflict Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques con correspondencia directa (32 bytes de capacidad)

```
int A[8], B[8];  
int i, s = 0;  
for (i = 0; i < 8; i++)  
    s += A[i] * B[i];
```



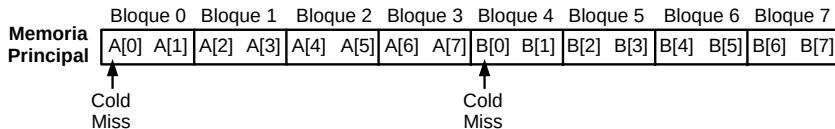
Conflict Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques con correspondencia directa (32 bytes de capacidad)

```
int A[8], B[8];  
int i, s = 0;  
for (i = 0; i < 8; i++)  
    s += A[i] * B[i];
```



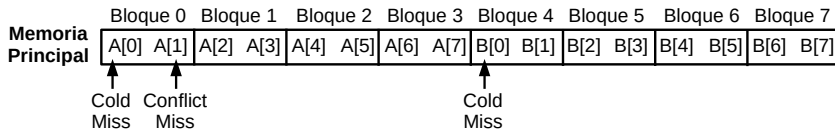
Conflict Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques con correspondencia directa (32 bytes de capacidad)

```
int A[8], B[8];  
int i, s = 0;  
for (i = 0; i < 8; i++)  
    s += A[i] * B[i];
```



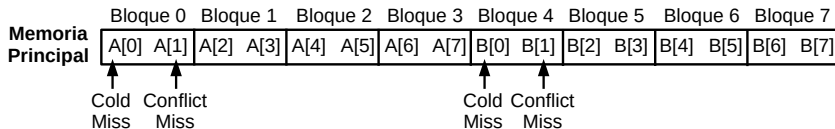
Conflict Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques con correspondencia directa (32 bytes de capacidad)

```
int A[8], B[8];  
int i, s = 0;  
for (i = 0; i < 8; i++)  
    s += A[i] * B[i];
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)
```

```
    s += V[i];
```

```
for (i = 0; i < 16; i++)
```

```
    s += V[i] * 3;
```

Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```

Bloque 0		Bloque 1		Bloque 2		Bloque 7	
V[0]	V[1]	V[2]	V[3]	V[4]	V[5]	...	V[14] V[15]

Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

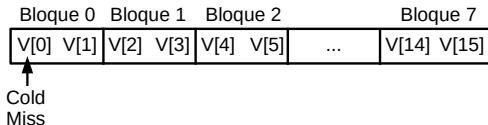
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

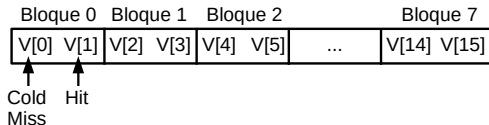
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

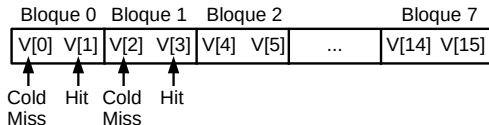
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

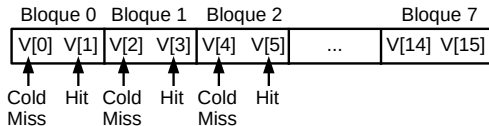
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

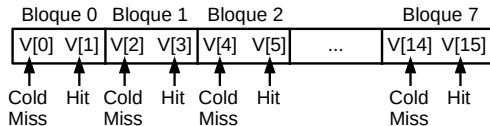
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

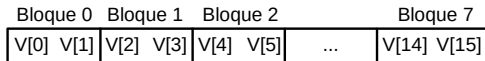
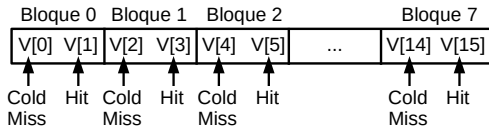
Tamaño de línea = 8 bytes

MC de 4 bloques completamente asociativa

```
int V[16];
int i, s = 0;

for (i = 0; i < 16; i++)
    s += V[i];
```

```
for (i = 0; i < 16; i++)
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

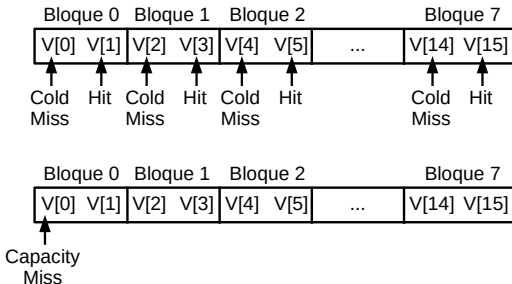
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)  
    s += V[i];
```

```
for (i = 0; i < 16; i++)  
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

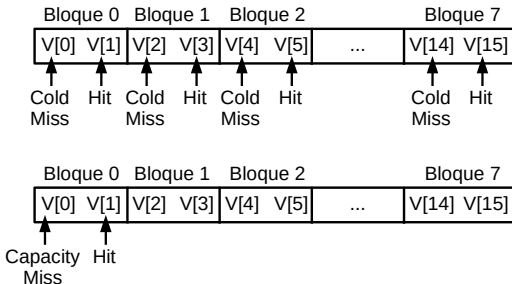
MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)
    s += V[i];
```

```
for (i = 0; i < 16; i++)
    s += V[i] * 3;
```



Capacity Misses - Ejemplo

Procesador de 32 bits

Tamaño de línea = 8 bytes

MC de 4 bloques completamente asociativa

```
int V[16];
```

```
int i, s = 0;
```

```
for (i = 0; i < 16; i++)
    s += V[i];
```

```
for (i = 0; i < 16; i++)
    s += V[i] * 3;
```

