

# EJERCICIO 1 DE LA PRUEBA 2 DE ARQUITECTURA DE COMPUTADORES. Huelva, 19 de Junio de 2020

Apellidos ..... Nombre .....

Valor de cada: Respuesta correcta + 0.1  
 Respuesta incorrecta - 0.05  
 No respuesta - 0.05

NOTA →

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

1	<b>Sea un sistema computador A que dedica 10 segundos a un proceso, si se dice que es el 30% más rápido que el computador B:</b>		
	A) El computador B dedica 13 segundos al mismo proceso	C) El computador A dedica 3 segundos más que el B	
	B) El computador B dedica 30 segundos al mismo proceso	D) El computador A dedica 0,3 segundos menos que el B	
2	<b>Sea un computador sobre el que se aplica una mejora que hace que aumente su velocidad en un factor de x4 durante el 40% del tiempo:</b> [aceleración global = 1/(fracción sin mejora + (fracción mejorada/aceleración mejorada))]		
	A) La aceleración global conseguida es de 1.92	C) La fracción mejorada es del 60%	
	B) La aceleración global conseguida es de 1,29	D) La fracción mejorada es de 2	
3	<b>En un sistema computador con frecuencia de procesamiento de 1 GHz, dedica 30 ns a ejecutar 6 instrucciones:</b>		
	A) Equivale a 1 ns por instrucción	C) Equivale a 5 CPI	
	B) Equivale a 180 CPI	D) Equivale a 0.5 ns por instrucción	
4	<b>En relación a los MIPS, ¿qué afirmación es correcta?:</b>		
	A) Son independientes del repertorio de instrucciones	C) Máquinas más rápidas significan menos MIPS	
	B) Pueden variar entre programas en el mismo computador	D) Ninguna de las afirmaciones anteriores es correcta	
5	<b>Sea un sistema computador con rendimiento valorado en 1 MIPS, ¿cuánto tiempo dedicará a la ejecución de un programa formado por 1000 instrucciones?:</b>		
	A) 100 ms	C) 1 ms	
	B) 10 μs	D) 12 μs	
6	<b>En relación a la M. Principal y M. Caché, indique la afirmación que es cierta:</b>		
	A) La M. Caché contiene una copia total de la MP	C) La MP tiene menor tamaño que la M. Caché	
	B) La transferencia de información se hace a nivel de palabra	D) MP y M. Caché comparten el mismo tamaño de bloque	
7	<b>En relación a las técnicas de mejora de rendimiento de la memoria principal:</b>		
	A) La memoria principal más ancha reduce el tiempo de penalización por fallo en la M. Caché	C) La memoria entrelazada mejora el tiempo de acceso a una única posición pero no el acceso a un bloque	
	B) El entrelazado no mejora el sistema de memoria	D) Ninguna de las afirmaciones anteriores es correcta	
8	<b>De las funciones de correspondencia de la M. Caché:</b>		
	A) La asociativa por conjuntos necesita una circuitería menos compleja que la directa	C) La totalmente asociativa necesita una circuitería más compleja que la asociativa por conjuntos	
	B) La directa requiere definir algoritmo de reemplazo	D) Las tres comparten el mismo formato de dirección	
9	<b>Para localizar el bloque donde se encuentra la palabra solicitada por la CPU, la función de correspondencia asociativa por conjuntos, necesita:</b>		
	A) Tantos elementos comparadores como bloques tiene en total	C) Tantos elementos comparadores como bloques formen el conjunto	
	B) Tantos elementos comparadores como conjuntos tiene	D) Un solo elemento comparador	
10	<b>Sea una memoria caché de dos niveles L1 y L2, si de 200 referencias a memorias solicitadas por la CPU, el nivel L1 contiene 100 aciertos y L2 40 aciertos:</b>		
	A) La tasa local de fallos de L1 es del 100%	C) La tasa global de fallos de L2 es del 60%	
	B) La tasa local de fallos de L2 es del 60%	D) La tasa global de aciertos de L2 es del 90%	
11	<b>Sea la secuencia de instrucciones LOAD A, ADD B, STORE C, con A, B, C posiciones de memoria:</b>		
	A) En una máquina basada en banco de registros, suma dos valores y almacena el resultado	C) En un computador de tres direcciones, suma dos valores de memoria y almacena el resultado	
	B) En un computador basado en acumulador, Suma dos valores de la memoria y almacena el resultado	D) Ninguna de las afirmaciones anteriores es correcta	
12	<b>¿Qué secuencia de instrucciones sería correcta en un computador basado en banco registros, con modelos de ejecución Reg-Reg y Reg-Mem, para realizar la suma de dos posiciones de memoria, A y B, dejando el resultado en la dirección de memoria A?</b>		
	A) LD R1, A; LD R2, B; ADD R1, R2	C) LD R1, A; ADD R1, B; ST A, R1	
	B) ADD A, B	D) Ninguna de las afirmaciones anteriores es correcta	
13	<b>¿Qué secuencia de instrucciones sería correcta en un computador de dos direcciones, con modelos de ejecución Reg-Reg, Reg-Mem y Mem-Mem, para realizar la suma de dos posiciones de memoria, A y B, dejando el resultado en la dirección de memoria A?</b>		
	A) ADD A, B	C) LD R1, A; LD R2, B; ADD R1, R2	
	B) ADD R1, A; ADD R1, B; ST A, R1	D) Es imposible de realizar la operación en ese tipo de computador	
14	<b>Sea el esquema de computador basado en la arquitectura Von Neumann estudiada, para realizar una operación de escritura en memoria:</b>		
	A) Se necesita definir el valor del registro de Datos (RM) siempre	C) Se necesita algunas veces definir el valor del registro de direcciones D	
	B) Se necesita definir el valor del registro PC	D) Se necesita definir el valor del registro SP	
15	<b>Sea un computador con unidad de control microprogramada con secuenciamiento explícito, repertorio de 512 instrucciones y Memoria de Control de 2 Kpos:</b>		
	A) La etapa traductora ROM es de 9 pos x 11 bits	C) La etapa traductora ROM es de 512 pos x 11 bits	
	B) No necesita etapa traductora	D) Ninguna de las afirmaciones anteriores es correcta	

16	<b>Sea un computador con unidad de control microprogramada con secuenciamiento implícito, y Memoria de Control de 2 Kpos:</b>		
	A) El repertorio está formado por 2 K instrucciones B) El firmware lo conforman 2 <sup>11</sup> microinstrucciones	C) El firmware lo conforman 11 microinstrucciones D) Faltan datos para conocer el n° de microinstrucciones	
17	<b>Sea un sistema con arquitectura von Neumann, indica la/s instrucción/es que implica/n acceso de lectura en pila:</b>		
	A) CALL y BZ B) La instrucción RETI	C) ADD .2, 4 con trap por desbordamiento D) RET y CALL	
18	<b>Comparando las arquitecturas de un procesador segmentado y uno superescalar:</b>		
	A) Ambas son arquitecturas segmentadas B) El procesador segmentado alcanza un nivel de paralelismo superior	C) Ambas son arquitecturas serie D) El procesador superescalar es siempre menos eficiente que el segmentado	
19	<b>Sea la instrucción LF F0, 10(R1) ejecutada en una arquitectura DLX:</b>		
	A) La fase de ejecución requiere de una unidad funcional de tipo flotante B) No puede ejecutarse porque R1 debe ser de tipo float	C) La fase de ejecución pasa por la unidad funcional de enteros D) No puede ejecutarse porque F0 = 0	
20	<b>Sea la arquitectura DLX estudiada con unidades funcionales de tipo float multiciclo:</b>		
	A) Puede presentar riesgos de tipo WAW B) Únicamente puede presentar riesgos de tipo RAW	C) No puede ejecutar una fase WB una instrucción, antes que otra anterior en la secuencia D) Puede presentar riesgos de tipo RAR	
21	<b>Sea la secuencia de instrucciones LW R1, 10(R2) ST 20(R3), R1:</b>		
	A) Se beneficia si existe adelantamiento ALU-MEM B) Se beneficia si existe adelantamiento ALU-ALU	C) Se beneficia si existe adelantamiento MEM-MEM D) Se beneficia si existe adelantamiento MEM-ALU	
22	<b>Sea el conjunto de instrucciones:</b>	<b>MULTF F2, F0, F1 DIVF F3, F0, F1</b>	<b>ejecutadas sobre una arquitectura DLX con una unidad funcional de Multiplicación/División flotante de 5 ciclos segmentada:</b>
	A) Las fases de ejecución durarán 10 ciclos en total B) Las fases de ejecución durarán 6 ciclos en total	C) Presenta un riesgo de tipo RAW D) Ninguna de las afirmaciones anteriores es correcta	
23	<b>Para implementar la operación vectorial F0*V1, siendo F0 un registro tipo float y V1 un vector de 64 elementos:</b>		
	A) No se puede multiplicar registros float por un registro vectorial B) Se emplearía la instrucción vectorial MULTV de la arquitectura DLXV	C) Se emplearía la instrucción vectorial MULTV de la arquitectura DLX escalar D) Se debe emplear la instrucción MULTV y repetirla en un bucle un total de 64 veces en la arquitectura DLXV	
24	<b>Sea X un vector de 130 elementos sobre el que se realiza una operación vectorial en una arquitectura DLXV con longitud máxima de vector MVL = 64:</b>		
	A) El vector se divide en 3 secciones de 64 elementos y una última de 2 B) El vector se opera en su totalidad sin seccionamiento	C) El vector se divide en 2 secciones D) El vector se divide en 3 secciones	
25	<b>Sea un bucle con sentencia S: B(i) = B(i-1)*K; B(0)=2; i = 1...64:</b>		
	A) La sentencia S no es vectorizable B) La sentencia es vectorizable porque se multiplica por una constante K	C) La sentencia es vectorizable porque B(0)=2 D) Ninguna de las afirmaciones anteriores es correcta	
26	<b>Sea la arquitectura DLXV con 16 bancos de memoria, si la CPU solicita la dirección 136 y siguientes:</b>		
	A) Ésta se ubicará en el Banco 0 B) Ésta se ubicará en el Banco 15	C) Ésta se ubicará en el Banco 1 D) Ésta se ubicará en el Banco 14	
27	<b>Sea la operación vectorial MULTV V2, V1, V0 (vectores de 64 elementos) con tiempo de arranque de 6 ciclos y tasa de iniciación de 1 ciclo/resultado, el tiempo de operación vectorial es de:</b>		
	A) 70 ciclos B) (64x6) ciclos	C) (3x64x6) ciclos D) (6+1) ciclos	
28	<b>En base a la clasificación de Flynn sobre los sistemas computadores, en una arquitectura de tipo MISD:</b>		
	A) El flujo de instrucciones es compartido B) Hay un flujo de instrucciones por cada procesador	C) No hay memoria para las instrucciones D) Ninguna de las afirmaciones anteriores es correcta	
29	<b>Atendiendo a la clasificación de los multiprocesadores estudiada, en el multiprocesador NUMA:</b>		
	A) Dependiendo de la dirección de memoria, un procesador puede obtener un dato en más o menos tiempo B) Todos los procesadores tienen el mismo tiempo de acceso de memoria	C) El tiempo de acceso, sea cual sea la posición, es siempre mayor que en un multiprocesador UMA D) Todos los procesadores comparten la misma memoria caché obligatoriamente	
30	<b>Según la clasificación de Flynn, dónde encajaría un array sistólico y un array de frente de onda:</b>		
	A) En MIMD ambos B) En SIMD ambos	C) En MISD ambos D) En MIMD el sistólico y en MISD el de frente de onda	
31	<b>Considerando una arquitectura escalar multihebra (o multihilo) con entrelazado:</b>		
	A) Conmuta a otra hebra después de cada ciclo B) La arquitectura escalar no puede ser multihebra	C) Conmuta a otra hebra después de cada detención D) Conmuta a otra hebra cuando finaliza con la anterior	
32	<b>En el diseño de una arquitectura de computador, indique la afirmación que es cierta:</b>		
	A) La arquitectura Von Neumann presenta más ventajas que el resto de arquitecturas estudiadas B) La frecuencia de procesamiento no condiciona el tiempo de ejecución	C) El repertorio de instrucciones es más completo y eficaz cuantas más instrucciones tiene D) En la arquitectura DLX, las etapas para la ejecución de una instrucción pueden necesitar más de un ciclo	
33	<b>Comparando dos sistemas, uno con memoria caché partida y otro con memoria caché unificada:</b>		
	A) El de caché partida es siempre más lento B) El de caché partida no necesita controlador de caché	C) El de caché unificada necesita un controlador de caché más sencillo que el de la partida D) Ninguna de las afirmaciones anteriores es correcta	

Huelva, 15 de Mayo de 2020

**PROBLEMA 1. (2,5 ptos.).** Un sistema computador (sin memoria virtual) tiene una Memoria Principal de 1 Mpalabras de 8 bits cada una de ellas, dividida en bloques de 256 palabras/bloque; y una Memoria Caché de 2 Kpalabras, con función de correspondencia Totalmente Asociativa.

1. Indicar la capacidad en bits de la Memoria Principal.
2. Indicar la capacidad en Bytes de la Memoria Caché.
3. Indicar el número de bloques que conforman la Memoria Principal y la Memoria Caché.
4. Indicar el formato de la dirección que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide.
5. Se supone que, después de haber estado la memoria caché “vacía”, a continuación, en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal B6, B8, B15, B17, B0, B1 y B2, leídos en ese orden y todas sus direcciones ordenadamente una vez. Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used). Mostrar el contenido de la memoria caché en el *instante 1*.
6. Identificar cuántos fallos de caché se han producido y de qué tipo y cuántos aciertos hasta ese *instante 1*.
7. A continuación, la CPU lee la secuencia de direcciones de memoria: 1530, 1540, 1550, 4000, 2000 y 2048 (*instante 2*), según el orden marcado en la misma. Indicar el contenido de la memoria caché en el *instante 2*.
8. En ese *instante 2*, indicar cuántos fallos y de qué tipo se han producido y cuántos aciertos se ha producido en total.
9. Indicar el formato de dirección en binario de la dirección que provoca el último fallo.
10. Indicar la frecuencia de uso del último bloque introducido en memoria caché respecto del total de referencias a todos los bloques desde el instante 0?



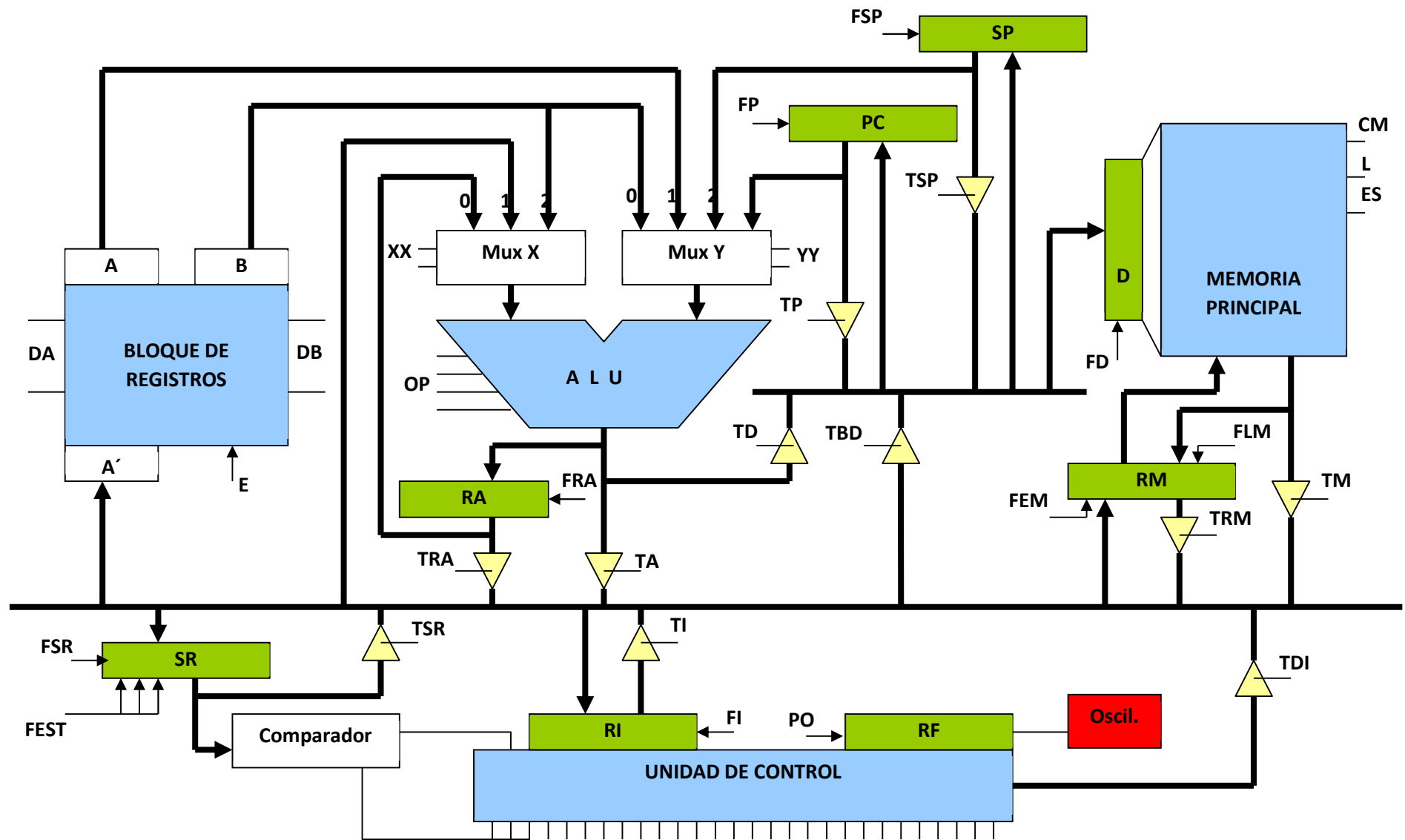
**PROBLEMA 2.** Para el sistema computador representado en la figura y las tres instrucciones siguientes:

INSTRUCCIÓN (en ensamblador)	
<b>BNC 17(.5) (C=0)</b>	<div></div>
<b>AND .3, 12(.4++)</b>	<div></div>
<b>ADD .4, .3 (trap)</b>	<div></div>

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas, para cada instrucción en el mismo orden mostrado.
3. Definir el valor de las señales de control correspondiente a la secuencia ordenada de operaciones elementales  $SP, D \leftarrow SP - 1$  y  $M(D) \leftarrow PC$ , realizadas en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

Teniendo en cuenta:

- a) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- b) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán después del periodo de decodificación (Periodo de decodificación sencillo).
- c) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- d) Las operaciones de L/E en memoria se realizan durante dos periodos.
- e) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila SP indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- f) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de PC.









La Rábida, 19 de Junio de 2020

Apellidos:	Nombre:
------------	---------

**PROBLEMA 3.** (2 ptos.). El siguiente fragmento de código se ejecuta en un procesador con arquitectura DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 4 (las unidades funcionales para operaciones en coma flotante están **segmentadas**).

LF F2, 20(R1)

LF F3, 10(R2)

ADDI R1, R1, #4

SUBI R2, R2, #4

FMULT F6, F7, F8

FDIV F7, F2, F3

FADD F6, F2, F5

SF 30(R0), F7

- Suponiendo que la **memoria caché** está **unificada** y no existe **ningún tipo de adelantamiento**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; indicar si existen detenciones en la cadena, qué tipo de detención y a qué se debe.
- Suponiendo que la **memoria caché** está **partida (caché de datos y caché de instrucciones)** y existe **adelantamiento generalizado**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; indicar si existen detenciones en la cadena y a qué se deben e indicar los adelantamientos que se realizan y entre qué etapas actúan.

<b>Etapas</b>	<b>Instrucción ALU</b>	<b>Carga/Almacenamiento</b>	<b>Salto/Bifurcación</b>
<b>IF</b>	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
<b>ID</b>	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
<b>EX</b>	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16} \text{##} IR1_{16..31})$	$MAR \leftarrow A + (IR1_{16})^{16} \text{##} IR1_{16..31}$ $SMDR \leftarrow B$	<div> <b>Salto</b>  <math>ALU_{output} \leftarrow PC1 + IR1_{16})^{16} \text{##} IR1_{16..31})</math>  <math>Cond \leftarrow (Rs1 \text{ op } 0);</math>  <b>Bifurcación</b>  <math>ALU_{output} \leftarrow PC1 + IR1_{26})^6 \text{##} IR1_{6..31})</math> </div>
<b>MEM</b>	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
<b>WB</b>	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

**Tabla.** Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LF F2, 20 (R1)																														
LF F3, 10 (R2)																														
ADDI R1, R1, #4																														
SUBI R2, R2, #4																														
FMULT F6, F7, F8																														
FDIV F7, F2, F3																														
FADD F6, F2, F5																														
SF 30 (R0), F7																														
Detenciones							Detenciones						Adelantamientos						Adelantamientos											

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LF F2, 20 (R1)																														
LF F3, 10 (R2)																														
ADDI R1, R1, #4																														
SUBI R2, R2, #4																														
FMULT F6, F7, F8																														
FDIV F7, F2, F3																														
FADD F6, F2, F5																														
SF 30 (R0), F7																														
Detenciones							Detenciones										Adelantamientos						Adelantamientos							