

PRACTICA 3

ESTRUCTURA DE COMPUTADORS

RENDIMENT I MEMORIA CACHE

David Quintana Palomar

Raúl Martín Morales

Curso 2023/24

INDEX:

1. Fase 1.....	3
1.1. Tarea 1.....	3
1. 2. Tarea 2.....	5
1.3. Tarea 3.....	7
1.4. Tarea 4.....	9
1.5. Tarea 5.....	11
1.6. Tarea 6.....	13
1.7. Tarea 7.....	15
1.8. Tarea 8.....	17

1. Fase 1

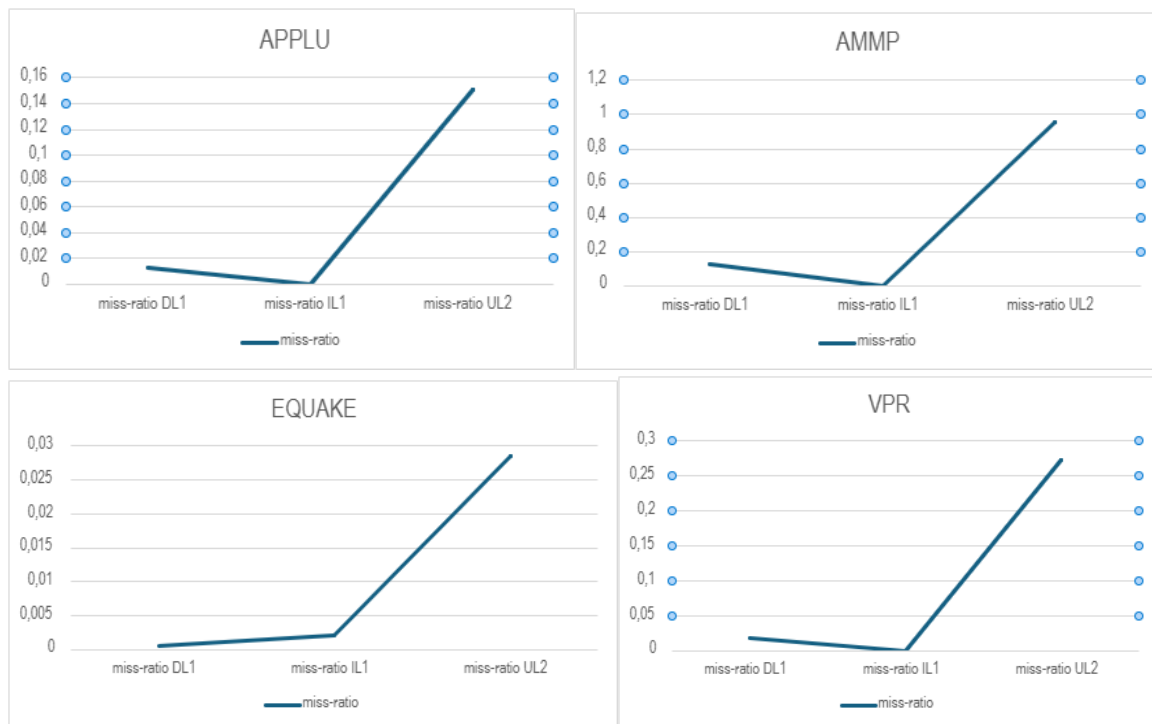
TAREA 1. Configuración básica. Realizad las simulaciones necesarias para mostrar el comportamiento (miss ratio e IPC) de los valores base asumidos en esta práctica para la caché de datos de 1er nivel (DL1), la caché de instrucciones de 1er nivel (IL1) y para la caché unificada de datos e instrucciones de 2º nivel (UL2). (0.5P)

Objetivos

El objetivo principal de esta tarea es hacer un estudio del rendimiento de estos 3 cachés según su nivel y entender cómo funcionan las cachés en memoria. Gracias al uso de un script podemos simular las 5 benchmarks y así conseguimos obtener el miss-rate y el IPC de cada caché. Como resultado podemos obtener un miss-rate bajo que significaría que los datos se encuentran en los 3 cachés (de 1er y 2do nivel) por lo tanto la caché habrá tenido un buen rendimiento en la simulación.

Esperamos como resultado que las caches de primer nivel tengan un miss-rate más bajo que la de segundo nivel debido a que las de primer nivel se encuentran más cerca del procesador.

Resolución:





Análisis de Resultados:

En las gráficas capturadas de cada simulación se ve como en la caché de segundo nivel (UL2) normalmente tiene un mayor miss-rate que las otras dos cachés.

Además, el tamaño del bloque del caché de nivel dos es mayor y eso hace que se guarde información innecesaria que también aumentaría el miss-rate.

Si comparamos las dos cachés de primer nivel también podemos observar que la caché de DL1 tiene menor miss-rate que la IL1, esto se puede deber a que su tamaño de total es menor y que su asociatividad es mayor, lo que permite que un bloque de datos tenga más posibles ubicaciones en la caché, y así bajar el miss-rate y mejorar el IPC.

En el caso del eon esto funciona distinto, ya que la cache IL1 no es capaz de guardar todos los datos, por lo tanto, tiene que ir a consultar diferentes datos a la siguiente cache repetidas veces y eso hace que el miss ratio aumente de manera significativa. El miss ratio de la cache de segundo grado es bajo porque seguramente ya tenga la mayoría de los datos que le interese.

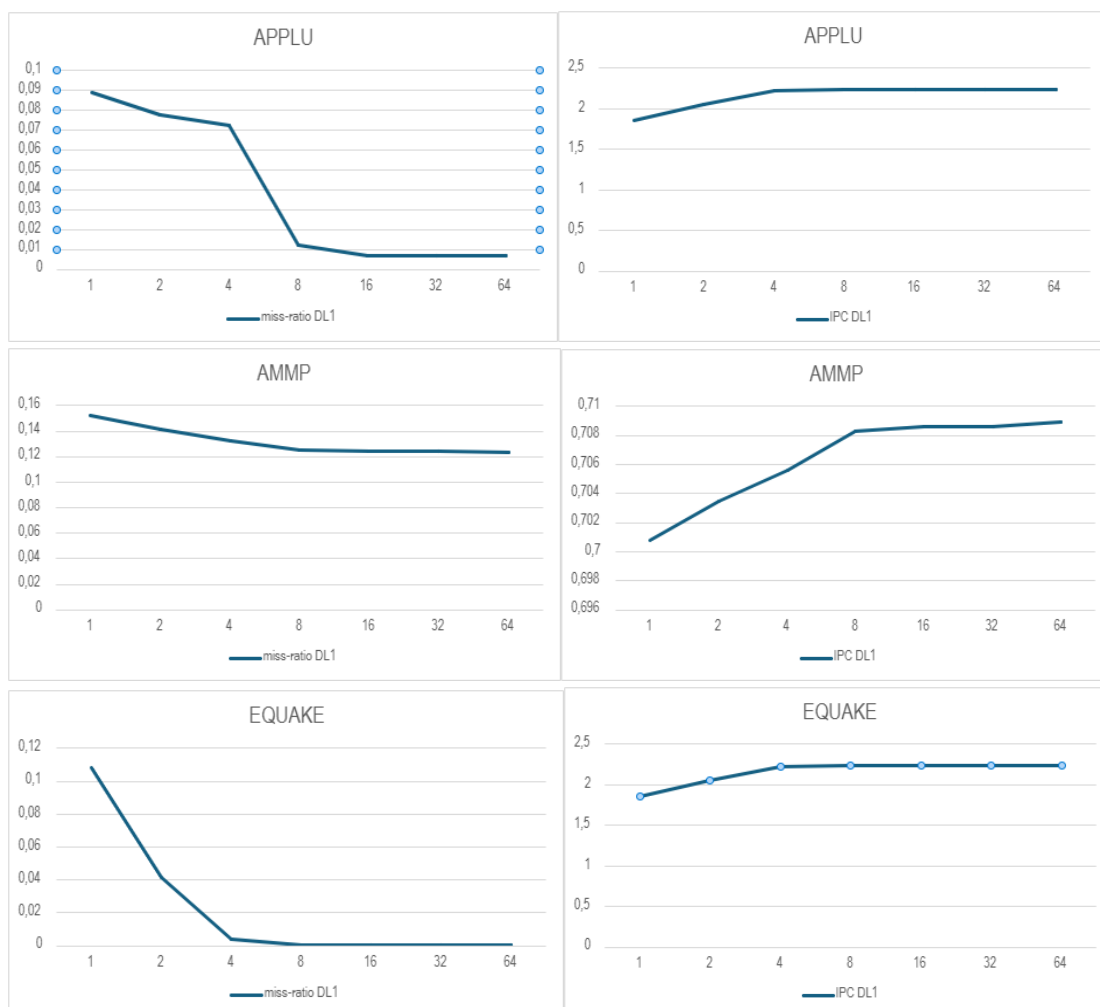
TAREA 2. Tamaño DL1. Asumid las caches del enunciado. Estudiad el comportamiento (miss ratio e IPC) de la caché DL1, al variar su tamaño total y por tanto asumiendo valores de 1KB, 2KB, 4KB, 8KB, 16KB, 32KB y 64KB. Comentad los resultados. (0.5P)

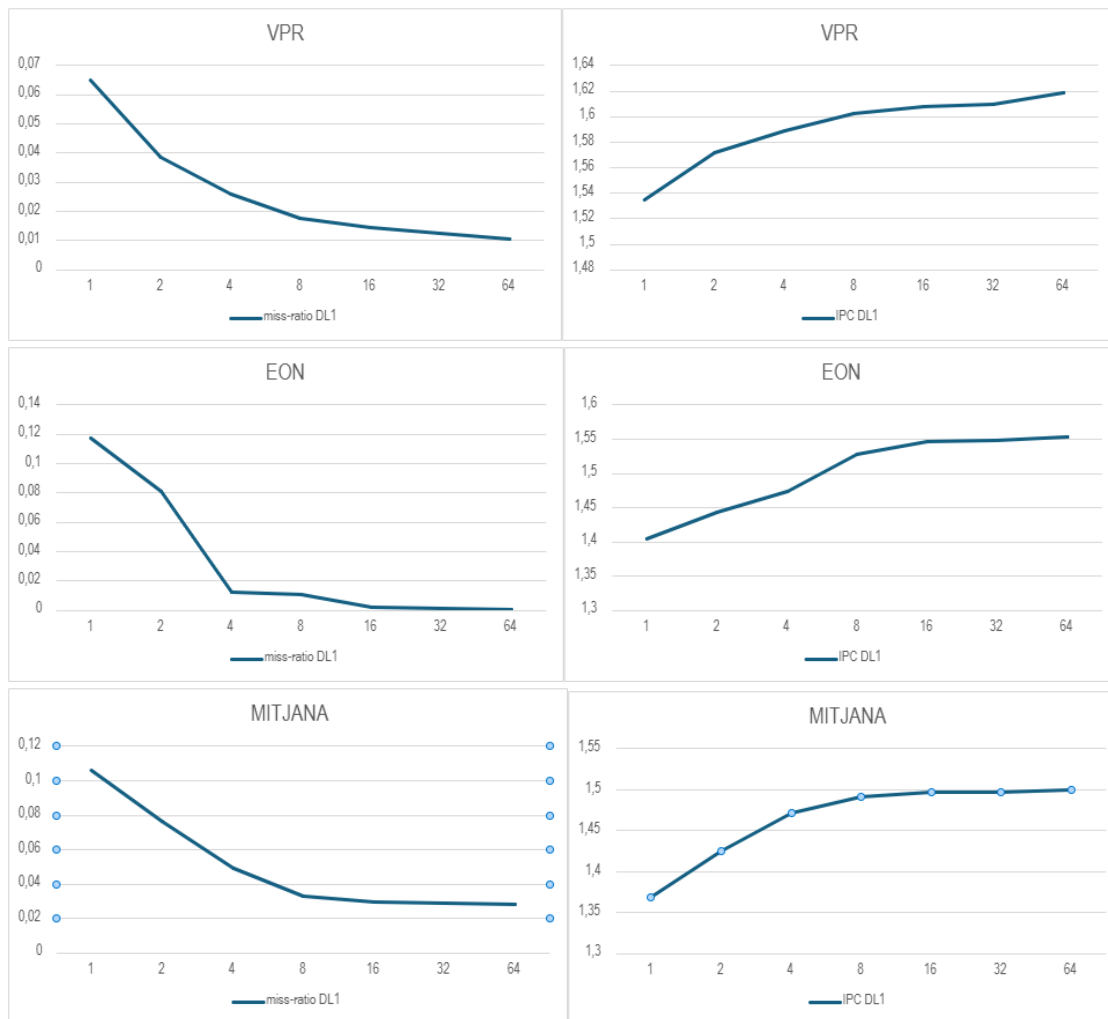
Objetivos

El objetivo de esta segunda tarea es hacer un estudio de como actuará la memoria caché DL1 si variamos su tamaño total (de 1KB hasta 64KB), observaremos si afecta al rendimiento i varia su miss-rate y el IPC. Queremos que el miss-rate sea lo más bajo posible, pero eso depende de si la mayoría de las veces que una solicitud de datos se puede realizar correctamente desde la caché.

Variando el bloque del tamaño total de la DL1 se espera que el miss-rate baje según se vaya subiendo el tamaño total, ya que contra más espacio para almacenar datos será más probable que la solicitud de un dato se encuentre.

Resolución:





Análisis de Resultados:

En las gráficas podemos observar cómo según se va aumentando el tamaño total del caché DL1 se disminuye el miss-rate, gracias a este aumento tendrá un mayor rendimiento a la hora de almacenar datos, la mayoría de las solicitudes de datos estarán disponibles a la caché, y de esta manera podremos reducir la frecuencia con la que se requiere acceder a la memoria principal a obtener datos no encontrados, ya que esto no sería tan eficiente.

A priori, se ve que el aumento del tamaño total a beneficiado a los 5 benchmarks ya que reduce su miss-ratio a medida que aumenta el tamaño. Además, tenemos la gráfica de la media de las 5 benchmarks donde se ve claramente que disminuye el miss-rate.

TAREA 3. Tamaño IL1. Asumid las caches del enunciado. Estudiad el comportamiento (miss ration e IPC) de la caché IL1, al variar su tamaño total y por tanto asumiendo valores de 1KB, 2KB, 4KB, 8KB, 16KB, 32KB y 64KB. Comentad los resultados. (0.5P)

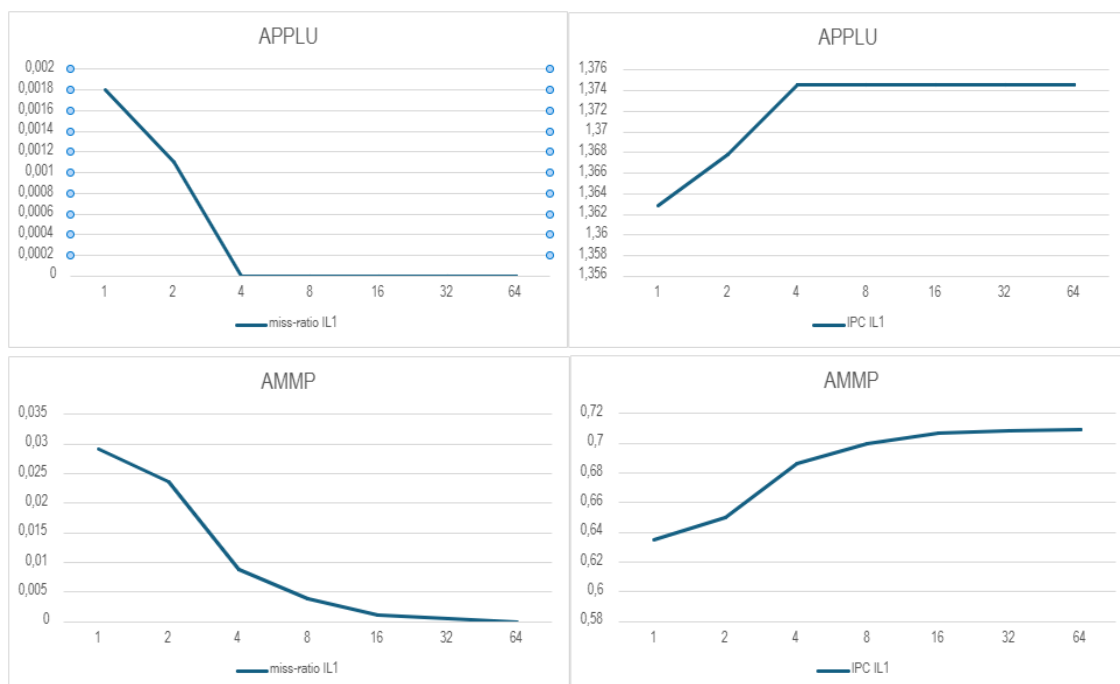
Objetivos

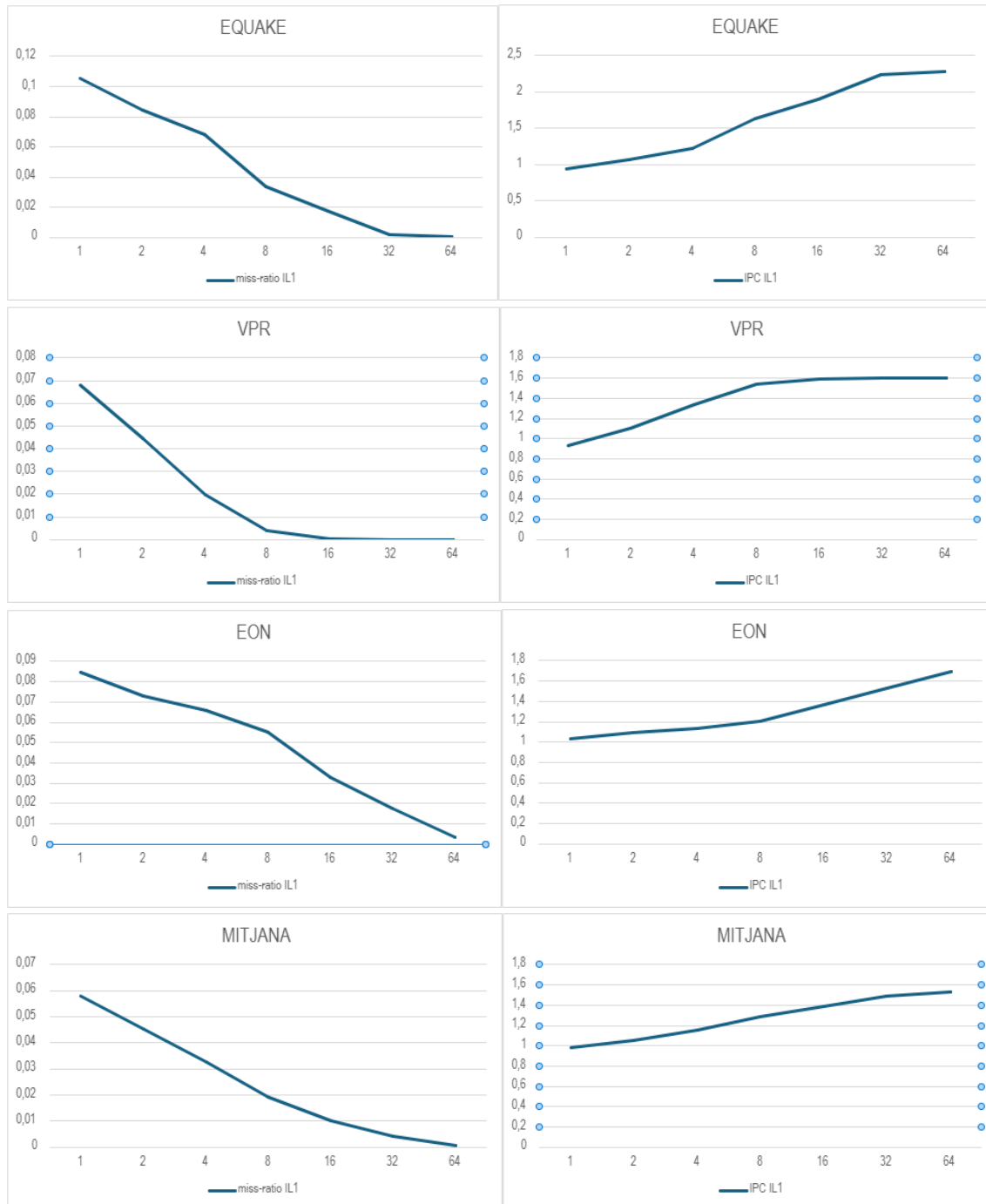
En esta tarea haremos variar el tamaño total del caché IL1 de la misma manera que la anterior tarea, estudiaremos como actúa el miss-rate y el IPC. Avaluaremos hasta qué punto el aumento del tamaño le beneficia a este caché.

Esperamos que el miss-rate disminuya de la misma manera que en la anterior tarea, ja que en general contra más grande sea la caché menos miss-rate debería de tener ya que puede almacenar más instrucciones y datos. Pero, por otro lado, si aumentamos demasiado el tamaño llega a un punto de saturación en que el aumento del tamaño del caché no mejora el miss-rate.

El aumento también ayudará a que se pueda mejorar el IPC ya que se reducirá el tiempo de búsqueda de instrucciones. Aunque un tamaño excesivamente grande de caché podría aumentar la latencia de acceso y no dar buenos resultados de IPC. Se espera que con el aumento del caché siga mejorando el IPC.

Resolución:





Análisis de Resultados:

Se puede ver en las gráficas de cada benchmark como en los pequeños tamaños de caché, donde el tamaño total es de 1KB y 2KB el miss-rate es alto y el IPC relativamente bajo.

A medida que subimos el tamaño, 4KB i 8KB el miss-rate empieza a disminuir y el IPC a mejorar.

Y para los últimos tamaños que son los más grandes, 16KB 32KB i 64KB, se nota una gran mejora en el miss-rate ya que en estos valores el miss-rate es muy bajo y el IPC muy alto.

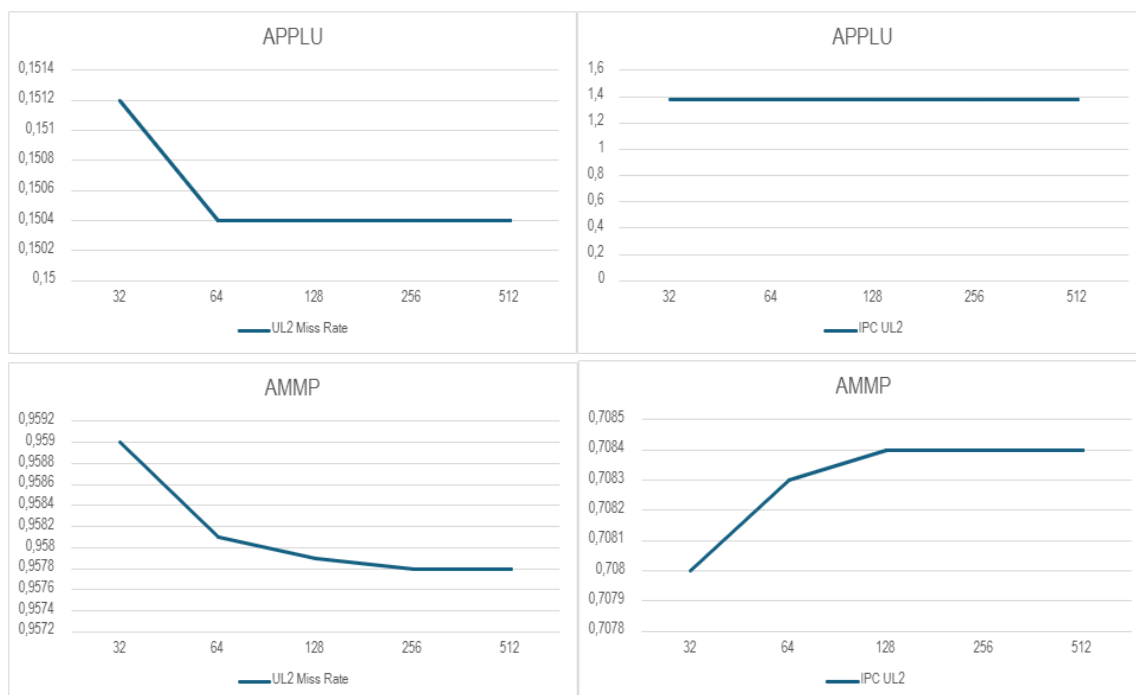
Aun así, a medida que el tamaño crece la tasa de fallos es menos pronunciada, es decir, se nota más la disminución del miss-rate cuando aumentamos el tamaño en los bajos tamaños.

TAREA 4. Tamaño UL2. Asumid las caches del enunciado. Estudiad el comportamiento (miss ratio e IPC) de la caché UL2, al variar su tamaño total y por tanto asumiendo valores de 32KB, 64KB, 128KB, 256KB y 512KB. Comentad los resultados. (0.5P)

Objetivos

En esta tarea consideramos el caché UL2 de segundo nivel, donde le iremos aumentando el tamaño total, igual que en la anterior tarea. Los resultados del miss-rate y el IPC deberían de mejorar según vayamos aumentando el tamaño total, ja que como hemos explicado anteriormente el aumento del tamaño del caché tenemos más espacio para almacenar datos e instrucciones, a consecuencia será más fácil la búsqueda de instrucciones y por lo tanto mejorará el IPC.

Resolución:





Análisis de Resultados:

Se puede ver en las gráficas como el aumento del tamaño total afecta positivamente al miss-rate y al IPC de la caché UL2.

Podemos ver como al principio, en el cambio de tamaño de 32KB a 64KB la disminución del miss-rate es mayor, donde más pronunciada es la bajada.

Según aumentamos sigue mejorando el miss-rate, pero podemos observar a partir del tamaño de 128KB el miss-rate deja de disminuir tan excesivamente.

Y el IPC actúa de la misma manera en la mayoría de benchmarks, menos en la applu que no aumenta ni disminuye, esto se puede deber a que es posible que se esté usando el máximo de la caché UL2 aun estando en el tamaño más pequeño, si la caché ya está saturada en ese punto, por más que aumentemos el tamaño no mejorará el rendimiento. (También podría ser porque está accediendo a datos que no sale beneficiado en la búsqueda y por eso no varía el IPC)

I en la vpr que no se estanca como las demás, entendemos que aún no ha llegado a su punto de saturación ya que parece que su miss-rate y IPC no han llegado a su mejor estado aún.

TAREA 5. Asociatividad DL1. Asumid las caches del enunciado. Estudiad el comportamiento (miss ratio e IPC) de la caché DL1, al variar su asociatividad y por tanto asumiendo valores de 1, 2, 4, 8, 16, 32, 64 vías y totalmente asociativa. Comentad los resultados. (0.75P)

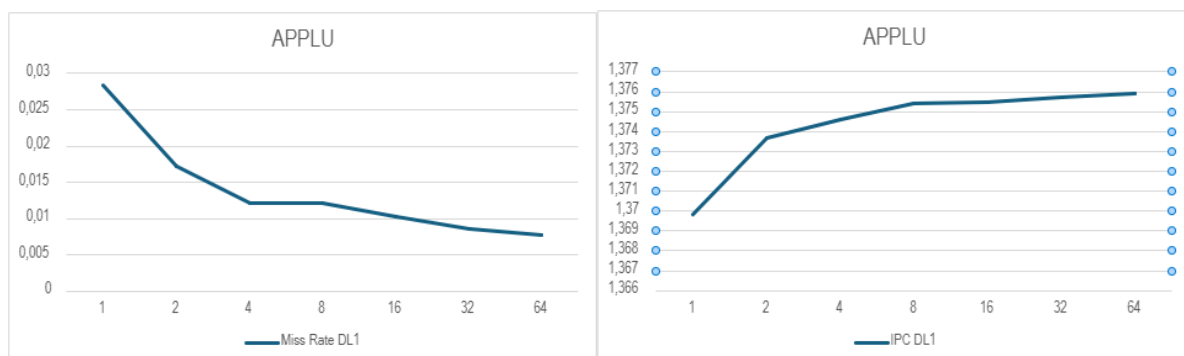
Objetivos

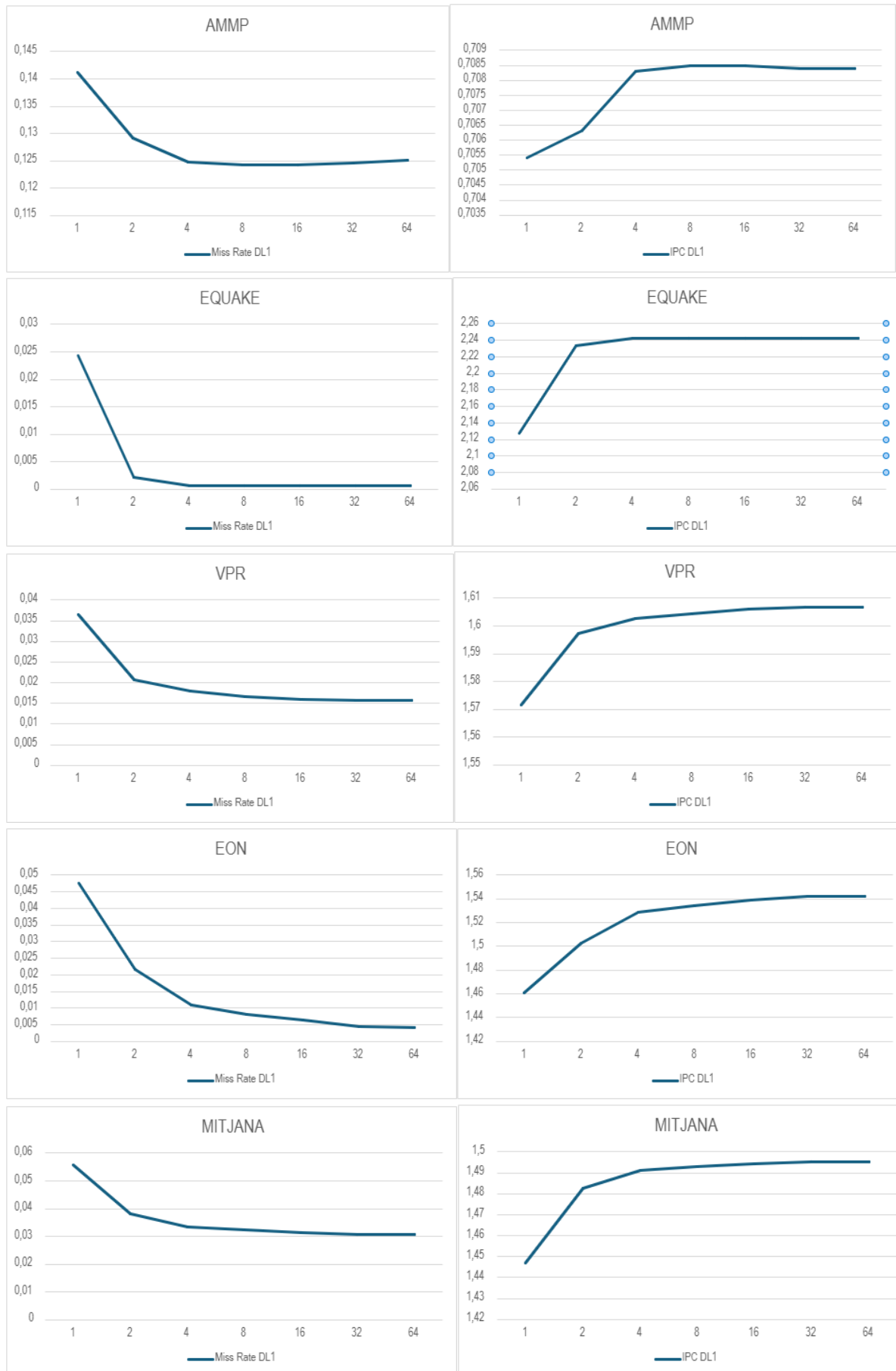
En esta tarea lo que haremos es analizar el miss-rate y IPC de la caché DL1 variando su asociatividad, y haremos un estudio de su rendimiento según la cambiemos, ya que el cambio de vías debería de afectar.

Con una asociatividad baja, significa que tenemos menos vías, con asociatividad 1, cada bloque de memoria solo podría estar en una vía específica. Esto debería afectar negativamente al miss-rate ya que habrá una alta probabilidad que se produzcan conflictos entre bloques de memoria. El IPC también se verá afectado debido a estos conflictos.

En asociatividades grandes el miss-rate debería ir disminuyendo y el IPC aumentando.

Resolución:





Análisis de Resultados:

En todas las gráficas se ve la misma tendencia, donde de la asociatividad 1 a la 4 se nota más la bajada, el IPC actúa igual, de la asociatividad 1 a la 4 es donde más se nota la subida.

En las asociativas más grandes se puede ver un miss-rate mucho más bajo, y un IPC más alto, esto significa que contra más asociatividad tenga la caché mejor rendimiento tendrá en el aspecto del miss-rate y el IPC.

Se podría decir que la mayoría, cuando llegan a un cierto valor de asociatividad, se empiezan a estabilizar en un miss-rate y un IPC.

Cuando la cache está totalmente asociada tiene la menor tasa de fallos, pero también es más costosa de implementar. En cuanto al IPC, si está totalmente asociada, puede tener más tiempo de búsqueda por la complejidad de búsqueda en todas las vías.

TAREA 6. Asociatividad IL1. Asumid las caches del enunciado. Estudiad el comportamiento (miss ratio e IPC) de la caché IL1, al variar su asociatividad y por tanto asumiendo valores de 1, 2, 4, 8, 16, 32, 64 vías y totalmente asociativa. Comentad los resultados. (0.75P)

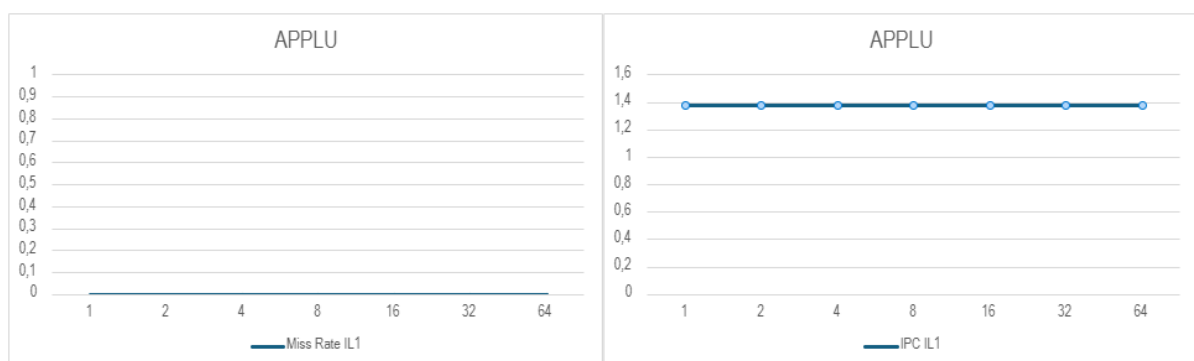
Objetivos

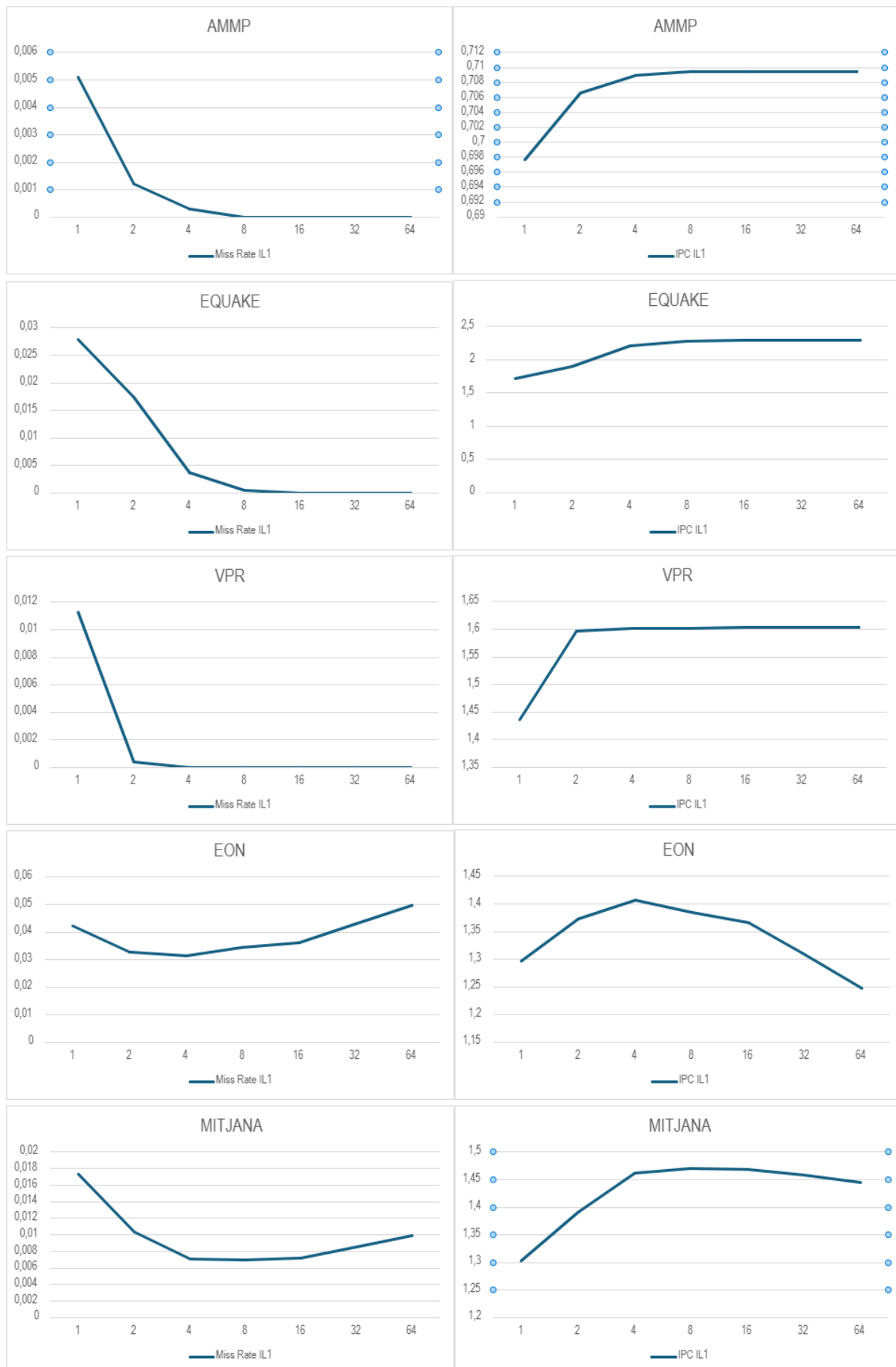
En esta tarea lo que haremos es analizar el miss-rate y IPC de la caché IL1 variando su asociatividad, y haremos un estudio de su rendimiento según la cambiemos, ya que el cambio de vías debería de afectar.

Con una asociatividad baja, significa que tenemos menos vías, con asociatividad 1, cada bloque de memoria solo podría estar en una vía específica. Esto debería afectar negativamente al miss-rate ya que habrá una alta probabilidad que se produzcan conflictos entre bloques de memoria. El IPC también se verá afectado debido a estos conflictos.

En asociatividades grandes el miss-rate debería ir disminuyendo y el IPC aumentando.

Resolución:





Análisis de Resultados:

Las gráficas de la applu ya desde asociatividad 1 hasta 64 han alcanzado su máximo rendimiento, ya que, la cache DL1 ya es suficientemente optima y por lo tanto no necesita acceder a la IL1, como podemos ver el miss ratio es siempre constante a 0 y el IPC también es constante, pero en este caso a 1,4.

En el ammp, el equake i el vpr observamos una tendencia parecida tanto de miss ratio como de IPC. De la asociatividad 1 a 4 es donde se nota una bajada más significativa en el miss ratio, lo mismo pasa con el IPC, en esa franja es donde más sube.

Luego a medida que las asociatividades se hacen más grandes observamos que llegan a un miss ratio de cero. En cuanto al IPC vemos que llegan a un número constante i allí se mantienen.

El eon actúa de una manera un tanto extraña ya que en las asociatividades de la 1 a la 4 el miss ratio disminuye lentamente y el IPC aumenta de esta manera también, pero de la asociatividad 8 hasta la última vemos que el miss ratio va aumentando i el IPC va disminuyendo, superando el valor inicial en el caso del miss rate i llegando a un valor más bajo que el inicial en el caso del IPC.

Que eon se comporte de esta manera, que disminuya el miss-rate y luego suba puede deberse a que eon use accesos a la memoria más distribuidos y esto puede hacer que en cierto punto, tener una mayor asociatividad afecte positivamente.

TAREA 7. Tamaño Bloque DL1. Asumid las caches del enunciado. Estudiad el comportamiento (miss ratio e IPC) de la caché DL1, al variar su tamaño de bloque y por tanto asumiendo valores de 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados. (0.75P)

Objetivos

En esta tarea se vuelve a estudiar el comportamiento de la caché DL1, en este caso haremos variar su tamaño de bloque asumiendo diferentes valores, veremos si afecta a su rendimiento, es decir, si aumenta o disminuye el miss-rate y lo mismo con el IPC.

Primeramente, con 8 bytes se espera que con un tamaño de bloque tan pequeño pueda tener un miss-rate bastante alto debido a que se produce una mayor fragmentación, si cada bloque de caché puede almacenar 8 bytes de datos, en una instrucción de por ejemplo 4 bytes estaríamos desperdiciando espacio, que esto produce una mayor fragmentación y a consecuencia un mayor miss-rate.

El IPC sería bajo porque necesitará acceder a memoria con frecuencia, así que como cada bloque almacena 8 bytes, una instrucción o un dato con menos de 8 bytes, lo alanceará en un bloque completo de 8 bytes en la caché. Al tener mucho espacio desperdiciado el caché se llenará más rápidamente a causa de la fragmentación.

Cuando vayamos aumentando el tamaño del bloque, la fragmentación ira disminuyendo y así ir mejorando el miss-rate y el IPC.

Resolución:





Análisis de Resultados:

La disminución y luego aumento del miss-rate de ammp y eon puede producirse debido a que en tamaño de bloque más pequeño los datos adyacentes se almacenan en la misma línea de caché y esto hace que baje el miss-rate, pero si el tamaño empieza a ser demasiado grande podría haber datos no relacionados cerca que aumentaría el miss-rate.

Sus IPC disminuyen, puede ser porque con un mayor tamaño de bloque puede generar mayor acceso a memoria, y esto significaría que la caché tendría que esperar más disminuyendo el IPC.

En las otras graficas vemos un comportamiento esperado, que cuando aumentemos el tamaño de bloque el miss-rate disminuye y el IPC aumenta.

TAREA 8. Tamaño Bloque IL1. Asumid las caches del enunciado. Estudiad el comportamiento (miss ratio e IPC) de la caché IL1, al variar su tamaño de bloque y por tanto asumiendo valores de 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados. (0.75P)

Objetivos

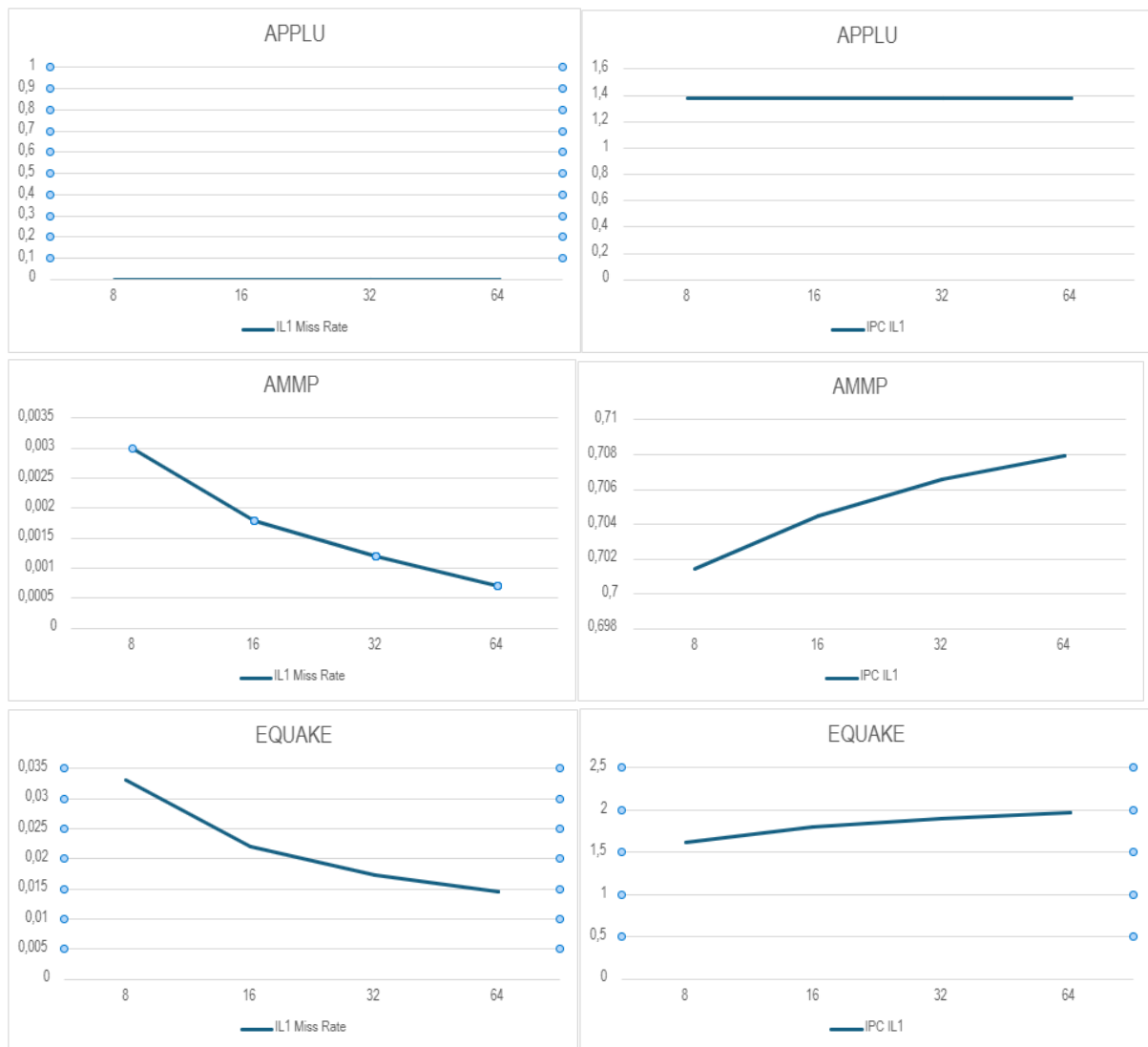
En esta tarea lo que estudiamos es el comportamiento de la caché IL1, como en la anterior, lo que haremos será variar su tamaño de bloque asumiendo diferentes valores, veremos si afecta a su rendimiento, es decir, si aumenta o disminuye el miss-rate y lo mismo con el IPC.

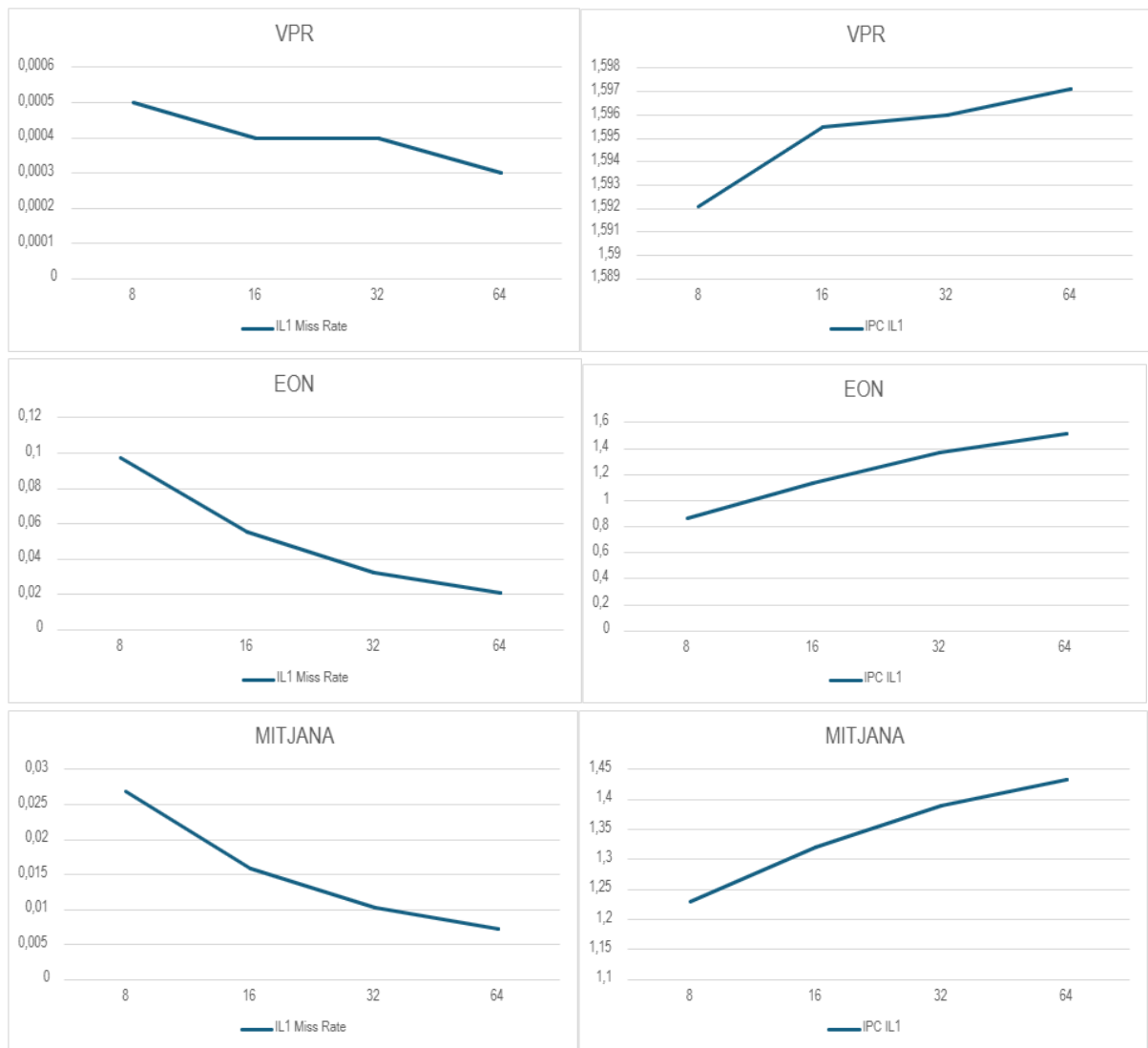
Primeramente, con 8 bytes se espera que con un tamaño de bloque tan pequeño pueda tener un miss-rate bastante alto debido a que se produce una mayor fragmentación, si cada bloque de caché puede almacenar 8 bytes de datos, en una instrucción de por ejemplo 4 bytes estaríamos desperdiciando espacio, que esto produce una mayor fragmentación y a consecuencia un mayor miss-rate.

El IPC sería bajo porque necesitará acceder a memoria con frecuencia, así que como cada bloque almacena 8 bytes, una instrucción o un dato con menos de 8 bytes, lo alcanzará en un bloque completo de 8 bytes en la caché. Al tener mucho espacio desperdiciado el caché se llenará más rápidamente a causa de la fragmentación.

Cuando vayamos aumentando el tamaño del bloque, la fragmentación ira disminuyendo y así ir mejorando el miss-rate y el IPC.

Resolución:





Análisis de Resultados:

Las gráficas de la applu ya desde el tamaño de bloque 8 hasta 64 han alcanzado su máximo rendimiento, ya que, la cache DL1 ya es suficientemente optima y por lo tanto no necesita acceder a la IL1, como podemos ver el miss ratio es siempre constante a 0 y el IPC también es constante, pero en este caso a 1,4.

Los demás gráficos todos actúan de manera esperada, descendiendo el miss rate i aumentando el IPC a medida a medida que crece el tamaño de bloque.