

Departament d'Enginyeria  <b>Informàtica i Matemàtiques</b>  UNIVERSITAT ROVIRA I VIRGILI	<b>Estructura de Computadores</b>
	EC
	Curso 23/24
	Primera Convocatoria
	<b>Práctica 3: Rendimiento y Memoria Caché</b>

# M.Caché: Hit/Miss, Tiempo, Área y Consumo

La práctica consiste en el análisis de la estructura y el comportamiento de una memoria caché en términos de hit/miss ratio, tiempo de acceso, área y consumo a través del estudio de sus parámetros de diseño. También se evaluará la influencia de la memoria caché en el rendimiento global del sistema. Para ello se utilizarán dos herramientas de simulación de memorias caché como son **Simplescalar** y **Cacti** y unos programas de prueba (benchmarks) como son los **Spec CPU 2000**.

**Simplescalar**, es de hecho un conjunto de herramientas que permiten el modelado de simples procesadores monociclo hasta complejos procesadores superescalares con ejecución fuera de orden y jerarquía de memoria de varios niveles. En esta práctica se hará uso de uno de los simuladores que incorpora (*sim-outorder*) que permite parametrizar una memoria caché y recolectar estadísticas de comportamiento (hit/miss ratio) tras la ejecución de un programa de prueba.

**Cacti** es una herramienta de simulación que también permite parametrizar memorias caché para obtener un modelo que proporciona tiempos de acceso, área de silicio y consumo tanto de manera global como de manera parcial de sus diferentes componentes.

Finalmente, los **Spec CPU 2000** son un conjunto de programas de prueba (benchmarks) que proporciona la **Standard Performance Evaluation Corporation**. Esta organización es un consorcio sin ánimo de lucro que incluye entre otros a universidades, grupos de investigación, y fabricantes de microprocesadores con el objetivo de proporcionar un marco común que sirva como estándar para medir el rendimiento de los computadores. Para esta práctica, se hará uso de un subconjunto de 5 benchmarks disponibles a través de la imagen y también del espacio moodle de la asignatura.

## Comentarios

- La práctica se realizará en **GRUPOS DE 2 PERSONAS**
- Se realizará una entrevista con todos los integrantes del grupo en la sesión de laboratorio que tienen asignada.
- La entrega se realizará en moodle siguiendo las directrices que se indican al final del documento

## FASE 1: Hit/Miss Ratio

Para los distintos estudios que se deben realizar, y si no se indica lo contrario, tened en cuenta los siguientes comentarios:

1. Los resultados de las simulaciones se mostrarán a través de gráficas, dónde el eje vertical será la tasa de fallos de caché (miss ratio) y el IPC y el eje horizontal el parámetro de caché a estudiar.
2. Para cada estudio se presentará una gráfica con los resultados individuales de cada benchmark y con la media de todos ellos.
3. Para cada estudio se variará el valor del parámetro a estudiar. Si no se indica lo contrario se dejarán fijos el resto de los parámetros y se utilizarán los valores que se indican a continuación:

DL1 (Caché de datos de 1er nivel)

- tamaño total: 8 KB
- asociatividad: 4
- tamaño de bloque: 32
- política de reemplazo: LRU

IL1 (Caché de instrucciones de 1er nivel)

- tamaño total: 16 KB
- asociatividad: 2
- tamaño de bloque: 32
- política de reemplazo: LRU

UL2 (Caché de datos/instrucciones de 2º nivel)

- tamaño total: 64 KB
- asociatividad: 8
- tamaño de bloque: 64
- política de reemplazo: LRU

4) La lista de 5 benchmarks que se utilizarán para las simulaciones es la siguiente:

- ammp
- applu
- eon
- earthquake
- vpr

5) Para cada benchmark simulado, se saltarán 100 millones de instrucciones y se recolectarán las estadísticas para los siguientes 100 millones. Además, se utilizarán los datos de entrada **REF**.

**TAREA 1. Configuración básica.** Realizad las simulaciones necesarias para mostrar el comportamiento (*miss ratio e IPC*) de los valores base asumidos en esta práctica para la caché de datos de 1er nivel (DL1), la caché de instrucciones de 1er nivel (IL1) y para la caché unificada de datos e instrucciones de 2º nivel (UL2). **(0.5P)**

**TAREA 2. Tamaño DL1.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché DL1, al variar su **tamaño total** y por tanto asumiendo valores de 1KB, 2KB, 4KB, 8KB, 16KB, 32KB y 64KB. Comentad los resultados. **(0.5P)**

**TAREA 3. Tamaño IL1.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché IL1, al variar su **tamaño total** y por tanto asumiendo valores de 1KB, 2KB, 4KB, 8KB, 16KB, 32KB y 64KB. Comentad los resultados. **(0.5P)**

**TAREA 4. Tamaño UL2.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché UL2, al variar su **tamaño total** y por tanto asumiendo valores de 32KB, 64KB, 128KB, 256KB y 512KB. Comentad los resultados. **(0.5P)**

**TAREA 5. Asociatividad DL1.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché DL1, al variar su **asociatividad** y por tanto asumiendo valores de 1, 2, 4, 8, 16, 32, 64 vías y totalmente asociativa. Comentad los resultados. **(0.75P)**

**TAREA 6. Asociatividad IL1.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché IL1, al variar su **asociatividad** y por tanto asumiendo valores de 1, 2, 4, 8, 16, 32, 64 vías y totalmente asociativa. Comentad los resultados. **(0.75P)**

**TAREA 7. Tamaño Bloque DL1.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché DL1, al variar su **tamaño de bloque** y por tanto asumiendo valores de 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados. **(0.75P)**

**TAREA 8. Tamaño Bloque IL1.** Asumid las caches del enunciado. Estudiad el comportamiento (*miss ratio e IPC*) de la caché IL1, al variar su **tamaño de bloque** y por tanto asumiendo valores de 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados. **(0.75P)**

## FASE 2: Tiempo de Acceso, Área y Consumo

Para los distintos estudios que se deben realizar tened en cuenta los siguientes comentarios:

1) Los resultados de las simulaciones se mostrarán a través de tres gráficas dónde el eje vertical será el tiempo de acceso o área o consumo y el eje horizontal el parámetro de caché a estudiar.

2) Para cada estudio, se variará el valor del parámetro a estudiar y se dejarán fijos el resto de los parámetros. Los valores que a continuación se detallan, se utilizarán como valores base:

- tamaño de caché: 16 KB
- tamaño de línea/bloque: 16 bytes
- asociatividad: 1 vía
- escala de integración: 32 nm

**TAREA 9. Tamaño Total Caché.** Estudiad el tiempo de acceso (ns), área (mm<sup>2</sup>), consumo estático (W) y consumo dinámico por cada lectura (J) de una memoria caché con los **tamaños totales** siguientes: 16KB, 32KB, 64KB, 128KB, 256KB, 512KB, 1MB, 2MB, 4MB, 8MB. Comentad los resultados. **(0.75P)**

**TAREA 10. Escala de Integración.** Estudiad el tiempo de acceso (ns), área (mm<sup>2</sup>), consumo estático (W) y consumo dinámico por cada lectura (J) de la memoria caché con las **escalas de integración** siguientes: 90nm, 65nm, 45nm, 32nm. Comentad los resultados. **(0.75P)**

**TAREA 11. Asociatividad Caché.** Estudiad el tiempo de acceso (ns), área (mm<sup>2</sup>), consumo estático (W) y consumo dinámico por cada lectura (J) de una memoria caché con las **asociatividades** siguientes: 1 vía, 2 vías, 4 vías, 8 vías, 16 vías, 32 vías y 64 vías. Comentad los resultados. **(0.75P)**

**TAREA 12. Tamaño Bloque.** Estudiad el tiempo de acceso (ns), área (mm<sup>2</sup>), consumo estático (W) y consumo dinámico por cada lectura (J) de una memoria caché con los **tamaños de bloque** siguientes: 8 bytes, 16 bytes, 32 bytes y 64 bytes. Comentad los resultados. **(0.75P)**

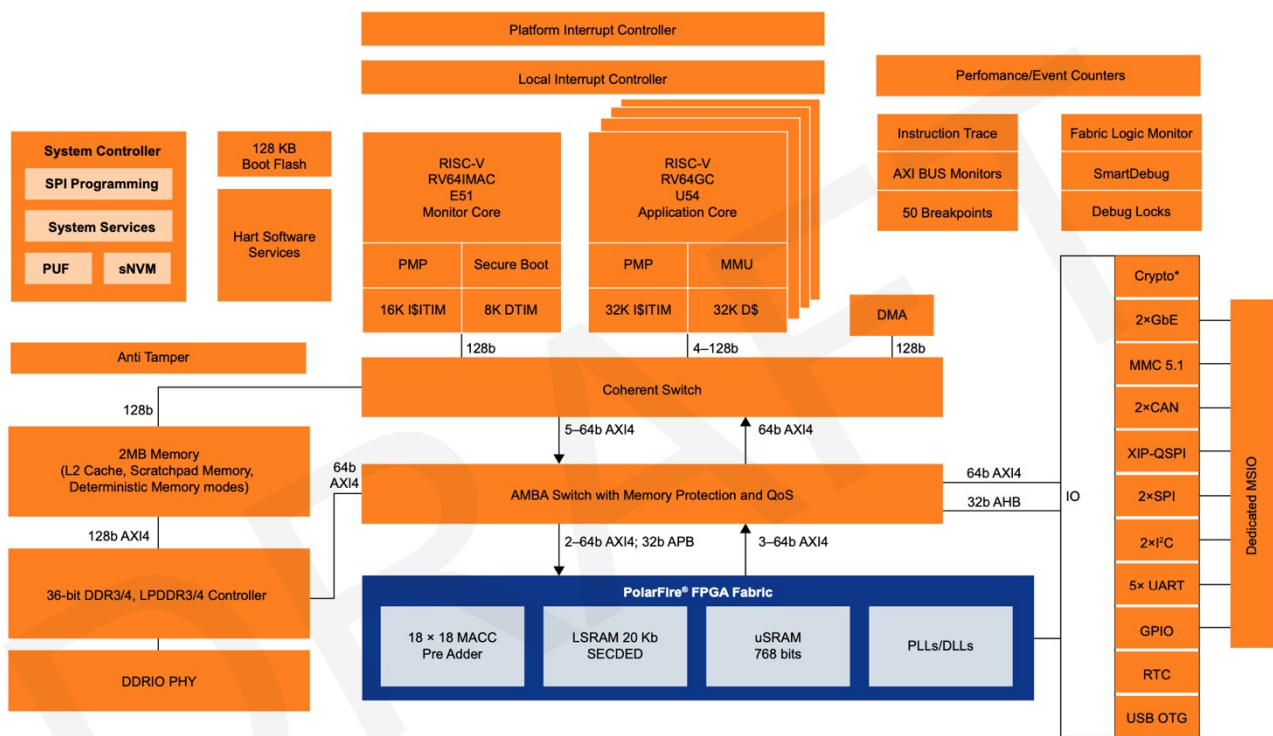
## FASE 3: Análisis de Procesadores Comerciales

Asumid en esta fase uno de los cores del siguiente procesador: **Microchip PolarFire SoC**.

El PolarFire SoC de Microchip es una implementación que integra 5 cores RISC-V, con una FPGA, caches, controladora de RAM y puertos de E/S (entre otros). Los procesadores RISC-V son un E51 (RV64IMAC) y cuatro U54 (RV64GC) ambos especificados por la empresa SiFive. Estos cores acceden una cache de segundo nivel compartida. **El estudio se debe realizar con la cache IL1 y DL1 que tiene un core U54 y con la cache compartida L2.**

Esquemas y resúmenes: [SiFive-E51](#), [SiFive-U54](#) y [PolarFire-SoC](#).

### PolarFire® SoC Block Diagram



**TAREA 13. Análisis Cachés.** Buscad información sobre las cachés de primer y segundo nivel que incorpora el procesador anteriormente indicado y analizado (mediante SimpleScalar y Cacti) su miss ratio, tiempo de acceso, área de silicio y consumo de energía (estático y dinámico). Comentad los resultados. **(0.75P)**

**TAREA 14. Dividir Capacidad DL1 y IL1.** Analizad las ventajas y desventajas que supondría dividir por la mitad la capacidad de la caché de datos y de instrucciones de primer nivel del procesador asumido. Razonad si recomendaríais o no ese cambio en la arquitectura. **(0.75P)**

**TAREA 15. Comentario sobre el procesador.** Comentad el siguiente párrafo extraído de la documentación referenciada **(0.50P)**

**“3.1.1 I-Cache Reconfigurability.** The instruction cache can be partially reconfigured into an Instruction Tightly Integrated Memory (ITIM), which occupies a fixed address range in the memory map. ITIM provides high-performance, predictable instruction delivery. Fetching an instruction from ITIM is as fast as an instruction-cache hit, with no possibility of a cache miss. ITIM can hold data as well as instructions, though loads and stores to ITIM are not as performant as loads and stores to DTIM.”

**“3.4 Data Memory System.** The E51 Core Complex data memory system has a tightly integrated data memory (DTIM) interface which supports up to 64 KiB. The access latency is two clock cycles for full words and three clock cycles for smaller quantities.”

## Directrices y Formato de Entrega

- La evaluación de la práctica, si bien es conjunta en cuanto al trabajo realizado, es individual en función de cómo se responda a las diferentes preguntas planteadas por el profesor de laboratorio.
- Será necesario que cada integrante realice un video de no más de 5 minutos de duración con la explicación y comentarios de las diferentes tareas.
- Será necesario realizar un informe (obligatoriamente en **PDF**) donde aparezca lo siguiente
  - Portada con el nombre de la asignatura y componentes del grupo
  - Índice del documento
  - Para cada una de las tareas (si procede) se deberá incluir:
    - Especificación: enunciado de la tarea
    - Objetivos: qué estudio pretende realizar la tarea y qué valores cabe esperar
    - Resolución: gráficas por benchmark y la media de ellos
    - Análisis de Resultados: análisis de las gráficas obtenidas y justificación del comportamiento indicando si se cumple lo esperado
- La entrega se realizará en un único fichero **ZIP** y deberá contener:
  - El informe de la práctica en **PDF**
  - Un directorio con nombre TAREAS, donde se crearán subdirectorios con nombre TX (siendo X el número de tarea), en los que se incluirán todos los resultados de las simulaciones realizadas, las hojas de cálculo con las graficas mostradas en el informe y los scripts (si los hay) que se hayan utilizado para la ejecución de las simulaciones.
  - Un directorio con nombre VIDEOS en el que se incluirán los dos videos correspondientes a cada uno de los dos integrantes del grupo. Además, el nombre de esos videos tendrá que seguir el formato Video\_Practica3\_NombreAlumno
- Sólo es necesario que uno de los integrantes del grupo suba el fichero **ZIP** a moodle.