

DISEÑO DE PROCESADORES Y EVALUACIÓN DE CONFIGURACIONES

CURSO 2010-2011

Práctica IV

Análisis de la realización de tiling en el código de multiplicación de dos matrices de tamaño 2000x2000, utilizando las librerías PAPI. Realizar dicho análisis con la opción de optimización O0 y la implementación manual de tiling. Justificar la elección de tamaño del tile para los distintos niveles de la jerarquía cache.

Con lo anterior deberemos medir los eventos:

- PAPI_L1_DCM: fallos de caché de nivel 1 de datos.
- PAPI_L2_DCM: fallos de caché de nivel 2 de datos.
- PAPY_TOT_CYC: ciclos de ejecución.

Con los datos obtenidos de los eventos hardware anteriores se deberán obtener los datos:

- Rango de aciertos y reuso de línea de la cache de datos secundaria.
- Fallos cache de datos en L1 y L2.
- Tiempo de ejecución del código.

El alumno deberá realizar una comparativa de los resultados obtenidos y justificarlos.

Realizar dicha comparativa con la opción de optimización O3.