

จุฬาลงกรณ์มหาวิทยาลัย

ชื่อ _____

คณะวิศวกรรมศาสตร์

เลขประจำตัว _____

ภาควิชาวิศวกรรมคอมพิวเตอร์

หมายเลขเครื่อง _____

2110-263 DIGITAL COMPUTER LOGIC LAB I วันที่ _____

8. Counter และวงจร Synchronous Sequential

วัตถุประสงค์

1. เพื่อให้ผู้เรียนเข้าใจการสร้าง Counter
2. เพื่อให้ผู้เรียนฝึกหัดการออกแบบและสร้างวงจรเชิงตรรกะ Sequential

การทดลอง

ออกแบบโดยใช้ State diagram หรือ ASM chart, Next state equation etc. สามารถเลือกใช้ Flip-flop ได้ตามต้องการ (ใช้ Flip-flop จาก Simulation Logic.clf) สามารถใช้ Part ที่สร้างเองได้ การออกแบบต้องเป็นแบบ Synchronous คือ Flip-flop ทุกอันต้องใช้ Clock เดียวกัน และ Clock ต้องมาจาก Part Clock โดยไม่มีสัญญาณอื่นมาปน

1. ออกแบบและสร้างวงจรที่ทำงานเหมือนกับ counter 74163 (Katz หน้า 317 สำหรับ 2nd edition และ หน้า 337 สำหรับ 1st edition) แสดง output ของวงจรทั้งสองใน Timing Diagram เดียวกันโดยใช้ clock และ input เดียวกัน ระวัง Priority ของการ Load และการ Reset ให้ดี
2. ออกแบบและสร้างวงจร “Serial Adder” ซึ่งเป็นวงจรที่ทำการบวกเลข 2 จำนวนที่เข้ามาทีละบิต วงจรมี Input 2 เส้นคือ A และ B (อย่างละ 1 บิต) และ Output 1 เส้นคือ Z ซึ่งจะเป็นผลบวกของ A และ B ใช้การออกแบบแบบ Mealy แสดงผลการทดลองโดยแสดงการบวกเลข 10011101 กับ 11001101 (เวลาบวกเริ่มจาก LSB) ให้ใช้ state diagram ในการออกแบบ
3. ออกแบบและสร้างวงจร “Single Pulser” วงจรจะมี Input 1 บิต คือ P และ output 1 บิต คือ Z การทำงานของวงจร คือ Z จะเป็น 1 อยู่ 1 clock ทุกครั้งที่ P เป็น 1 และไม่ขึ้นกับระยะเวลาที่ P เป็น 1 เช่น P อาจเป็น 1 ติดต่อกัน 10 clock แต่ Z จะเป็น 1 เพียง 1 clock ให้ออกแบบโดยใช้การออกแบบแบบ Mealy, แบบ Mealy ที่มี Synchronizer และแบบ Moore แสดง output ของวงจรทั้งสามแบบใน Timing Diagram เดียวกันโดยใช้ clock และ input เดียวกัน จากนั้นเปรียบเทียบการทำงานและขนาดของวงจรที่ได้ ให้ใช้ state diagram ในการออกแบบ