

---

## 7. Latch และ Flip-flop

---

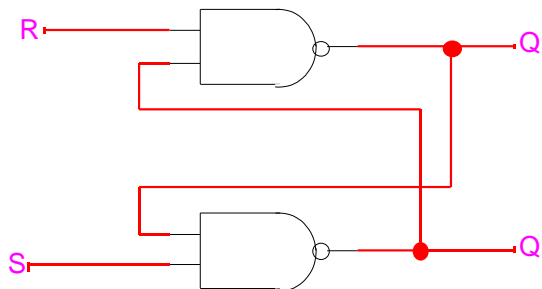
วัตถุประสงค์

1. เพื่อให้เข้าใจโครงสร้าง Latch และ Flip-flop
2. เพื่อให้เข้าใจโครงสร้าง Flip-flop ที่เป็นแบบ Edge Triggered และ Master/Slave
3. เพื่อให้เข้าใจโครงสร้าง Flip-flop ชนิด S-R ,J-K , D และ T
4. เพื่อให้สามารถฝึกใช้ part สำเร็จรูปต่าง ๆ

บทนำ

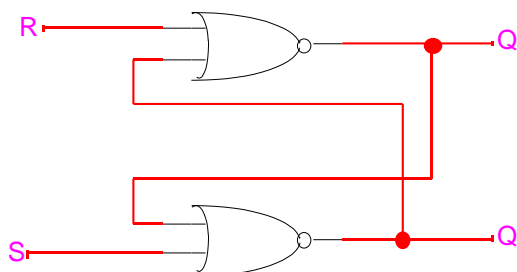
1. วงจร R-S Latch แบบ NAND และตารางความจริง สังเกตว่าแบบนี้จะไม่ใช้กับวงจรที่ทำให้เกิด S และ R เป็น 0 พร้อมกัน

Inputs		Output	
R	S	$Q_{n+1}$	$/Q_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$/Q_n$



2. วงจร R-S Latch แบบ NOR และตารางความจริง สังเกตว่าแบบนี้จะไม่ใช้กับวงจรที่ทำให้เกิด S และ R เป็น 1 พร้อมกัน

Inputs		Output	
R	S	$Q_{n+1}$	$/Q_{n+1}$
0	0	$Q_n$	$/Q_n$
0	1	1	0
1	0	0	1
1	1	0	0



### 3. Flip-flop มีลักษณะที่ต้องคำนึงถึง 2 อย่าง คือ

#### 3.1 Clock เป็นอย่างไร

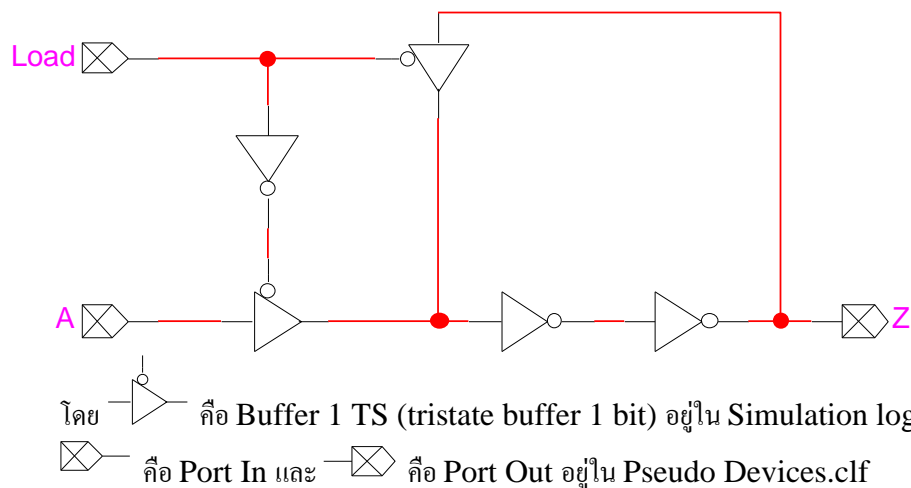
- Level Sensitive
- Pulse-width Sensitive (Master-Slave)
- Edge-triggered ได้แก่ Positive และ Negative Edge-triggered

#### 3.2 คุณสมบัติ

- D Flip-flop (Data type)
- RS Flip-flop (Reset-Set)
- JK Flip-flop
- T Flip-flop

การทดลอง (ข้อ 1-5 หลังสร้าง part เสร็จให้ทดลองใช้งานให้เห็นว่าถูกต้องจริงด้วย)

#### 1. สร้าง part ของ MEM ตามรูป



2. สร้าง part ของ RS Latch แบบ NOR โดยมี input คือ R และ S Output คือ Q และ \Q
3. ใช้ part ในข้อ 2. นำมาสร้าง part ของ Master-Slave JK Flip-flop คือ J K Clock และ \Clear มี Output คือ Q และ \Q \Clear เป็น asynchronous input และ active LOW เมื่อ \Clear ถูก assert output Q จะเป็น 0 และ \Q จะเป็น 1 ทันที (ไม่ต้องรอ clock)
4. ใช้ part ในข้อ 2. นำมาสร้าง part ของ Positive Edge Triggered D Flip-flop มี input คือ D Clock และ \Clear เป็น synchronous input มี Output คือ Q และ \Q
5. นำมาสร้าง part ของ Positive Edge Triggered T Flip-flop มี input คือ T Clock และ \Clear เป็น synchronous input มี Output คือ Q และ \Q
6. (ไม่ต้องเซ็นตรวจ) ทดสอบ part ดังต่อไปนี้ 74\_73, 74\_76, 74\_103, 74\_107, 74\_175, 74\_276, 74\_373, 74\_374