

# AC-PROBLEMES-3.pdf



**Arnau\_FIB**



**Arquitectura de Computadores**



**2º Grado en Ingeniería Informática**



**Facultad de Informática de Barcelona (FIB)  
Universidad Politécnica de Catalunya**

## PROBLEMA 3.20

### Problema 20

**Cronograma 5: SIN prefetch**

Iteración	Iteración 0																												<-- Iteración 1 -->				<-- Iteración 2 -->				<-- Iteración 3 -->										
Ciclo	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44			
movl a(%esi,8), %ecx	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L			
addl %ecx, %eax																									a					a					a					a							
incl %esi																									i					i					i					i							
cmpl \$N, %esi																										c					c					c					c						
jl L																											j					j					j					j					
Cache	M																								D				H					H					H					M			
Comando SDRAM		Ac																							Pr																						
Datos SDRAM																																															
											</																																				

a) Tasa de fallos al ejecutar el bucle

En fer movl movem 4 bytes, i com que els blocs són de 32 bytes fallarem 1 de cada 4 vegades que accedim a caché

tasa fallos = 25%

c) CPI

$(0.25 \cdot 28 + 0.75 \cdot 5) \cdot 64 \cdot 10^6 = 688 \cdot 10^6$  cycles  
5 instr \*  $64 \cdot 10^6 = 320 \cdot 10^6$  instruccions

$CPI = 688/320 = 2.15 \text{ c/i}$

$T_{exec} = N \cdot CPI \cdot 1/F$   
 $= 320 \cdot 10^6 \cdot 2.15 \cdot 1/2 \cdot 10^9$   
 $= 0.344s$

**Cronograma 6: CON prefetch**

Iteración	<-- Iteración 1 -->								<-- Iteración 2 -->								<-- Iteración 3 -->								<-- Iteración 4 -->								<-- Iteración 5 -->								<-- Iteración 6 -->								<-- Iteración 7 -->							
Ciclo	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72												
movl a(%esi,8), %ecx	L					L					L					L	L	L	L	L	L	L	L	L	L	L					L				L					L																
addl %ecx, %eax		a					a					a																a					a					a					a													
incl %esi			i					i					i																i						i								i													
cmpl \$N, %esi				c					c					c																c				c					c					c												
jl L					j					j					j																j				j					j					j											
Cache	H					H					H					M												D					H					H					H													
Comando SDRAM				Ac											Rd													Pr																				Rd								
Datos SDRAM																								d0	d1	d2	d3																													

e) Solo el fallo de la iteración 0 es completo, el resto son fallos parciales. No hace falta tenerlo en cuenta debido al gran numero de iteraciones que se producen. Hay  $16 \cdot 10^6$  fallos parciales

f) Los ciclos perdidos son 10 ciclos (desde que se produce el miss hasta que obtenemos el dato)

g) CPI

tenim les mateixes instruccions =  $320 \cdot 10^6$  inst  
 $(0.25 \cdot 15 + 0.75 \cdot 5) \cdot 64 \cdot 10^6 = 480 \cdot 10^6$  cycles

$CPI = 480/320 = 1.5 \text{ c/i}$

$T_{exec} = N \cdot CPI \cdot 1/F = 320 \cdot 10^6 \cdot 1.5 \cdot 1/2 \text{GHz} =$   
 $T_{exec} = 0.24s$

Speedup =  $0.344 / 0.24 = 1.4333 \rightarrow 43.33\%$

h) cada pagina almacena  $256B/32B = 8$  bloques. Solo 1 de cada 32 accesos tienen que abrir la pagina y cerrar la anterior. No es necesario tenerlo en cuenta (9 ciclos sobre más de  $1 \cdot 10^6$  ciclos)

\*1 de cada 8 fallos

**Cronograma 7: Fallo que NO abre página.**

Ciclo	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	
Cache	M														D																														
Comando SDRAM		Rd																																											
Datos SDRAM											d0	d1	d2	d3																															

**Cronograma 8: Fallo que SI abre página.**

Ciclo	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
Cache	M																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										

k)

Tpf si no obre página = 14 cycles  
Tpf si obre página = 31 cycles

l) CPI

$CPI = 1 + 0.25 \cdot (1/8 \cdot 31 + 7/8 \cdot 14) / 5 = 1.806$

$T_{exec} = 320 \cdot 10^6 \cdot 1.806 \cdot 1/2 \text{GHz} = 0.288 \text{ s}$

Speedup =  $0.344/0.288 = 1.1944 \rightarrow 19.44\%$

**Cronograma 9:** Prefetch que NO abre página.

Iteración	it 4				it 5				it 6				it 7				it 8				it 9				it 10				it 11				it 12													
Ciclo	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44		
movl a,(%esi,8),%ecx	L					L					L					L					L					L					L					L					L					
addl %ecx,%eax		a					a					a					a					a					a					a					a					a				
incl %esi			i					i					i					i					i					i					i					i					i			
cmpl \$N,%esi				c					c					c					c						c					c				c					c					c		
jl L				j					j					j					j					j					j				j					j					j			
Cache	H					H					H					H					H					H					H					H					H					
Comando SDRAM		Rd																				Rd																						Rd		
Datos SDRAM												d0	d1	d2	d3																															

**Cronograma 10:** Prefetch que SI abre página.

Iteración	it 252				it 253				it 254				it 255				it 256												it 257				it 258															
Ciclo	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44				
movl a,(%esi,8), %ecx	L					L					L					L						L	L	L	L	L	L	L	L	L	L					L					L							
addl %ecx, %eax		a					a					a						a															a					a					a					
incl %esi			i					i					i						i															i						i				i				
cmpl \$N, %esi				c					c					c						c															c						c							
jl L					j					j					j						j														j						j							
Cache	H					H					H						H					M												D				H				H						
Comando SDRAM		Pr									Ac										Rd																											
Datos SDRAM																																																
																																												</				

o) Si no abre página no habrá ciclos perdidos. Si tiene que abrir página habrá 11 ciclos perdidos

p) CPI

$$CPI = 1 + 0.25 \cdot (1/8 \cdot 11)/5 = 1.068 \text{ c/i}$$

$$\text{Texe} = 320 \cdot 10^6 \cdot 1.068 \cdot 1/2\text{GHz} = 0.17 \text{ s}$$

$$\text{Speedup} = 0.344/0.17 = 2.02$$

**Cronograma 11:** Fallo que abre página en la SDRAM con dos bancos.

Ciclo	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44			
Cache	M																							D																							
Comando SDRAM		Ac									Rd																																				
Datos SDRAM																																															

r)

Los que abren página 31 ciclos

Los que reusan página 14 ciclos

Los que abren página cuando cambian de banco 23 ciclos

$$s) CPI = 1 + 0.25 \cdot (1/64 \cdot 23 + 7/64 \cdot 31 + 56/64 \cdot 14)/5 = 1.8 \text{ c/i}$$

$$\text{Texe} = 320 \cdot 10^6 \cdot 1.8 \cdot 1/2\text{GHz} = 0.288 \text{ s}$$

$$\text{Speedup} = 0.344/0.288 = 1.1944 \rightarrow 19.44\%$$

t) Con el prefetch observamos que se reducen 20 ciclos los ciclos de penalización por fallo. Entonces:

$$CPI = 1 + 0.25 \cdot (1/64 \cdot 3 + 7/64 \cdot 11)/5 = 1.0625 \text{ c/i}$$

$$\text{Texe} = 320 \cdot 10^6 \cdot 1.0625 \cdot 1/2 \cdot 10^9 = 0.17 \text{ s}$$

$$\text{Speedup} = 0.344/0.17 = 2.0235$$