

Tema 6. Memòria Cache Problemes

Curs 2019-20 Primavera

Grup 30

Joan Manuel Parcerisa



UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH
Facultat d'Informàtica de Barcelona



Exercicis

(alguns exercicis de revisió)

Exercicis

Problema:

Suposem un processador amb paraules i adreces de 32 bits. I una cache de dades de *correspondència directa*, d'*escriptura immediata sense assignació*, amb la següent distribució dels bits d'adreça:

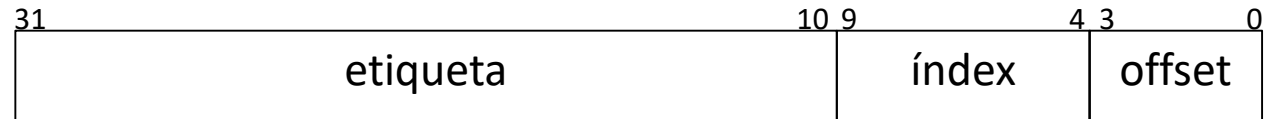


- a) Quina és la mida del bloc, en bytes?.....
- b) Quantes línies té la cache?.....
- c) Quants bits d'emmagatzematge fan falta en total, per cada línia, incloent-hi les dades?.....

Exercicis

Problema:

Suposem un processador amb paraules i adreces de 32 bits. I una cache de dades de *correspondència directa*, d'*escriptura immediata sense assignació*, amb la següent distribució dels bits d'adreça:



- a) Quina és la mida del bloc, en bytes?.....
- b) Quantes línies té la cache?.....
- c) Quants bits d'emmagatzematge fan falta en total, per cada línia, incloent-hi les dades?.....

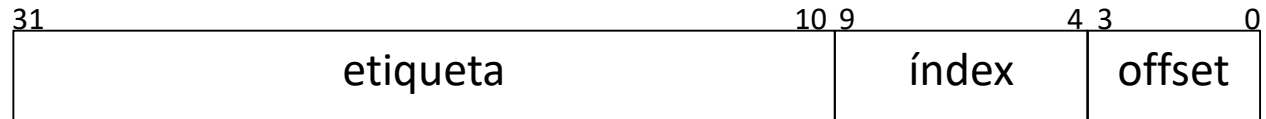
16

4 bits d'offset → blocs de mida $2^4 = 16$

Exercicis

Problema:

Suposem un processador amb paraules i adreces de 32 bits. I una cache de dades de *correspondència directa*, d'*escriptura immediata sense assignació*, amb la següent distribució dels bits d'adreça:



- a) Quina és la mida del bloc, en bytes?.....
- b) Quantes línies té la cache?.....
- c) Quants bits d'emmagatzematge fan falta en total, per cada línia, incloent-hi les dades?.....

16

64

6 bits d'índex $\rightarrow 2^6$ línies = **64**

Exercicis

Problema:

Suposem un processador amb paraules i adreces de 32 bits. I una cache de dades de *correspondència directa*, d'*escriptura immediata sense assignació*, amb la següent distribució dels bits d'adreça:



- a) Quina és la mida del bloc, en bytes?.....
- b) Quantes línies té la cache?.....
- c) Quants bits d'emmagatzematge fan falta en total, per cada línia, incloent-hi les dades?.....

16

64

$22+1+16 \times 8 = 151$

22 bits **d'etiqueta** + 1 bit de **Validesa** + 16 bytes de **dades** → $22+1+16 \times 8 = 151$ bits

Exercicis

- d) Omple la següent taula suposant que la cache és inicialment buida, i fem la següent seqüència de referències (lectures i escriptures), indicant també al final quina és la taxa d'encert:

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L						
0x0000 0004	L						
0x0000 004C	E						
0x0000 0404	E						
0x0000 0048	L						
0x0000 0008	E						
0x0000 0400	L						
0x0000 0044	L						

Taxa d'encert	
---------------	--

Exercicis

- Índex i etiqueta:

22	6	4
etiqueta	índex	offset

○ Per exemple: 0x0000 0404 = 0000 0000 0000 0000 0000 0100 00 0000 0100

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L						
0x0000 0004	L						
0x0000 004C	E						
0x0000 0404	E						
0x0000 0048	L						
0x0000 0008	E						
0x0000 0400	L						
0x0000 0044	L						

Taxa d'encert	
---------------	--

Exercicis

- Índex i etiqueta:

	22	6	4
	etiqueta	índex	offset

- Per exemple: 0x0000 0404 = 0000 0000 0000 0000 0000 0100 00 0000 0100

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L						
0x0000 0004	L						
0x0000 004C	E						
0x0000 0404	E	00					
0x0000 0048	L						
0x0000 0008	E						
0x0000 0400	L						
0x0000 0044	L						

Taxa d'encert	
---------------	--

Exercicis

- Índex i etiqueta:

	22	6	4
	etiqueta	índex	offset

- Per exemple: 0x0000 0404 = 0000 0000 0000 0000 0000 0100 0000 0100

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00					
0x0000 0004	L	00					
0x0000 004C	E	04					
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04					
0x0000 0008	E	00					
0x0000 0400	L	00					
0x0000 0044	L	04					

Taxa d'encert	
---------------	--

Exercicis

	22	6	4
• Índex i etiqueta:	etiqueta	índex	offset

○ Per exemple: 0x0000 0404 = 0000 0000 0000 0000 0000 0100 0000 0100

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00				
0x0000 0004	L	00	0000 00				
0x0000 004C	E	04	0000 00				
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Lectura (línia 0 buida)

→ miss

→ copiem bloc de MP a MC (16bytes)

Línia 0: 0000 00

...

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
→ 0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00				
0x0000 004C	E	04	0000 00				
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Lectura línia 0 (etiqueta coincideix)

→ hit

Línia 0: 0000 00

...

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00				
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Escriptura (línia 4 buida)

→ miss

→ Sense assignació: escrivim dada (4 bytes) sols a MP

Línia 0 : 0000 00

...

Línia 4 :

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Escriptura (línia 0, etiqueta diferent)

→ miss

→ Sense assignació: escrivim dada (4 bytes) sols a MP

Línia 0 : 0000 00

...

Línia 4 :

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Lectura (línia 4 buida)

→ miss

→ copiem bloc de MP a MC (16bytes)

Línia 0 : 0000 00

...

Línia 4 : 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N		16	
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
→ 0x0000 0048	L	04	0000 00	N		16	
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Escriptura (línia 0, etiqueta coincideix)
 - hit
 - Escrivim dada (4 bytes) a MP i a MC

Línia 0 : 0000 00

...
Línia 4 : 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N		16	
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
0x0000 0048	L	04	0000 00	N		16	
→ 0x0000 0008	E	00	0000 00	S			4
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Lectura (línia 0, etiqueta no coincideix)

→ miss

Línia 0 : 0000 00

...

Línia 4 : 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N		16	
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
0x0000 0048	L	04	0000 00	N		16	
0x0000 0008	E	00	0000 00	S			4
→ 0x0000 0400	L	00	0000 01	N			
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Lectura (línia 0, etiqueta no coincideix)
 → miss
 → **reemplacem bloc** (16 bytes) copiant de MP a MC

Línia 0 : 0000 01

...
 Línia 4 : 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N		16	
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
0x0000 0048	L	04	0000 00	N		16	
0x0000 0008	E	00	0000 00	S			4
→ 0x0000 0400	L	00	0000 01	N	0000 00	16	
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Lectura (línia 4, etiqueta coincideix)
→ hit

Línia 0 : 0000 01

...
Línia 4 : 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N		16	
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
0x0000 0048	L	04	0000 00	N		16	
0x0000 0008	E	00	0000 00	S			4
0x0000 0400	L	00	0000 01	N	0000 00	16	
→ 0x0000 0044	L	04	0000 00	S			

Taxa d'encert

Exercicis

- Resultat: 3 hits i 5 misses: $h = 3/8 = 37,5\%$

Línia 0 : 0000 01

...

Línia 4 : 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N		16	
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N			4
0x0000 0404	E	00	0000 01	N			4
0x0000 0048	L	04	0000 00	N		16	
0x0000 0008	E	00	0000 00	S			4
0x0000 0400	L	00	0000 01	N	0000 00	16	
0x0000 0044	L	04	0000 00	S			

Taxa d'encert	37,5%
---------------	-------

Exercicis

- e) Omple la mateix taula, suposant que la cache és inicialment buida, però ara suposant que la cache té una política d'*escriptura retardada amb assignació*

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L						
0x0000 0004	L						
0x0000 004C	E						
0x0000 0404	E						
0x0000 0048	L						
0x0000 0008	E						
0x0000 0400	L						
0x0000 0044	L						

Taxa d'encert	
---------------	--

Exercicis

- Índex i etiqueta: igual que a l'apartat anterior

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00				
0x0000 0004	L	00	0000 00				
0x0000 004C	E	04	0000 00				
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Lectura (línia 0 buida)

→ miss

→ copiem bloc de MP a MC (16bytes)

Línia 0 :

D	etiqueta
0	0000 00
...	

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
→ 0x0000 0000	L	00	0000 00				
0x0000 0004	L	00	0000 00				
0x0000 004C	E	04	0000 00				
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Lectura línia 0 (etiqueta coincideix)
→ hit

Línia 0 :

D	etiqueta
0	0000 00
...	

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00				
0x0000 0004	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0000	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Escriptura (línia 4 buida)
→ miss

Línia 0 :

D	etiqueta
0	0000 00
...	

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
→ 0x0000 004C	E	04	0000 00	N			
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Escriptura (línia 4 buida)

→ miss

→ Amb assignació: copiem bloc de MP a MC (16bytes)
i posem el bit Dirty = 1

Línia 0 :

D	etiqueta
0	0000 00

Línia 4 :

...	etiqueta
1	0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
→ 0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01				
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Escriptura (línia 0, etiqueta no coincideix)
→ miss

Línia 0 :	^D 0	^{etiqueta} 0000 00
Línia 4 :	1	...
		0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
→ 0x0000 0404	E	00	0000 01	N			
0x0000 0048	L	04	0000 00				
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Escriptura (línia 0, etiqueta no coincideix)

→ miss

→ Copiem bloc de MP a MC (16bytes) i posem D=1

→ Com que el bloc reemplaçat té D=0, no cal actualitzar MP

Línia 0 : ^D**1** ^{etiqueta}**0000 01**

Línia 4 : ^D**1** ^{...}**0000 00**

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 00 00	L	00	0000 00	N	--	16	--
0x0000 00 04	L	00	0000 00	S			
0x0000 00 4C	E	04	0000 00	N		16	
→ 0x0000 04 04	E	00	0000 01	N	0000 00	16	
0x0000 00 48	L	04	0000 00				
0x0000 00 08	E	00	0000 00				
0x0000 04 00	L	00	0000 01				
0x0000 00 44	L	04	0000 00				

Taxa d'encert

Exercicis

- Lectura (línia 4, etiqueta coincideix)
→ hit

Línia 0 : ^D1 ^{etiqueta} 0000 01

...

Línia 4 : 1 0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01	N	0000 00	16	
→ 0x0000 0048	L	04	0000 00	S			
0x0000 0008	E	00	0000 00				
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Escriptura (línia 0, etiqueta no coincideix)
→ Miss

	D	etiqueta
Línia 0 :	1	0000 00
		...
Línia 4 :	1	0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0044	E	00	0000 01	N	0000 00	16	
0x0000 0048	L	04	0000 00	S			
→ 0x0000 0008	E	00	0000 00	N			
0x0000 0000	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Escriptura (línia 0, etiqueta no coincideix)
 - Miss
 - Copiem bloc (16 bytes) de MP a MC, i posem D=1
 - Com que el bloc reemplaçat té D=1, **cal escriure'l a MP**

	D	etiqueta
Línia 0 :	1	0000 00
		...
Línia 4 :	1	0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01	N	0000 00	16	
0x0000 0048	L	04	0000 00	S			
0x0000 0008	E	00	0000 00	N	0000 01	16	16
0x0000 0400	L	00	0000 01				
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Lectura (línia 0, etiqueta no coincideix)
→ Miss

	D	etiqueta
Línia 0 :	1	0000 00
		...
Línia 4 :	1	0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01	N	0000 00	16	
0x0000 0048	L	04	0000 00	S			
0x0000 0008	E	00	0000 00	N	0000 01	16	16
→ 0x0000 0400	L	00	0000 01	N			
0x0000 0044	L	04	0000 00				

Taxa d'encert	
---------------	--

Exercicis

- Lectura (línia 0, etiqueta no coincideix)
 - Miss
 - Copiem bloc (16 bytes) de MP a MC, i posem D=0
 - Com que el bloc reemplaçat té D=1, **cal escriure'l a MP**

	D	etiqueta
Línia 0 :	0	0000 01
		...
Línia 4 :	1	0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01	N	0000 00	16	
0x0000 0048	L	04	0000 00	S			
0x0000 0008	E	00	0000 00	N	0000 01	16	16
0x0000 0400	L	00	0000 01	N	0000 00	16	16
0x0000 0044	L	04	0000 00				

Taxa d'encert

Exercicis

- Lectura (línia 4, etiqueta coincideix)
→ Hit

	D	etiqueta
Línia 0 :	0	0000 01
		...
Línia 4 :	1	0000 00

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01	N	0000 00	16	
0x0000 0048	L	04	0000 00	S			
0x0000 0008	E	00	0000 00	N	0000 01	16	16
0x0000 0400	L	00	0000 01	N	0000 00	16	16
0x0000 0044	L	04	0000 00	S			

Taxa d'encert

Exercicis

- Taxa d'encert: $3 / 8 = 37,5\%$

Línia 0 :

D	etiqueta
0	0000 01

...

Línia 4 :

1	0000 00
---	---------

adreça	L/E	índex (hex)	Etiqueta (hex)	Encert (S/N)	Etiqueta bloc reemplaçat (hex)	Núm. bytes llegits a MP	Núm bytes escrits a MP
0x0000 0000	L	00	0000 00	N	--	16	--
0x0000 0004	L	00	0000 00	S			
0x0000 004C	E	04	0000 00	N		16	
0x0000 0404	E	00	0000 01	N	0000 00	16	
0x0000 0048	L	04	0000 00	S			
0x0000 0008	E	00	0000 00	N	0000 01	16	16
0x0000 0400	L	00	0000 01	N	0000 00	16	16
0x0000 0044	L	04	0000 00	S			

Taxa d'encert

37,5%

Exercicis

Problema:

Suposem un sistema computador amb un processador MIPS de 32 bits. Suposem que té una cache de dades de *correspondència directa* amb *escriptura immediata sense assignació*, amb 32 línies de 8 bytes cada una, i que està inicialment buida. Calcula els encerts i fallades en tots els accessos a memòria a les variables A, B i C del següent programa, suposant que la matriu A s'emmagatzema a partir de l'adreça 0x00001000.

```
short A[8][4], B[8], C[4][8];  
main(){  
    int i, j; /* emmagatzemats en registres */  
    for (i=0; i<8; i++)  
        for (j=0; j<4; j++)  
            C[j][i] = A[i][j] + B[i] + C[j][i];  
}
```

Variable	Fallades	Encerts
A		
B		
C		

Exercicis

Problema:

Suposem un sistema computador amb un processador MIPS de 32 bits. Suposem que té una cache de dades de *correspondència directa* amb *escriptura immediata sense assignació*, amb 32 línies de 8 bytes cada una, i que està inicialment buida. Calcula els encerts i fallades en tots els accessos a memòria a les variables A, B i C del següent programa, suposant que la matriu A s'emmagatzema a partir de l'adreça 0x00001000.

```
short A[8][4], B[8], C[4][8];
main(){
    int i, j; /* emmagatzemats en registres */
    for (i=0; i<8; i++)
        for (j=0; j<4; j++)
            C[j][i] = A[i][j] + B[i] + C[j][i];
}
```

Elements de 2 bytes

Cada bloc conté 4 elements

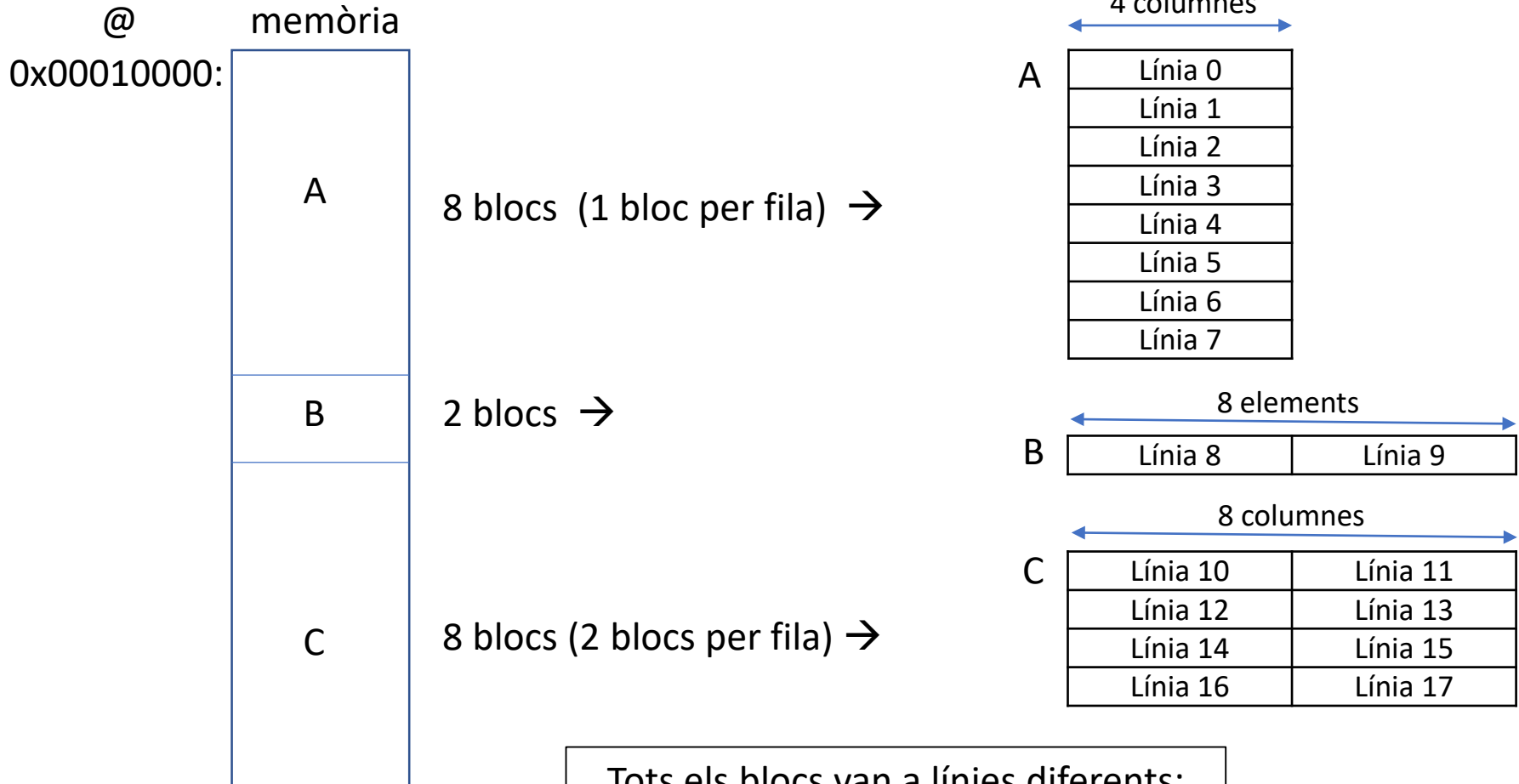
- A: 1 bloc per fila
- B: 2 blocs
- C: 2 blocs per fila

Variable	Fallades	Encerts
A		
B		
C		

Exercicis

- Mapeig de A, B i C a la cache de 32 línies (correspondència directa)

```
short A[8][4], B[8], C[4][8];
```



Tots els blocs van a línies diferents:
no hi ha cap reemplaçament

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

↑
miss

4 columns

A

Línia 0
Línia 1
Línia 2
Línia 3
Línia 4
Línia 5
Línia 6
Línia 7

8 elements

B

Línia 8	Línia 9
---------	---------

8 columns

C

Línia 10	Línia 11
Línia 12	Línia 13
Línia 14	Línia 15
Línia 16	Línia 17

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

↑
miss

↑
miss

4 columnes

A

	Línia 0
	Línia 1
	Línia 2
	Línia 3
	Línia 4
	Línia 5
	Línia 6
	Línia 7

8 elements

B

	Línia 8	Línia 9
--	---------	---------

8 columnes

C

Línia 10	Línia 11
Línia 12	Línia 13
Línia 14	Línia 15
Línia 16	Línia 17

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

↑
miss

↑
miss

↑
miss

4 columnes

A

	Línia 0
	Línia 1
	Línia 2
	Línia 3
	Línia 4
	Línia 5
	Línia 6
	Línia 7

8 elements

B

	Línia 8	Línia 9
--	---------	---------

8 columnes

C

	Línia 10	Línia 11
	Línia 12	Línia 13
	Línia 14	Línia 15
	Línia 16	Línia 17

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

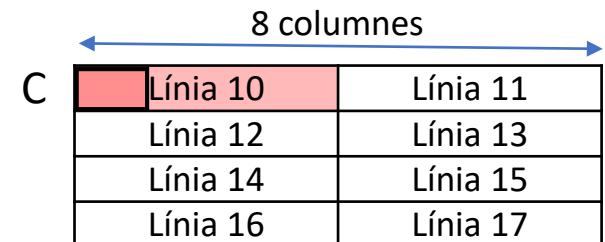
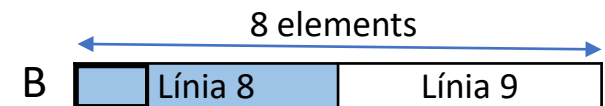
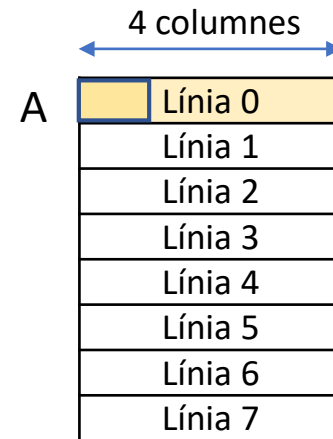
```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

↑
hit

↑
miss

↑
miss

↑
miss



Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

- Executem el bucle (i=0, j=1):

```
C[1][0] = A[0][1] + B[0] + C[1][0];
```

↑ ↑ ↑ ↑
hit **hit** **hit** **miss**

4 columns

A

Línia 0
Línia 1
Línia 2
Línia 3
Línia 4
Línia 5
Línia 6
Línia 7

8 elements

B

Línia 8	Línia 9
---------	---------

8 columns

C

Línia 10	Línia 11
Línia 12	Línia 13
Línia 14	Línia 15
Línia 16	Línia 17

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

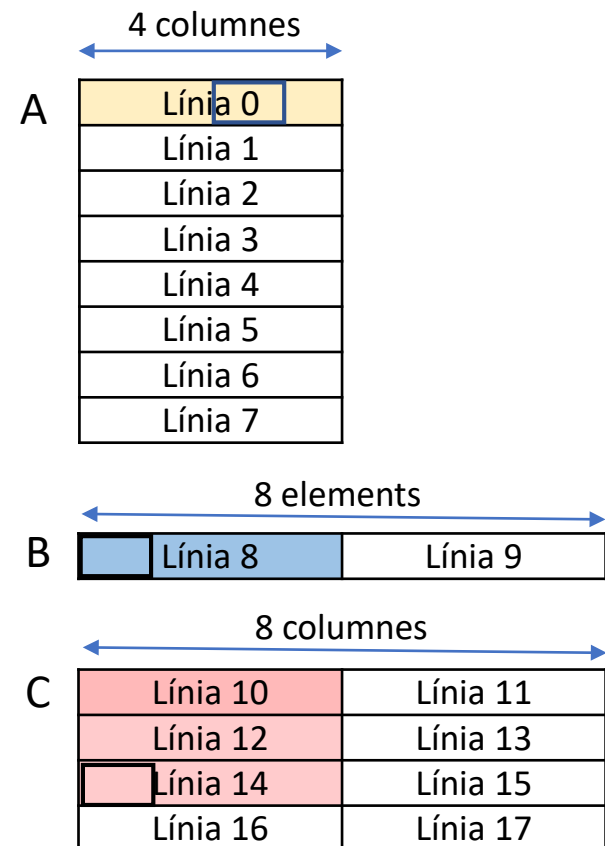
- Executem el bucle (i=0, j=1):

```
C[0][0] = A[0][1] + B[0] + C[1][0];
```

- Executem el bucle (i=0, j=2):

```
C[2][0] = A[0][2] + B[0] + C[2][0];
```

↑ ↑ ↑ ↑
hit **hit** **hit** **miss**



Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Executem el bucle (i=0, j=0):

```
C[0][0] = A[0][0] + B[0] + C[0][0];
```

- Executem el bucle (i=0, j=1):

```
C[0][0] = A[0][1] + B[0] + C[1][0];
```

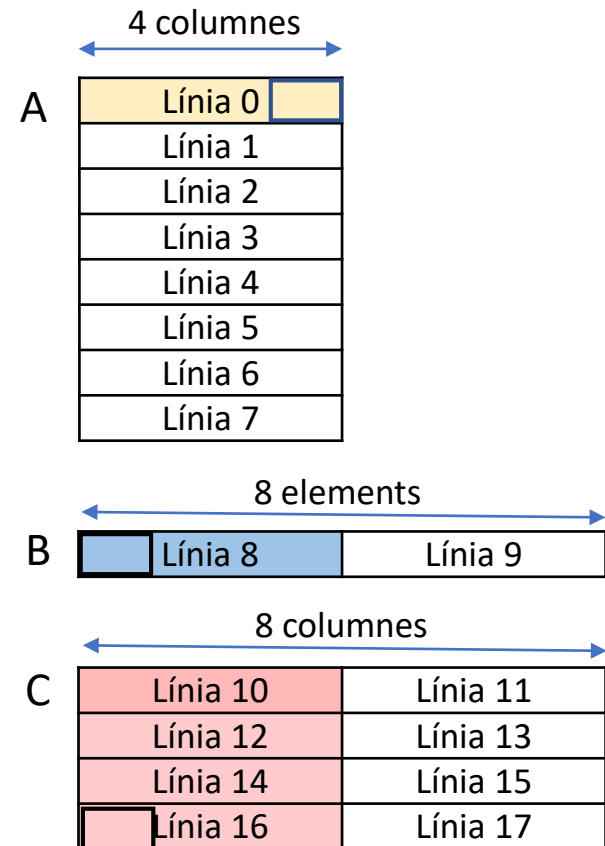
- Executem el bucle (i=0, j=2):

```
C[0][0] = A[0][2] + B[0] + C[2][0];
```

- Executem el bucle (i=0, j=3):

```
C[3][0] = A[0][3] + B[0] + C[3][0];
```

↑ ↑ ↑ ↑
hit hit hit miss



Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Iterem bucle i (i=1, j=0):

```
C[0][1] = A[1][0] + B[1] + C[0][1];
```

 **hit**  **miss**  **hit**  **hit**

4 columns

A

Línia 0
Línia 1
Línia 2
Línia 3
Línia 4
Línia 5
Línia 6
Línia 7

8 elements

B

Línia 8	Línia 9
---------	---------

8 columns

C

Línia 10	Línia 11
Línia 12	Línia 13
Línia 14	Línia 15
Línia 16	Línia 17

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Iterem bucle i (i=1, j=0):

```
C[0][1] = A[1][0] + B[1] + C[0][1];
```

- Iterem bucle i (i=1, j=1):

```
C[1][1] = A[1][1] + B[1] + C[1][1];
```


hit hit hit hit

4 columns

A

Línia 0
Línia 1
Línia 2
Línia 3
Línia 4
Línia 5
Línia 6
Línia 7

8 elements

B

Línia 8	Línia 9
---------	---------

8 columns

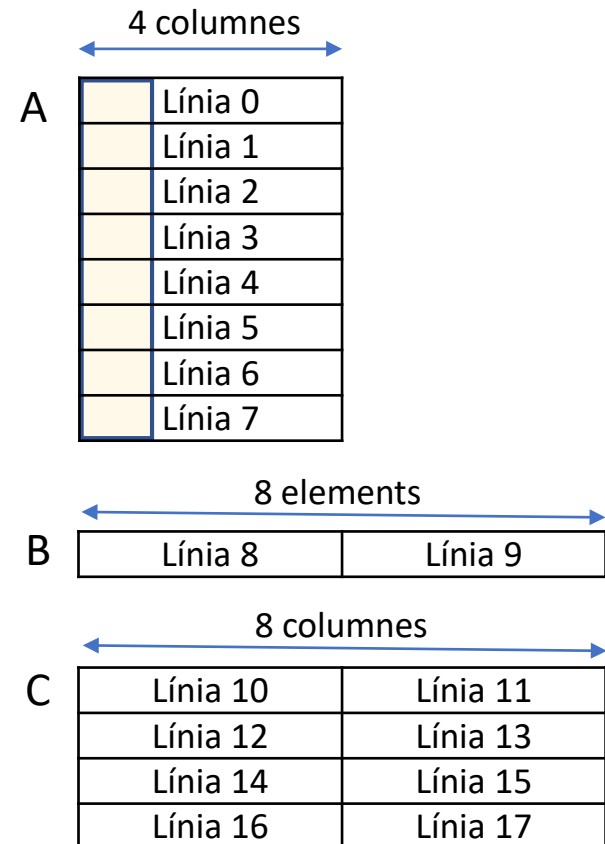
C

Línia 10	Línia 11
Línia 12	Línia 13
Línia 14	Línia 15
Línia 16	Línia 17

Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

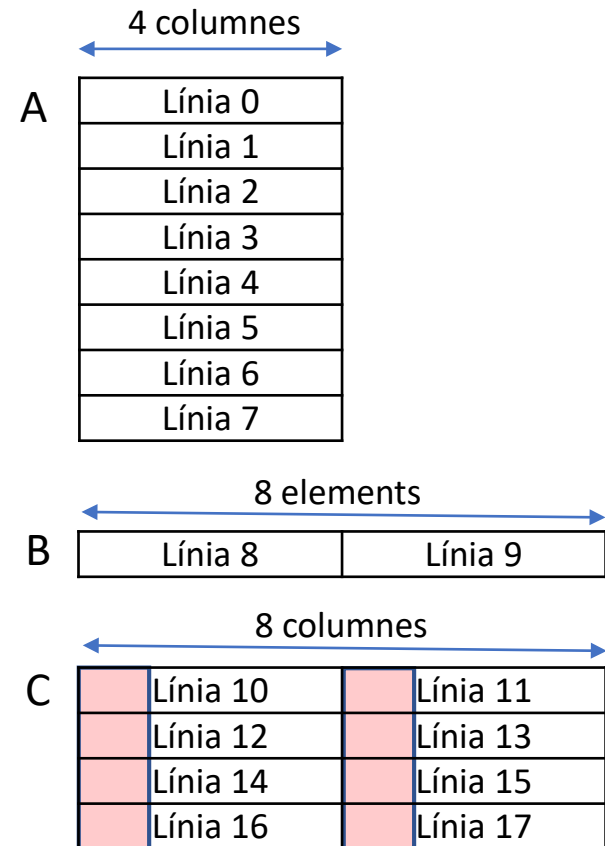
- Resumint:
- Recorrem A per files sense repetir cap element. Falla a l'inici de cada bloc: **8 fallades**



Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

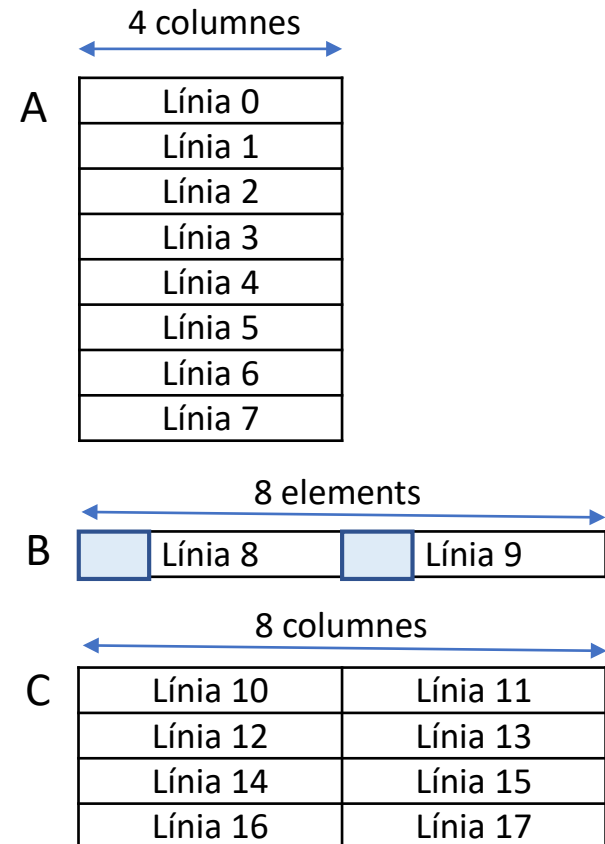
- Resumint:
- Recorrem A per files sense repetir cap element. Falla a l'inici de cada bloc: **8 fallades**
- Recorrem C per columnes sense repetir cap element (les escriptures sempre són encerts). Falla a l'inici de cada bloc: **8 fallades**



Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Resumint:
- Recorrem A per files sense repetir cap element. Falla a l'inici de cada bloc: **8 fallades**
- Recorrem C per columnes sense repetir cap element (les escriptures sempre són encerts). Falla a l'inici de cada bloc: **8 fallades**
- Recorrem B repetint 4 lectures de cada element. Falla a l'inici de cada bloc: **2 fallades**

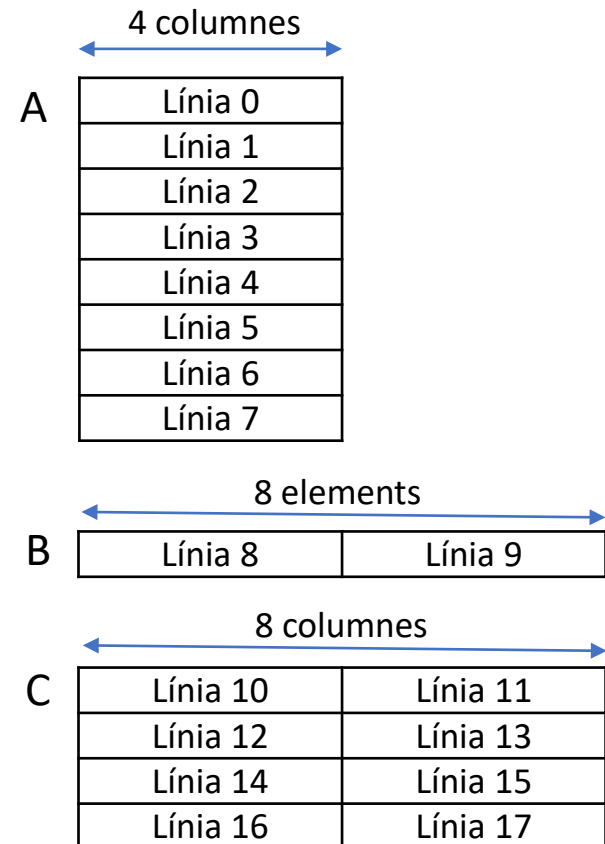


Exercicis

```
for (i=0; i<8; i++)  
    for (j=0; j<4; j++)  
        C[j][i] = A[i][j] + B[i] + C[j][i];
```

- Resumint:
- Recorrem A per files sense repetir cap element. Falla a l'inici de cada bloc: **8 fallades**
- Recorrem C per columnes sense repetir cap element (les escriptures sempre són encerts). Falla a l'inici de cada bloc: **8 fallades**
- Recorrem B repetint 4 lectures de cada element. Falla a l'inici de cada bloc: **2 fallades**

Variable	Fallades	Encerts
A	8	24
B	2	30
C	8	56



Exercicis

Preguntes

Indiqueu si són certes o falses les següents afirmacions sobre la memòria cache.
Justifiqueu la resposta breument

- a) Si augmentem la mida de línia (sense variar la capacitat total), millora la taxa de fallades (m)

- b) Si augmentem la capacitat de la memòria cache, millora la taxa d'encerts (h)

- a) Si augmentem la capacitat de la memòria cache, millora el temps mitjà d'accés a memòria

Exercicis

Preguntes

Indiqueu si són certes o falses les següents afirmacions sobre la memòria cache.
Justifiqueu la resposta breument

- a) Si augmentem la mida de línia (sense variar la capacitat total), millora la taxa de fallades (m)
Fals, no sempre: Els blocs llargs aprofiten la localitat espacial (si n'hi ha), però en haver-hi menys línies poden aparèixer conflictes que abans no hi havia
- b) Si augmentem la capacitat de la memòria cache, millora la taxa d'encerts (h)
- c) Si augmentem la capacitat de la memòria cache, millora el temps mitjà d'accés a memòria

Exercicis

Preguntes

Indiqueu si són certes o falses les següents afirmacions sobre la memòria cache.
Justifiqueu la resposta breument

- a) Si augmentem la mida de línia (sense variar la capacitat total), millora la taxa de fallades (m)
Fals, no sempre: Els blocs llargs aprofiten la localitat espacial (si n'hi ha), però en haver-hi menys línies poden aparèixer conflictes que abans no hi havia
- b) Si augmentem la capacitat de la memòria cache, millora la taxa d'encerts (h)
Cert
- c) Si augmentem la capacitat de la memòria cache, millora el temps mitjà d'accés a memòria

Exercicis

Preguntes

Indiqueu si són certes o falses les següents afirmacions sobre la memòria cache.
Justifiqueu la resposta breument

- a) Si augmentem la mida de línia (sense variar la capacitat total), millora la taxa de fallades (m)
Fals, no sempre: Els blocs llargs aprofiten la localitat espacial (si n'hi ha), però en haver-hi menys línies poden aparèixer conflictes que abans no hi havia
- b) Si augmentem la capacitat de la memòria cache, millora la taxa d'encerts (h)
Cert
- c) Si augmentem la capacitat de la memòria cache, millora el temps mitjà d'accés a memòria
Fals, no sempre: $t_{am} = t_h + m \times t_p$ En augmentar la capacitat, es redueix la taxa de fallades (m) però augmenta el temps de servei en cas d'encert (t_h)

Problema 6.2

6.2. Disposem d'un processador de 16 bits (amb bus d'adreces de 16 bits) amb una memòria cache que té les següents característiques:

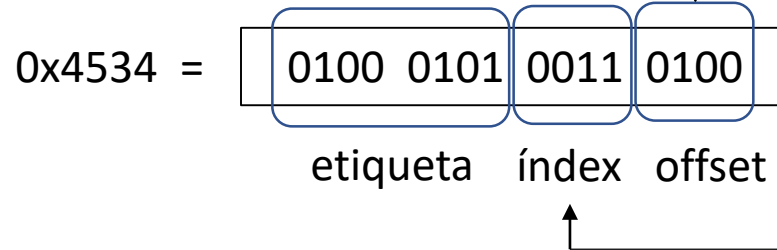
- Correspondència directa
- Mida total: 256 bytes
- Mida bloc: 16 bytes
- Escriptura immediata sense assignació

a) Ompliu la següent taula a partir de la seqüència de referències donades.

tipus	adreça (hex)	etiqueta (hex)	index MC (hex)	Encert/ Fallada	#bytes llegits MP	#bytes escrits. MP	lectura dades MC (Si/No)	escript. dades MC (Si/No)
R	4534							
R	4568							
W	13A4							
W	13A8							
R	3560							
W	453C							
W	60A0							
R	453C							
W	3900							
R	A238							

Problema 6.2

- Correspondència directa
- Mida total: 256 bytes \longrightarrow 256 bytes / 16 bytes per bloc = 16 blocs (línies) = 2^4
- Mida bloc: 16 bytes = 2^4



- Calculem etiqueta i índex MC de cada adreça (hexa):
 - 4534: etiqueta = 45, índex MC = 3
 - 4568: etiqueta = 45, índex MC = 6
 - etc.

Problema 6.2

- Acabem d'omplir totes les etiquetes i índexos:

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
L	4534	45	3					
L	4568	45	6					
E	13A4	13	A					
E	13A8	13	A					
L	3560	35	6					
E	453C	45	3					
E	60A0	60	A					
L	453C	45	3					
E	3900	39	0					
L	A238	A2	3					

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	4534	45	3	miss				

- Lectura. Índex=3
→ miss

cache

línia	V	etiqueta	dades
0	0		
		...	
3	0		
		...	
6	0		
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	4534	45	3	miss	16		Sí	Sí

- Lectura. Índex=3

→ miss

→ llegim 16 bytes de MP...

... I els **escrivim** a MC

→ finalment **llegim** la dada de MC...

... per enviar-la a la CPU

cache

	línia	V	etiqueta	dades
	0	0		
			...	
	3	1	45	
			...	
	6	0		
			...	
	A	0		
			...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
L	4568	45	6	miss				

- Lectura. Índex = 6
→ miss

cache

línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
→ 6	0		
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	4568	45	6	miss	16		Sí	Sí

- Lectura. Índex = 6

→ miss

→ Llegim 16 bytes de MP i els escrivim a MC

→ Llegim dada de MC i enviem a CPU

cache			
línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
→ 6	1	45	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	13A4	13	A	miss				

- Escriptura. Índex = A
→ miss

cache			
línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
6	1	45	
		...	
→ A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	13A4	13	A	miss		2	No	No

- Escriptura. Índex = A

→ miss

→ escriptura immediata sense assignació: sols escrivim 2 bytes a MP (processador de 16 bits)

cache

línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
6	1	45	
		...	
→ A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	13A8	13	A	miss		2	No	No

- Escriptura. Índex = A
 → miss
 → escrivim 2 bytes a MP

cache

línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
6	1	45	
		...	
→ A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	3560	35	6	miss				

- Lectura. Índex = 6

→ miss (etiqueta no coincideix)

cache

línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
→ 6	1	45	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	3560	35	6	miss	16		Sí	Sí

- Lectura. Índex = 6
 - miss (etiqueta no coincideix)
 - **llegim 16** bytes de MP i els **escrivim** a MC (reemplaçant el bloc anterior)
 - **llegim** la dada de MC i l'enviem a la CPU

cache			
línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
→ 6	1	35	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	453C	45	3	hit		2	No	Sí

- Escriptura. Índex = 3

→ hit (etiqueta coincideix)

→ **escrivim** la dada (2 bytes) a MC i també a MP

cache			
línia	V	etiqueta	dades
0	0		
		...	
→ 3	1	45	
		...	
6	1	35	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
E	60A0	60	A	miss		2	No	No

- Espectura. Índex = A
 → miss
 → escrivim la dada (2 bytes) a MP

cache			
línia	V	etiqueta	dades
0	0		
		...	
3	1	45	
		...	
6	1	35	
		...	
→ A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	453C	45	3	hit			Sí	No

- Lectura. Índex = 3
 - hit (etiqueta coincideix)
 - llegim la dada de MC i l'enviem a la CPU

cache			
línia	V	etiqueta	dades
0	0		
		...	
→ 3	1	45	
		...	
6	1	35	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
E	3900	39	0	miss		2	No	No

- Espectura. Índex = 0
 - miss
 - **escriu** la dada (2 bytes) a MP

cache			
línia	V	etiqueta	dades
→ 0	0		
		...	
3	1	45	
		...	
6	1	35	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	A238	A2	3	miss				

- Lectura. Índex = 3
→ miss (etiqueta no coincideix)

cache			
línia	V	etiqueta	dades
0	0		
		...	
→ 3	1	45	
		...	
6	1	35	
		...	
A	0		
		...	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	A238	A2	3	miss	16		Sí	Sí

- Lectura. Índex = 3
 - miss (etiqueta no coincideix)
 - **llegim 16** bytes de MP i els **escrivim** a MC (reemplaçant el bloc anterior)
 - **llegim** la dada de MC i l'enviem a la CPU

cache			
línia	V	etiqueta	dades
0	0		
		...	
→ 3	1	A2	
		...	
6	1	35	
		...	
A	0		
		...	

Problema 6.2

- Solució:

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
L	4534	45	3	Miss	16		Sí	Sí
L	4568	45	6	Miss	16		Sí	Sí
E	13A4	13	A	Miss		2	No	No
E	13A8	13	A	Miss		2	No	No
L	3560	35	6	Miss	16		Sí	Sí
E	453C	45	3	Hit		2	No	Sí
E	60A0	60	A	Miss		2	No	No
L	453C	45	3	Hit			Sí	No
E	3900	39	0	Miss		2	No	No
L	A238	A2	3	Miss	16		Sí	Sí

Problema 6.2

- b) Ompliu ara la mateixa taula, suposant que la la MC té una política d'escriptura retardada amb assignació.

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	4534	45	3	miss	16		Sí	Sí

- Lectura. Índex=3

→ miss

→ llegim 16 bytes de MP...

... I els **escrivim** a MC

→ finalment **llegim** la dada de MC...

... per enviar-la a la CPU

cache

línia	V	D	etiqueta	dades
0	0			
		
→ 3	1	0	45	
		
6	0			
		
A	0			
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
L	4568	45	6	miss	16		Sí	Sí

- Lectura. Índex = 6
 - miss
 - Llegim 16 bytes de MP i els escrivim a MC
 - Llegim dada de MC i l'enviem a la CPU

cache

línia	V	D	etiqueta	dades
0	0			
	
3	1	0	45	
	
→ 6	1	0	45	
	
A	0			
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	13A4	13	A	miss				

- Escriptura. Índex = A
→ miss

cache

línia	V	D	etiqueta	dades
0	0			
		
3	1	0	45	
		
6	1	0	45	
		
→ A	0			
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	13A4	13	A	miss	16		No	Sí

- Escriptura. Índex = A

→ miss

→ **Escriptura retardada**: copiar bloc de MP a MC,
posar el bit D=1

→ **Escriure** la dada de la CPU a MC

Ara canvia!

cache

línia	V	D	etiqueta	dades
0	0			
		
3	1	0	45	
		
6	1	0	45	
		
→ A	1	1	13	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
E	13A8	13	A	hit			No	Sí

- Espectura. Índex = A

→ hit

→ **Escriure** la dada de la CPU a MC i posar **D=1**

cache

línia	V	D	etiqueta	dades
0	0			
		
3	1	0	45	
		
6	1	0	45	
		
→ A	1	1	13	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	3560	35	6	miss				

- Lectura. Índex = 6
→ miss (etiqueta no coincideix)

cache

línia	V	D	etiqueta	dades
0	0			
	
3	1	0	45	
	
→ 6	1	0	45	
	
A	1	1	13	
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	3560	35	6	miss	16		Sí	Sí

- Lectura. Índex = 6
 - miss (**etiqueta no coincideix**)
 - **llegim 16** bytes de MP i els **escrivim** a MC (reemplaçant el bloc anterior)
 - **Llegim** dada de MC i l'enviem a la CPU

cache

línia	V	D	etiqueta	dades
0	0			
	
3	1	0	45	
	
→ 6	1	0	35	
	
A	1	1	13	
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	453C	45	3	hit			No	Sí

- Escriptura. Índex = 3
 - hit
 - **Escriure** la dada de la CPU a MC
i posar **bit D=1**

cache

línia	V	D	etiqueta	dades
0	0			
		
→ 3	1	1	45	
		
6	1	0	35	
		
A	1	1	13	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	60A0	60	A	miss				

- Escriptura. Índex = A
→ miss (etiqueta no coincideix)

cache

línia	V	D	etiqueta	dades
0	0			
	
3	1	1	45	
	
6	1	0	35	
	
→ A	1	1	13	
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	60A0	60	A	miss		16	Sí	

- Escriptura. Índex = A
 - miss (etiqueta no coincideix)
 - el bloc a reemplaçar està **modificat** (D=1):
el **llegim** de MC i **l'escrivim** a MP

cache

línia	V	D	etiqueta	dades
0	0			
	
3	1	1	45	
	
6	1	0	35	
	
→ A	1	1	13	
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
E	60A0	60	A	miss	16	16	Sí	Sí

- Espectura. Índex = A
 - miss (etiqueta no coincideix)
 - el bloc a reemplaçar està modificat (D=1):
el llegim de MC i l'escrivim a MP
 - Copiar nou bloc de MP a MC i posar bit D=1
 - Escriure la dada de la CPU a MC

cache

línia	V	D	etiqueta	dades
0	0			
	
3	1	1	45	
	
6	1	0	35	
	
→ A	1	1	60	
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	453C	45	3	hit			Sí	No

- Lectura. Índex = 3

→ hit

→ Llegim dada de MC i l'enviem a la CPU

cache

línia	V	D	etiqueta	dades
0	0			
	
→ 3	1	1	45	
	
6	1	0	35	
	
A	1	1	60	
	

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
E	3900	39	0	miss				

- Escriptura. Índex = 0
→ miss

cache

línia	V	D	etiqueta	dades
→ 0	0			
		
3	1	1	45	
		
6	1	0	35	
		
A	1	1	60	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
E	3900	39	0	miss	16		No	Sí

- Espectura. Índex = 0

→ miss

→ Copiar nou bloc de MP a MC i posar bit D=1 →

→ Escriure la dada de la CPU a MC

cache

línia	V	D	etiqueta	dades
0	1	1	39	
		
3	1	1	45	
		
6	1	0	35	
		
A	1	1	60	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
L	A238	A2	3	miss				

- Lectura. Índex = 3
→ miss

cache

línia	V	D	etiqueta	dades
0	1	1	39	
		
→ 3	1	1	45	
		
6	1	0	35	
		
A	1	1	60	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	A238	A2	3	miss		16	Sí	

- Lectura. Índex = 3

→ miss

→ el bloc a reemplaçar està **modificat** (D=1):
el **llegim** de MC i **l'escrivim** a MP

cache

línia	V	D	etiqueta	dades
0	1	1	39	
		
→ 3	1	1	45	
		
6	1	0	35	
		
A	1	1	60	
		

Problema 6.2

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Espectura MC?
L	A238	A2	3	miss	16	16	Sí	Sí

- Lectura. Índex = 3

→ miss

→ el bloc a reemplaçar està **modificat** (D=1):
el **llegim** de MC i l'**escriuim** a MP

→ **Copiar nou bloc de MP a MC i posar bit D=0**

→ **Llegim** dada de MC i l'enviem a la CPU

cache

línia	V	D	etiqueta	dades
0	1	1	39	
	
3	1	0	A2	
	
6	1	0	35	
	
A	1	1	60	
	

Problema 6.2

- Solució:

Tipus	adreça	etiqueta	índex	Hit/Miss	Num bytes llegits MP	Num bytes escrits MP	Lectura MC?	Escriptura MC?
L	4534	45	3	Miss	16		Sí	Sí
L	4568	45	6	Miss	16		Sí	Sí
E	13A4	13	A	Miss	16		No	Sí
E	13A8	13	A	Hit			No	Sí
L	3560	35	6	Miss	16		Sí	Sí
E	453C	45	3	Hit			No	Sí
E	60A0	60	A	Miss	16	16	Sí	Sí
L	453C	45	3	Hit			Sí	No
E	3900	39	0	Miss	16		No	Sí
L	A238	A2	3	Miss	16	16	Sí	Sí

Problema 6.2

c) Indiqueu per cada política:

- taxa de fallades
 - número de bytes llegits d'MP
 - número de bytes escrits a MP
-
- Escriptura immediata sense assignació:
 - $m = 8 \text{ fallades} / 10 \text{ referències} = 0,80$
 - $4 \text{ blocs} * 16 \text{ bytes} = 64 \text{ bytes llegits de MP}$
 - $5 \text{ words} * 2 \text{ bytes} = 10 \text{ bytes escrits a MP}$
 - Escriptura retardada amb assignació:
 - $m = 7 \text{ fallades} / 10 \text{ referències} = 0,70$
 - $7 \text{ blocs} * 16 \text{ bytes} = 112 \text{ bytes llegits de MP}$
 - $2 \text{ blocs} * 16 \text{ bytes} = 32 \text{ bytes}$

Problema 6.6

- 6.6. Es vol definir la política d'escriptura de la memòria cache d'un determinat procesador. Es consideren les alternatives: (1) escriptura immediata sense assignació i (2) escriptura retardada amb assignació.

Mitjançant simulació s'han obtingut les següents mesures:

- percentatge d'escriptures (pe): 20%
- percentatge de blocs modificats sobre el total de blocs reemplaçats (pm): 33.33%
- taxa d'encerts cas (1): 0.9
- taxa d'encerts cas (2): 0.85

El temps d'accés a memòria cache en cas d'encert (t_h) és de 10 ns. La lectura o escriptura d'un bloc de memòria principal (t_{block}) requereix 100 ns.

Es demana:

- a) Calculeu el temps mitjà d'accés a memòria (t_{am}) en ambdues alternatives.

Problema 6.6

a) Calcular el temps mitjà d'accés t_{am}

$$t_{am} = t_h + m \times t_p$$

Però t_p és variable...

(1) Escriptura immediata sense assignació:

- $t_p = 0$ (fallada d'escriptura, en $pe = 20\%$ de les fallades)
- $t_p = t_{block} + t_h$ (fallada de lectura, en $(1-pe) = 80\%$ de fallades)

$$\begin{aligned} t_{am} &= t_h + m_1 \times (pe \times 0 + (1-pe) \times (t_{block} + t_h)) \\ &= 10 + 0,10 \times 0,80 \times (100 + 10) \\ &= 18,8 \text{ ns} \end{aligned}$$

6.6. Es vol definir la política d'escriptura de la memòria cache d'un determinat processador. Es consideren les alternatives: (1) escriptura immediata sense assignació i (2) escriptura retardada amb assignació.

Mitjançant simulació s'han obtingut les següents mesures:

- percentatge d'escriptures (pe): 20%
- percentatge de blocs modificats sobre el total de blocs reemplaçats (pm): 33.33%
- taxa d'encerts cas (1): 0.9
- taxa d'encerts cas (2): 0.85

El temps d'accés a memòria cache en cas d'encert (t_h) és de 10 ns. La lectura o escriptura d'un bloc de memòria principal (t_{block}) requereix 100 ns.

Problema 6.6

a) Calcular el temps mitjà d'accés t_{am}

$$t_{am} = t_h + m \times t_p$$

Però t_p és variable:

(2) Escriptura retardada amb assignació:

- $t_p = 2 \times t_{block} + t_h$ (bloc reemplaçat modificat, en $pm = 1/3$ de les fallades)
- $t_p = t_{block} + t_h$ (bloc reemplaçat no-modificat, en $(1-pm) = 2/3$ de les fallades)

$$\begin{aligned} t_{am} &= t_h + m_2 \times (pm \times (2 \times t_{block} + t_h) + (1-pm) \times (t_{block} + t_h)) \\ &= 10 + 0,15 \times (1/3 \times (200 + 10) + 2/3 \times (100+10)) \\ &= 31,5 \text{ ns} \end{aligned}$$

- 6.6. Es vol definir la política d'escriptura de la memòria cache d'un determinat proces-sador. Es consideren les alternatives: (1) escriptura immediata sense assignació i (2) escriptura retardada amb assignació.

Mitjançant simulació s'han obtingut les següents mesures:

- percentatge d'escriptures (pe): 20%
- percentatge de blocs modificats sobre el total de blocs reemplaçats (pm): 33.33%
- taxa d'encerts cas (1): 0.9
- taxa d'encerts cas (2): 0.85

El temps d'accés a memòria cache en cas d'encert (t_h) és de 10 ns. La lectura o escriptura d'un bloc de memòria principal (t_{block}) requereix 100 ns.

Problema 6.6

a) Indiqueu quina alternativa seria més ràpida per a un programa que només fes lectures

6.6. Es vol definir la política d'escriptura de la memòria cache d'un determinat processador. Es consideren les alternatives: (1) escriptura immediata sense assignació i (2) escriptura retardada amb assignació.

Mitjançant simulació s'han obtingut les següents mesures:

- percentatge d'escriptures (pe): 20%
- percentatge de blocs modificats sobre el total de blocs reemplaçats (pm): 33.33%
- taxa d'encerts cas (1): 0.9
- taxa d'encerts cas (2): 0.85

El temps d'accés a memòria cache en cas d'encert (t_h) és de 10 ns. La lectura o escriptura d'un bloc de memòria principal (t_{block}) requereix 100 ns.

(1) Escr. immediata sense assign. Sols lectures $\rightarrow pe = 0 \rightarrow (1-pe) = 1,0$

$$t_{am} = t_h + m_1 \times 1,0 \times (t_{block} + t_h) = 10 + 0,10 \times 1,0 \times (100 + 10) = 21 \text{ ns}$$

(2) Escr. retardada amb assign. Cap bloc modificat $\rightarrow pm = 0 \rightarrow (1-pm) = 1,0$

$$t_{am} = t_h + m_2 \times 1,0 \times (t_{block} + t_h) = 10 + 0,15 \times 1,0 \times (100 + 10) = 26,5 \text{ ns}$$

La millor l'alternativa és (1) **escriptura immediata sense assignació**

Problema 6.7

6.7. Tenim una CPU amb una cache en què hem observat les característiques següents quan executa una col·lecció de programes representatius:

- CPI_{ideal} (CPI suposant que tots els accessos a memòria són encerts a la cache): 1.5 cicles/instr.
- Temps de cicle (t_c): 10 ns
- Nombre de referències per instrucció (nr): 1.6
- Cache d'instruccions i dades separades
- Cache de dades d'escriptura retardada amb assignació
- Les característiques de les dues caches són les següents:

Característica	Memòria cache	
	d'Instruccions	de Dades
Nombre de referències a memòria per instrucció (nr)	1	0.6
Percentatge d'escriptures per referència (pe)	-	40%
Percentatge de blocs modificats sobre tots els reemplaçats (pm)	-	20%
Taxa de fallades (m)	4%	10%
Penalització (t_p) en reemplaçar un bloc no modificat	10 cicles	15 cicles
Penalització (t_p) en reemplaçar un bloc modificat	-	20 cicles
Temps de servei en cas d'encert (t_h)	1cicle	1cicle

MCI MCD

Problema 6.7

a) Quin serà el temps mitjà d'accés a memòria (t_{am}) en cicles?

$$t_{am} = t_h + m \times t_p$$

- Cal fer una **suma ponderada** de termes
 - Fallades en cada cache: tenen diferent taxa de fallades **m**
 - Reemplaçaments de blocs modificats o no: tenen diferent penalització **t_p**

Problema 6.7

a) Quin serà el temps mitjà d'accés a memòria (t_{am}) en cicles?

$$t_{am} = t_h + m \times t_p$$

- Cal fer una **suma ponderada** de termes
 - Fallades en cada cache: tenen diferent taxa de fallades **m**
 - Reemplaçaments de blocs modificats o no: tenen diferent penalització **t_p**
- Accesssos a cada cache: per a n instruccions...
 - 1,6·n accesssos totals
 - MCI: 1·n accesssos → freqüència: **freq_{MCI}** = 1/1,6 del total d'accesssos
 - MCD: 0,6·n accesssos → freqüència: **freq_{MCD}** = 0,6/1,6 del total d'accesssos
- La penalització de fallada és
 - MCI: $t_{p_MCI} = 10$ cicles
 - MCD (bloc modificat): $t_{p_mod} = 20$ cicles (**pm** = 0,2 = 20% de les fallades)
 - MCD (bloc no-modificat): $t_{p_nomod} = 15$ cicles (**(1-pm)** = 0,8 = 80% de les fallades)

Problema 6.7

a) Quin serà el temps mitjà d'accés a memòria (t_{am}) en cicles?

$$t_{am} = t_h + m \times t_p$$

- Cal fer una **suma ponderada** de termes
 - Fallades en cada cache: tenen diferent taxa de fallades **m**
 - Reemplaçaments de blocs modificats o no: tenen diferent penalització **t_p**
- Accesssos a cada cache: per a n instruccions...
 - 1,6·n accesssos totals
 - MCI: 1·n accesssos → freqüència: **$freq_{MCI} = 1/1,6$** del total d'accesssos
 - MCD: 0,6·n accesssos → freqüència: **$freq_{MCD} = 0,6/1,6$** del total d'accesssos
- La penalització de fallada és
 - MCI: $t_{p_MCI} = 10$ cicles
 - MCD (bloc modificat): $t_{p_mod} = 20$ cicles (**$pm = 0,2 = 20\%$** de les fallades)
 - MCD (bloc no-modificat): $t_{p_nomod} = 15$ cicles (**$(1-pm) = 0,8 = 80\%$** de les fallades)
- La suma ponderada

$$\begin{aligned} t_{am} &= t_h + freq_{MCI} \times m_{MCI} \times t_{p_MCI} \\ &\quad + freq_{MCD} \times m_{MCD} \times (pm \times t_{p_mod} + (1-pm) \times t_{p_nomod}) \\ &= 1 + (1/1,6) \times 0,04 \times 10 + \\ &\quad + (0,6/1,6) \times 0,02 \times (0,2 \times 20 + 0,8 \times 15) = \mathbf{1,37 \text{ cicles}} \end{aligned}$$

Problema 6.9

6.9. A l'hora de dissenyar una memòria cache d'instruccions de 8 KB s'està dubtant entre les següents mides de bloc, i se n'ha medid la taxa de fallades per una col·lecció de programes representatius:

- 8 bytes: 16%
- 16 bytes: 10%

Es demana que:

a) Calculeu el temps mitjà d'accés a memòria (t_{am}) sabent que:

- El temps d'accés de les caches en cas d'encert (t_h) és 1 cicle
- El temps de servei de la memòria per servir blocs de 8 bytes és de 6 cicles, mentre que el temps per servir blocs de 16 bytes és de 12 cicles

$$t_{am} = t_h + m \times t_p = t_h + m \times (t_{bloc} + t_h)$$

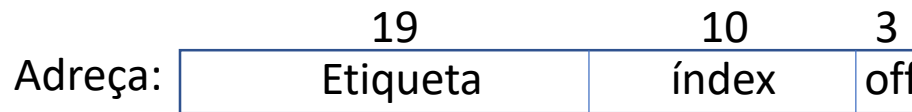
- Blocs de 8 bytes:
 - $t_{am} = 1 + 0,16 \times (6 + 1) = 2,12$ cicles
- Blocs de 16 bytes:
 - $t_{am} = 1 + 0,10 \times (12 + 1) = 2,30$ cicles

Problema 6.9

b) Quant ocuparan totes ~~les etiquetes~~ en cada una de les dues possibilitats sabent que:

les etiquetes i bits de validesa

- MP té 2^{32} bytes
- Les caches són de correspondència directa
- La unitat mínima d'accés a memòria és el byte



- **Blocs de 8 bytes** ($=2^3$)
- MP de 2^{32} bytes
- Cache de 8192 bytes = 1024 línies ($= 2^{10}$)
- Etiqueta de $32 - 10 - 3 = 19$ bits
- Total ocupat per etiquetes i bits de validesa
 $1024 \times (19 + 1) = 20480$ bits = **80 bytes**

Problema 6.9

b) Quant ocuparan totes ~~les etiquetes~~ en cada una de les dues possibilitats sabent que:

les etiquetes i bits de validesa

- MP té 2^{32} bytes
- Les caches són de correspondència directa
- La unitat mínima d'accés a memòria és el byte



- **Blocs de 16 bytes** ($=2^4$)
- MP de 2^{32} bytes
- Cache de 8192 bytes = 512 línies ($= 2^9$)
- Etiqueta de $32 - 9 - 4 = 19$ bits
- Total ocupat per etiquetes i bits de validesa
 $512 \times (19 + 1) = 10240$ bits = **40 bytes**

Problema 6.3

- 6.3.** El siguiente programa multiplica una matriz $A(32 \times 32)$ por un vector $B(32)$ produciendo como resultado un vector $C(32)$:

```
char A[32][32], B[32], C[32];
main() {
    int i, j;
    ...
    for (i=0; i<32; i++)
        for (j=0; j<32; j++)
            C[i] = A[i][j] * B[j] + C[i]
}
```

Los elementos de A, B y C son bytes. Todos los elementos de C han sido previamente inicializados a cero. A está almacenada a partir de la dirección 0 de memoria (direcciones 0..1023). B está almacenada justo a continuación de A (direcciones 1024..1055) y C justo a continuación de B (direcciones 1056..1087). Las variables i, j están almacenadas en registros del procesador.

El computador dispone de una memoria cache de correspondencia directa que almacena 4 bloques de 32 bytes cada uno, con escritura inmediata. Suponiendo que al inicializarse la ejecución del bucle anterior la cache no tiene ningún dato, calcula la tasa de aciertos de la memoria cache.

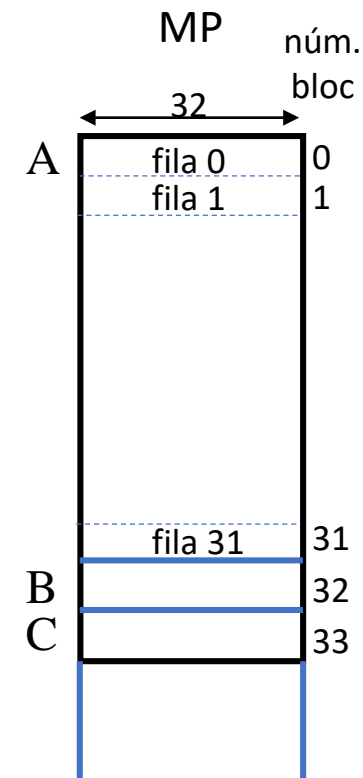
Problema 6.3

```
char A[32][32], B[32], C[32];
```

A está almacenada a partir de la dirección 0 de memoria. B está almacenada justo a continuación de A y C justo a continuación de B

bloques de 32 bytes cada uno,

- Quins blocs de MP ocupen A, B, i C?
- Blocs de 32 bytes = 32 elements "char"
 - A: cada fila ocupa 1 bloc: blocs núms. 0 .. 31
 - B ocupa 1 bloc sencer: bloc núm. 32
 - C ocupa 1 bloc sencer: bloc núm 33

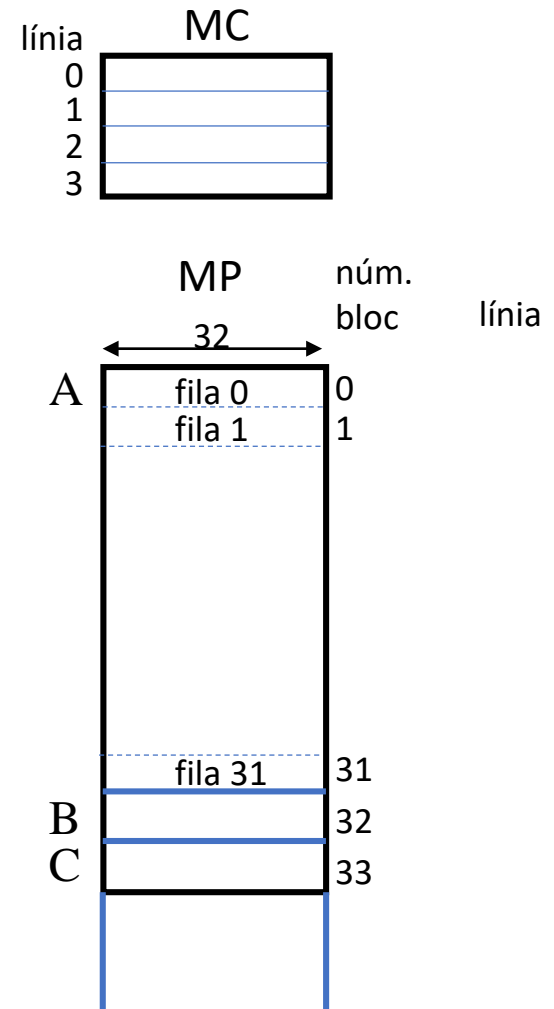


Problema 6.3

```
char A[32][32], B[32], C[32];
```

El computador dispone de una memoria cache de correspondencia directa que almacena 4 bloques de 32 bytes cada uno,

- A quina línia es mapeja cada bloc de A, B, C?
- Cache de 4 línies
 - $\text{num_línia} = \text{num_bloc} \bmod 4$

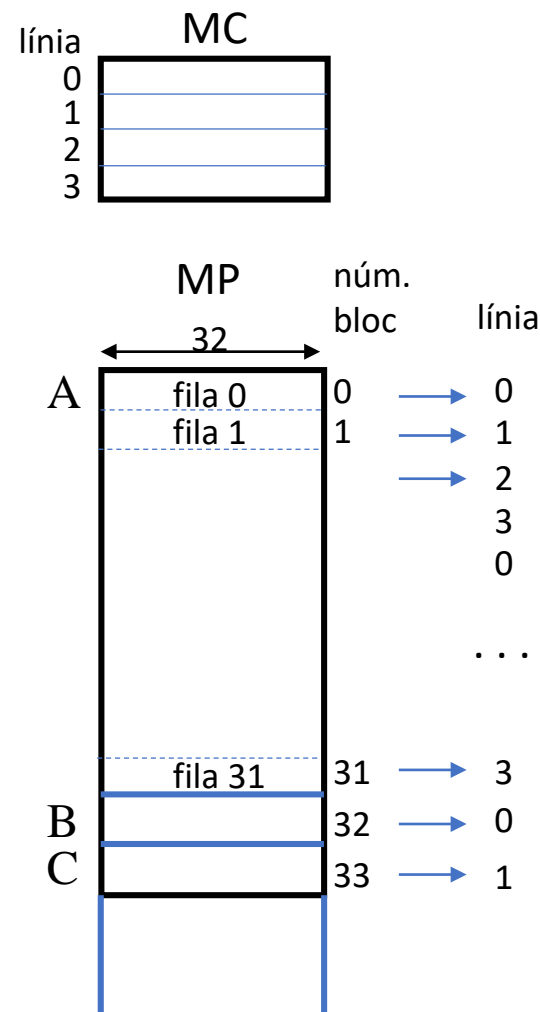


Problema 6.3

```
char A[32][32], B[32], C[32];
```

El computador dispone de una memoria cache de correspondencia directa que almacena 4 bloques de 32 bytes cada uno,

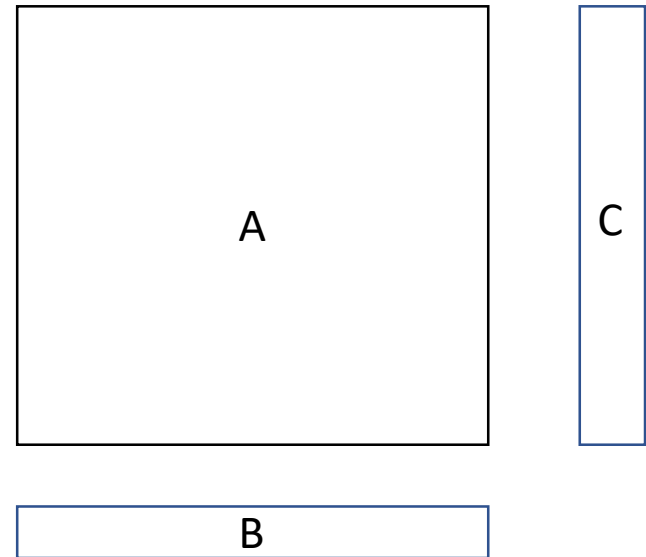
- A quina línia es mapeja cada bloc de A, B, C?
- Cache de 4 línies
 - $\text{num_línia} = \text{num_bloc} \bmod 4$
 - A (blocs 0..31) \rightarrow línies 0, 1, 2, 3, 0, ... 3
 - B (bloc 32) \rightarrow línia 0
 - C (bloc 33) \rightarrow línia 1



Problema 6.3

```
main() {  
  int i,j;  
  ...  
  for (i=0; i<32; i++)  
    for (j=0; j<32; j++)  
      C[i] = A[i][j] * B[j] + C[i]  
}
```

- Quin recorregut de A, B, C fa el bucle?



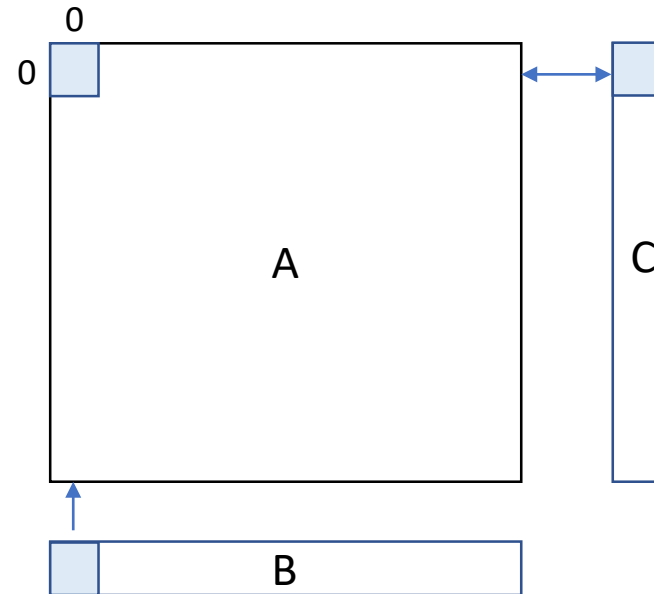
Problema 6.3

```
main() {  
  int i,j;  
  ...  
  for (i=0; i<32; i++)  
    for (j=0; j<32; j++)  
      C[i] = A[i][j] * B[j] + C[i]  
}
```

- Quin recorregut de A, B, C fa el bucle?

- $i=0, j=0$

$C[0] = A[0][j] * B[j] + C[0];$



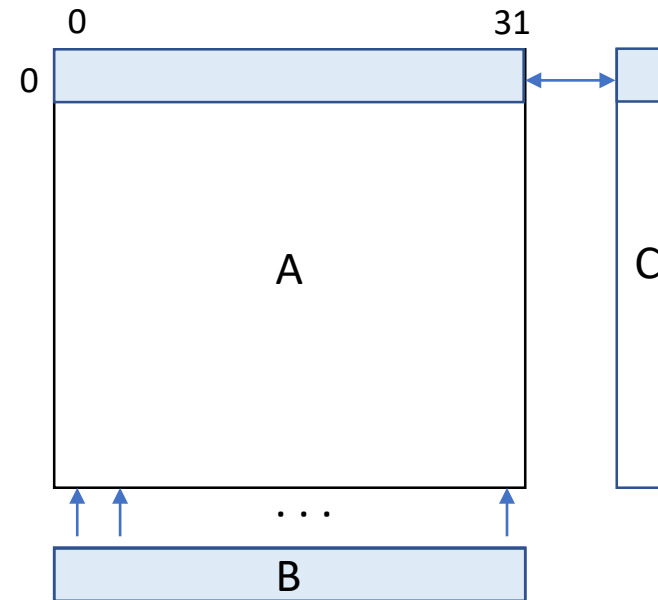
Problema 6.3

```
main() {  
  int i,j;  
  ...  
  for (i=0; i<32; i++)  
    for (j=0; j<32; j++)  
      C[i] = A[i][j] * B[j] + C[i]  
}
```

- Quin recorregut de A, B, C fa el bucle?

- Resta de la fila 0 ($j=0..31$)

$C[0] = A[0][j] * B[j] + C[0];$



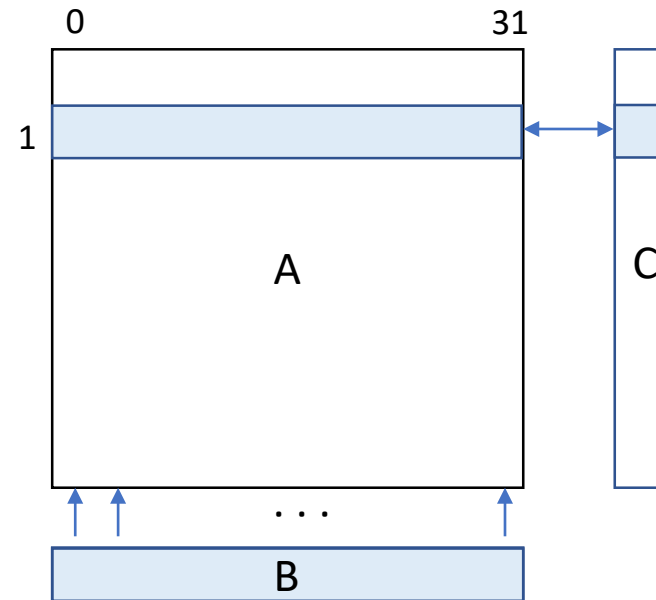
Problema 6.3

```
main() {  
  int i,j;  
  ...  
  for (i=0; i<32; i++)  
    for (j=0; j<32; j++)  
      C[i] = A[i][j] * B[j] + C[i]  
}
```

- Quin recorregut de A, B, C fa el bucle?

- Fila 1 (j=0..31)

$C[1] = A[1][j] * B[j] + C[1];$



Problema 6.3

- Encerts i fallades, fila $i=0$
- Llegim $A[0][0]$ (bloc 0)
 - Línia 0 → miss

	MC
línia	blocs
0	A (fila 0)
1	
2	
3	

Problema 6.3

- Encerts i fallades, fila $i=0$
- Llegim $A[0][0]$ (bloc 0)
 - Línia 0 → miss
- Llegim $B[0]$ (bloc 32)
 - Línia 0 → miss

MC	
línia	blocs
0	A (fila 0)
1	
2	
3	

Problema 6.3

- Encerts i fallades, fila $i=0$
- Llegim $A[0][0]$ (bloc 0)
 - Línia 0 → miss
- Llegim $B[0]$ (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)

MC	
línia	blocs
0	B
1	
2	
3	

Problema 6.3

- Encerts i fallades, fila i=0
- Llegim A[0][0] (bloc 0)
 - Línia 0 → miss
- Llegim B[0] (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → miss
- Escrivim C[0]
 - Línia 1 → Hit

MC	
línia	blocs
0	B
1	C
2	
3	

Problema 6.3

- Encerts i fallades, fila i=1
- Llegim A[0][0] (bloc 0)
 - Línia 0 → miss
- Llegim B[0] (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → miss
- Escrivim C[0]
 - Línia 1 → Hit
- Llegim A[0][1] (bloc 0)
 - Línia 0 → miss!!! (l'havíem reemplaçat)

MC	
línia	blocs
0	B
1	C
2	
3	

Problema 6.3

- Encerts i fallades, fila i=1
- Llegim A[0][0] (bloc 0)
 - Línia 0 → miss
- Llegim B[0] (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → miss
- Escrivim C[0]
 - Línia 1 → Hit
- Llegim A[0][1] (bloc 0)
 - Línia 0 → miss!!! (reemplacem bloc de B)
- Llegim B[1] (bloc 32)
 - Línia 0 → miss!!! (l'havíem reemplaçat)

MC	
línia	blocs
0	A (fila 0)
1	C
2	
3	

Problema 6.3

- Encerts i fallades, fila i=1
- Llegim A[0][0] (bloc 0)
 - Línia 0 → miss
- Llegim B[0] (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → miss
- Escrivim C[0]
 - Línia 1 → Hit
- Llegim A[0][1] (bloc 0)
 - Línia 0 → miss!!! (reemplacem bloc de B)
- Llegim B[1] (bloc 32)
 - Línia 0 → miss!!! (reemplacem bloc de A)

MC	
línia	blocs
0	B
1	C
2	
3	

Problema 6.3

- Encerts i fallades, fila i=1
- Llegim A[0][0] (bloc 0)
 - Línia 0 → miss
- Llegim B[0] (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → miss
- Escrivim C[0]
 - Línia 1 → Hit
- Llegim A[0][1] (bloc 0)
 - Línia 0 → miss!!! (reemplacem bloc de B)
- Llegim B[1] (bloc 32)
 - Línia 0 → miss!!! (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → hit
- Escrivim C[0]
 - Línia 1 → Hit

MC	
línia	blocs
0	B
1	C
2	
3	

Problema 6.3

- Encerts i fallades, fila i=1

- Llegim A[0][0] (bloc 0)
 - Línia 0 → miss
- Llegim B[0] (bloc 32)
 - Línia 0 → miss (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → miss
- Escrivim C[0]
 - Línia 1 → Hit
- Llegim A[0][1] (bloc 0)
 - Línia 0 → miss!!! (reemplacem bloc de B)
- Llegim B[1] (bloc 32)
 - Línia 0 → miss!!! (reemplacem bloc de A)
- Llegim C[0] (bloc 33)
 - Línia 1 → hit
- Escrivim C[0]
 - Línia 1 → Hit

MC	
línia	blocs
0	B
1	C
2	
3	

Durant el recorregut de la fila 0 els accessos a A i B es reemplacen mútuament a la línia 0 (fallades de conflicte)

- Tindrem 32 fallades de A i 32 de B
- A la línia 0 quedarà B
- C només haurà causat 1 fallada
- No hi ha fallades d'escriptura

Problema 6.3

- Fila 0: A i B es reemplaçen mútuament a la línia 0, com ja hem vist

Fila i	A		B		C (lect)		C (escriu)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C

Problema 6.3

- Fila 1: A i C es reemplacen mútuament a la línia 1

Fila i	A		B		C (lect)		C (escriu)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C

Problema 6.3

- Fila 2: A, B i C accedeixen a línies diferents

Fila i	A		B		C (lect)		C (escriu)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C
2	2	1	0	0	1	0	0	B	C

Problema 6.3

- Fila 3: A, B i C accedeixen a línies diferents

Fila i	A		B		C (lect)		C (escriu)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C
2	2	1	0	0	1	0	0	B	C
3	3	1	0	0	1	0	0	B	C

Problema 6.3

- Fila 4: A i B es reemplacen mútuament a la línia 0, altre cop!

Fila i	A		B		C (lect)		C (escriu.)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C
2	2	1	0	0	1	0	0	B	C
3	3	1	0	0	1	0	0	B	C
4	0	32	0	32	1	0	0	B	C

Problema 6.3

- Fila 5: A i C es reemplacen mútuament a la línia 1, altre cop!

Fila i	A		B		C (lect)		C (escriu)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C
2	2	1	0	0	1	0	0	B	C
3	3	1	0	0	1	0	0	B	C
4	0	32	0	32	1	0	0	B	C
5	1	32	0	0	1	32	0	B	C

Problema 6.3

- Files 6 i 7: A, B i C accedeixen a línies diferents

Fila i	A		B		C (lect)		C (escriu)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C
2	2	1	0	0	1	0	0	B	C
3	3	1	0	0	1	0	0	B	C
4	0	32	0	32	1	0	0	B	C
5	1	32	0	0	1	32	0	B	C
6	2	1	0	0	1	0	0	B	C
7	3	1	0	0	1	0	0	B	C

Problema 6.3

- Cada 4 files es repeteix el mateix patró (es repeteix 8 cops en total)
 - → Excepte que el "cold miss" de l'accés a C passa sols en la fila 0, però no en la 4, 8, etc.

Fila i	A		B		C (lect)		C (escr.)	Contingut final	
	línia	fallades	línia	fallades	línia	fallades	fallades	línia 0	línia 1
0	0	32	0	32	1	1	0	B	C
1	1	32	0	0	1	32	0	B	C
2	2	1	0	0	1	0	0	B	C
3	3	1	0	0	1	0	0	B	C
4	0	32	0	32	1	0	0	B	C
5	1	32	0	0	1	32	0	B	C
6	2	1	0	0	1	0	0	B	C
7	3	1	0	0	1	0	0	B	C

Problema 6.3

- Comptem les fallades:
 - A: $(32 + 32 + 1 + 1) \times 8 = 528$
 - B: $32 \times 8 = 256$
 - C: $32 \times 8 + 1 = 257$
 - Total: $= 1041$
- Total referències a memòria:
 - $32 \times 32 \times 4 = 4096$
- Encerts:
 - $4096 - 1041 = 3055$
- Taxa d'encert:
 - $h = 3055 / 4096 = \mathbf{0,746}$

Problema 6.10

6.10. Disposem d'un processador de 16 bits (paraules i adreces de 16 bits) amb una memòria cache que té les següents característiques:

- Correspondència associativa de 2 vies
- Mida total: 1024 bytes
- Mida bloc: 16 bytes
- Política d'escriptura immediata sense assignació
- Algorisme de reemplaçament: LRU

Ompliu la següent taula a partir de la seqüència de referències donades, on a la columna tipus *R byte* indica lectura d'1 byte, *R word* és lectura de 2 bytes, *W byte* és escriptura d'1 byte i *W word* és escriptura de 2 bytes. La mida de les lectures i escriptures s'ha d'especificar en bytes.

Problema 6.10

6.10. Disposem d'un processador de 16 bits (paraules i adreces de 16 bits) amb una memòria cache que té les següents característiques:

- Correspondència associativa de 2 vies
- Mida total: 1024 bytes
- Mida bloc: 16 bytes
- Política d'escriptura immediata sense assignació
- Algorisme de reemplaçament: LRU

Ompliu la següent taula a partir de la seqüència de referències donades, on a la columna tipus *R byte* indica lectura d'1 byte, *R word* és lectura de 2 bytes, *W byte* és escriptura d'1 byte i *W word* és escriptura de 2 bytes. La mida de les lectures i escriptures s'ha d'especificar en bytes.

- Quants blocs té la cache?

- $1024 / 16 = 64$ blocs

- Quants conjunts té la cache?

- $64 \text{ blocs} / 2 \text{ vies} = 32$ conjunts

- Per exemple: @ = 0xA930

- = 1010 1001 **0011** 0000

- Conjunt = 0x13

Adreça:

etiqueta	índex	offset
----------	-------	--------

5

4

- En primer lloc calcularem el num. de bloc i de conjunt (com en l'exemple anterior)

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13							
L	W	B930	B93	13							
E	B	A972	A97	17							
E	W	A932	A93	13							
E	B	C935	C93	13							
L	W	C934	C93	13							
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Lectura A93: conjunt 13 → cold miss. Llegim 16 bytes. Ocupa la via 0

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13							
E	B	A972	A97	17							
E	W	A932	A93	13							
E	B	C935	C93	13							
L	W	C934	C93	13							
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Lectura B93: conjunt 13 → cold miss. Llegim 16 bytes. Ocupa la via 1

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17							
E	W	A932	A93	13							
E	B	C935	C93	13							
L	W	C934	C93	13							
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

LRU

Problema 6.10

- Escriptura A97: conjunt 17 → miss
- Escriptura Immediata sense assignació: sols escrivim 1 byte a MP

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13							
E	B	C935	C93	13							
L	W	C934	C93	13							
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Escripura A93: conjunt 13 → hit
- Escrivim 2 bytes a MC i també a MP. El bloc LRU passa a ser B93

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13							
L	W	C934	C93	13							
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Escriptura C93: conjunt 13 → miss
- Escrivim 1 byte, solament a MP

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13	m			C935	1		
L	W	C934	C93	13							
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Lectura C93: conjunt 13 → miss,
- Llegim 16 bytes, **reemplacem el bloc B93. El bloc LRU passa a ser A93**

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13	m			C935	1		
L	W	C934	C93	13	m	C930	16			A93, C93	
E	B	B976	B97	17							
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Escriptura B97: conjunt 17 → miss,
- Escrivim 1 byte, solament a MP

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13	m			C935	1		
L	W	C934	C93	13	m	C930	16			A93, C93	
E	B	B976	B97	17	m			B976	1		
E	W	B936	B93	13							
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Escriptura B93: conjunt 13 → miss,
- Escrivim 2 bytes, solament a MP

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13	m			C935	1		
L	W	C934	C93	13	m	C930	16			A93, C93	
E	B	B976	B97	17	m			B976	1		
E	W	B936	B93	13	m			B936	2		
L	B	B938	B93	13							
L	W	A978	A97	17							

Problema 6.10

- Lectura B93: conjunt 13 → miss,
- Llegim 16 bytes, **reemplacem el bloc A93**. El bloc LRU passa a ser C93

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13	m			C935	1		
L	W	C934	C93	13	m	C930	16			A93, C93	
E	B	B976	B97	17	m			B976	1		
E	W	B936	B93	13	m			B936	2		
L	B	B938	B93	13	m	B930	16			C93, B93	
L	W	A978	A97	17							

Problema 6.10

- Lectura A97: conjunt 17 → miss,
- Llegim 16 bytes, ocupa la via 0

LRU

tipus	mida	Adreça (hex)	#bloc (hex)	#conjunt (hex)	h/m	Lectura MP		Escr. MP		Conj 13	Conj 17
						adreça	Mida	adreça	mida	--, --	--, --
L	B	A930	A93	13	m	A930	16			A93, --	--, --
L	W	B930	B93	13	m	B930	16			A93, B93	
E	B	A972	A97	17	m			A972	1		
E	W	A932	A93	13	h			A932	2	B93, A93	
E	B	C935	C93	13	m			C935	1		
L	W	C934	C93	13	m	C930	16			A93, C93	
E	B	B976	B97	17	m			B976	1		
E	W	B936	B93	13	m			B936	2		
L	B	B938	B93	13	m	B930	16			C93, B93	
L	W	A978	A97	17	m	A970	16				A97, --

Problema 6.11

6.11. Suposem que tenim un processador amb una memòria cache de dades amb les següents característiques:

- 64 conjunts
- 4 blocs per conjunt
- 32 bytes per bloc
- paraules de 4 bytes
- algorisme de reemplaçament LRU

Sobre aquest sistema de memòria s'executen 2 versions diferents d'una mateixa aplicació:

```
int A[128][1024]; /* emmagatzemada a partir de l'adreça 0 */

/* versió A */
sumA = 0;
for (i=0; i<128; i++)
    for (j=0; j<1024; j++)
        sumA = sumA + A[i][j];

/* versió B */
sumA = 0;
for (j=0; j<1024; j++)
    for (i=0; i<128; i++)
        sumA = sumA + A[i][j];
```

Indiqueu quantes fallades hi ha a la cache de dades per a cada una de les dues versions. Considereu que les variables i , j i $sumA$ estan guardades en registres.

Problema 6.11

- 64 conjunts
- 4 blocs per conjunt
- 32 bytes per bloc
- paraules de 4 bytes



- Quants elements caben en un bloc?
 - $32 \text{ bytes per bloc} / 4 \text{ bytes per element} = 8 \text{ elements}$
- Quants blocs per fila té la matriu?
 - $1024 \text{ elements} / 8 \text{ elements per bloc} = 128 \text{ blocs}$

Problema 6.11

```
int A[128][1024]; /* emmagatzemada a partir de l'adreça 0 */  
  
/* versió A */  
sumA = 0;  
for (i=0; i<128; i++)  
    for (j=0; j<1024; j++)  
        sumA = sumA + A[i][j];
```

- Resseguim l'algorisme: recorre la matriu **per files**
- No repeteix cap element
- Per cada bloc visitat, falla el primer element i encerta els altres 7
 - Taxa de fallades = $1/8$
- Total número de fallades = $1/8 \times 128 \times 1024 = \mathbf{16.384}$

Problema 6.11

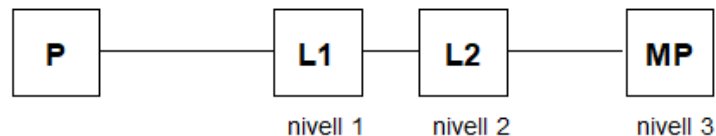
- 64 conjunts
- 4 blocs per conjunt

```
/* versió B */  
sumA = 0;  
for (j=0; j<1024; j++)  
    for (i=0; i<128; i++)  
        sumA = sumA + A[i][j];
```

- Resseguim l'algorisme: recorre la matriu **per columnes**
- Columna 0:
 - Fila 0: bloc núm. 0 → miss → conjunt 0 (via 0)
 - Fila 1: bloc núm. 128 → miss → conjunt 0 (via 1)
 - Fila 2: bloc núm. 256 → miss → conjunt 0 (via 2)
 - Fila 3: bloc núm. 384 → miss → conjunt 0 (via 3)
 - Fila 4: bloc núm. 512 → miss → conjunt 0 (via 0, reemplaça el bloc 0, LRU)
 - Fila 5: bloc núm. 640 → miss → conjunt 0 (via 1, reemplaça el bloc 128, LRU)
 - etc.
- Columna 1:
 - Fila 0: bloc núm 0 (ja visitat abans, però reemplaçat) → miss
 - Fila 1: bloc núm 128 ídem.
 - etc.
- Tots els accessos són fallades!
 - Total número de fallades = $128 \times 1024 = 131.072$ fallades

Problema 6.12

- 6.12. El subsistema de memòria d'un determinat computador està organitzat en tres nivells:



Les característiques del processador i de cada nivell són les següents:

- **P**: La unitat d'adreçament es el byte.
- **L1**: Memòria cache de nivell 1 amb 4 blocs de 4 bytes cada un.
Correspondència directa.
- **L2**: Memòria cache de nivell 2 amb 16 blocs de 4 bytes cada un.
Correspondència associativa de 2 vies. Algorisme de reemplaçament LRU.
- **MP**: Memòria principal amb capacitat de 1 Mbyte.

El funcionament del sistema s'explica a continuació. L1 rep les peticions a memòria que genera P. En cas de fallada a L1, primer es comprova si el bloc es troba a L2. Si hi és, es copia aquest bloc a L1 sense necessitat d'accedir a MP. Si no hi és tampoc a L2, s'accedeix a MP i es copia a les dues caches. D'aquesta manera, L2 actua com una cache per a les peticions de memòria que genera L1.

Per avaluar el rendiment del subsistema de memòria, definim, per a cada nivell i , una taxa d'encerts $h_i = \text{núm. encerts a la } L_i / \text{núm. peticions a la } L_i$

Donada la següent seqüència de 28 adreces de lectura a memòria:

0, 5, 10, 12, 34, 0, 66, ... (que es repeteix 3 vegades més)

- a) Suposant que les caches estan inicialment buides, calculeu les taxes h_1 i h_2

Problema 6.12

- Número de bloc de cada accés (blocs de 4 bytes) = **adreça div 4**

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0									
5	1									
10	2									
12	3									
34	8									
0	0									
66	16									
0	0									
5	1									
10	2									
12	3									
34	8									
0	0									
66	16									

Problema 6.12

- Número de bloc de cada accés (blocs de 4 bytes) = adreça div 4
- Número de línia de cada accés (L1 té 4 línies) = **#bloc mod 4**

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0								
5	1	1								
10	2	2								
12	3	3								
34	8	0								
0	0	0								
66	16	0								
0	0	0								
5	1	1								
10	2	2								
12	3	3								
34	8	0								
0	0	0								
66	16	0								

Problema 6.12

- Analitzem L1 per separat, durant la primera tanda: **misses** a la línia 0, es reemplacen mútuament els blocs 0, 8, 0, 16. I també **cold misses** a les línies 1, 2, 3

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0						
5	1	1	m	0	1					
10	2	2	m	0	1	2				
12	3	3	m	0	1	2	3			
34	8	0	m	8	1	2	3			
0	0	0	m	0	1	2	3			
66	16	0	m	16	1	2	3			
0	0	0								
5	1	1								
10	2	2								
12	3	3								
34	8	0								
0	0	0								
66	16	0								

Problema 6.12

- A la segona tanda: **misses** a la línia 0, es reemplaçen mútuament els blocs 0, 8, 0, 16. A les línies 1, 2, 3 tenim **encerts**

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0						
5	1	1	m	0	1					
10	2	2	m	0	1	2				
12	3	3	m	0	1	2	3			
34	8	0	m	8	1	2	3			
0	0	0	m	0	1	2	3			
66	16	0	m	16	1	2	3			
0	0	0	m	0	1	2	3			
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3			
0	0	0	m	0	1	2	3			
66	16	0	m	16	1	2	3			

Problema 6.12

- #conjunt de cada accés a L2 (té 8 conjunts) = **#bloc mod 8**
(sols accedeixen a L2 les fallades de L1)

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0		
5	1	1	m	0	1			1		
10	2	2	m	0	1	2		2		
12	3	3	m	0	1	2	3	3		
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Analitzem L2 per separat, durant la primera tanda: els blocs 0, 8 ocupen el conjunt 0 al complet, i els blocs 1, 2, 3 van als conjunts 1, 2, 3
- Observarem l'evolució LRU del conjunt 0

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- El bloc 0 **encerta**. Passa a ser el més recent

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0		
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- El bloc 0 **encerta**. Passa a ser el més recent
- El bloc 16 **falla**. Reemplaça al més antic, que és el 8

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0	m	0, 16
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Durant la segona tanda, totes les fallades de L1 van al conjunt 0
- Bloc 0 encerta i passa a més recent

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0	m	0, 16
0	0	0	m	0	1	2	3	0	h	16, 0
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0	m	
0	0	0	m	0	1	2	3	0	h	
66	16	0	m	16	1	2	3	0	m	

Problema 6.12

- Bloc 8 falla i reemplça al 16
- Bloc 0 encerta, i passa a ser el més recent

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0	m	0, 16
0	0	0	m	0	1	2	3	0	h	16, 0
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0	m	

Problema 6.12

- Bloc 16 falla i reemplça al 8
- La tanda 3 i la tanda 4 es comporten exactament com la tanda 2

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs LRU (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0	m	0, 16
0	0	0	m	0	1	2	3	0	h	16, 0
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8, 0
66	16	0	m	16	1	2	3	0	m	0, 16

Problema 6.12

- Referències a L1
 - $7 \times 4 \text{ tandes} = 28$
- Encerts a L1
 - $0 + 3 \times 3 \text{ tandes} = 9$
 - $h_1 = 9 / 28 = \mathbf{0,32}$
- Referències a L2
 - $7 + 4 \times 3 \text{ tandes} = 19$
- Encerts a L2
 - $1 + 2 \times 3 \text{ tandes} = 7$
 - $h_2 = 7 / 19 = \mathbf{0,37}$

Problema 6.12

- b) Calculeu de nou les taxes h_1 i h_2 suposant que ara canviem l'algorisme de reemplaçament de L2: usarem l'algorisme FIFO, que consisteix en reemplaçar el bloc que fa més temps que s'ha portat a la cache.

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs FIFO (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0		
5	1	1	m	0	1			1		
10	2	2	m	0	1	2		2		
12	3	3	m	0	1	2	3	3		
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Primera tanda: Blocs 0, 8 **fallen** i ocupen el conjunt 0 al complet
- Bloc 0 **encerta**, però no altera l'ordre FIFO

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs FIFO (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	0, 8
66	16	0	m	16	1	2	3	0		
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Bloc 16 **falla** i reemplaça al bloc 0

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs FIFO (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	8 , 8
66	16	0	m	16	1	2	3	0	m	8, 16
0	0	0	m	0	1	2	3	0		
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Segona tanda. Bloc 0 **falla** i reemplaça al 8.

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs FIFO (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	0, 8
66	16	0	m	16	1	2	3	0	m	8, 16
0	0	0	m	0	1	2	3	0	m	16, 0
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0		
0	0	0	m	0	1	2	3	0		
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Bloc 8 **falla** i reemplaça al 16
- Bloc 0 **encerta**, però no altera l'ordre FIFO

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs FIFO (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	0, 8
66	16	0	m	16	1	2	3	0	m	8, 16
0	0	0	m	0	1	2	3	0	m	16, 0
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	0, 8
66	16	0	m	16	1	2	3	0		

Problema 6.12

- Bloc 16 **falla** i reemplaça al 0
- Les tandes 3 i 4 segueixen el mateix patró que la tanda 2

adreça	#bloc	L1						L2		
		línia	h/m	Blocs guardats				conjunt	h/m	Blocs FIFO (Conj. 0)
				L0	L1	L2	L3			
0	0	0	m	0				0	m	0, --
5	1	1	m	0	1			1	m	0, --
10	2	2	m	0	1	2		2	m	0, --
12	3	3	m	0	1	2	3	3	m	0, --
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	0, 8
66	16	0	m	16	1	2	3	0	m	8, 16
0	0	0	m	0	1	2	3	0	m	16, 0
5	1	1	h	0	1	2	3			
10	2	2	h	0	1	2	3			
12	3	3	h	0	1	2	3			
34	8	0	m	8	1	2	3	0	m	0, 8
0	0	0	m	0	1	2	3	0	h	0, 8
66	16	0	m	16	1	2	3	0	m	8, 16

Problema 6.12

- Referències a L2
 - $7 + 4 \times 3 \text{ tandes} = 19$
- Encerts a L2
 - $1 \times 4 \text{ tandes} = 4$
 - $h_2 = 4 / 19 = \mathbf{0,21}$
- **FIFO obté una taxa d'encert més baixa que LRU**