**S32V APEX视觉加速器内核**

S32V234是NXP推出的一款汽车视觉微处理器，它包含4 x Cortex-A53@1GHz和1 x Cortex-M4@133MHz内核，S32V包含2个APEX核，快速实现图像视频的检测，识别，分类等应用。  
 为了实现图像能够得到加速处理，S32V搭配的两个APEX核起到了至关重要的作用。APEX是一种大规模并行混合处理器，能够有效的处理大量数据。其中一个架构是APU阵列处理单元，主要用来并行化处理数据；另一个是DMA快速进行直接内存操作，其结构如下图1所示。

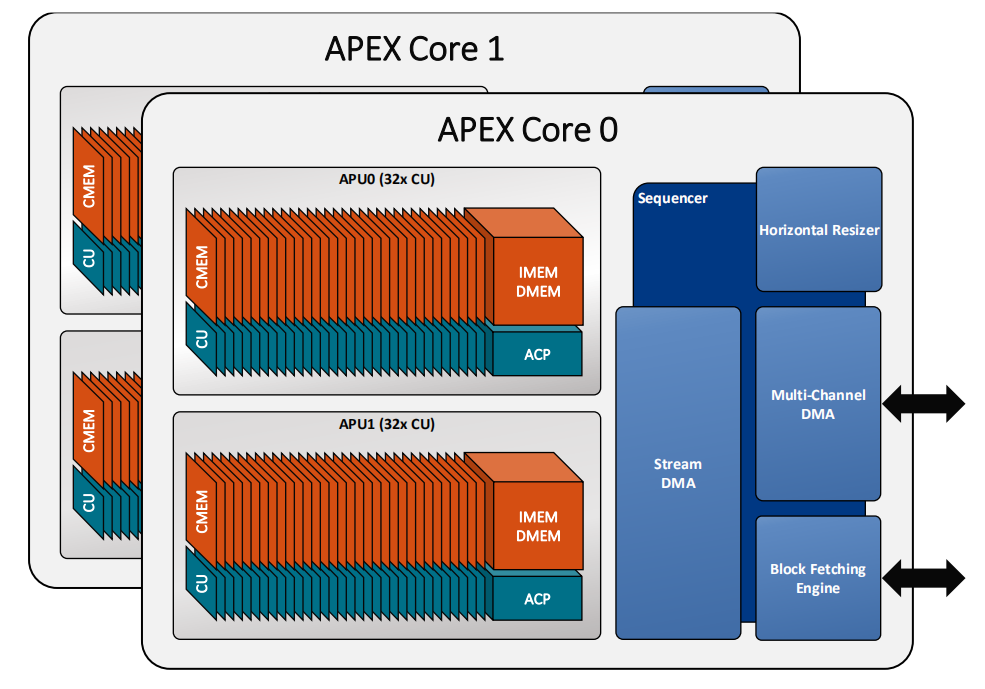


图 1 APEX核心硬件架构



CU0

CU1

CU2

CU3

|  |
| --- |
| 00 |
| 01 |
| 03 |
|  |
| 32 |
| 33 |
| 47 |

|  |
| --- |
| 32 |
| 33 |
| 35 |
|  |
| 66 |
| 69 |
| 70 |

|  |
| --- |
| 10 |
| 14 |
| 22 |
|  |
| 35 |
| 37 |
| 40 |

|  |
| --- |
| 15 |
| 1A |
| 2B |
|  |
| 43 |
| 57 |
| 66 |

图 2 APEX加速处理原理

具体原理如下：

①如上图2所示，假如我们将图片划分成4个slice，如图中蓝色虚线框部分，然后将每个slice划分成8x4个chunks如图红色虚线部分。

②然后将chunks里面的数据通过DMA直接放到CU单元中进行并行化计算，实际在CMEM中呈现，CU单元由矩阵控制处理器ACP划分。

③运算完成之后再由DMA将数据传回图片中。

整个过程属于单指令多数据流（SIMD），实际开发中结合RAM和APEX，合理分配硬件资源，使得图像处理能够保持低功耗且快速的并行化处理。在ADAS系统应用研发中，利用APEX kernel算法和硬件加速实现汽车、交通标志、道路、行人等特征检测别进行分类识别，可实时有效提高系统性能。