

大学生助手

集成电路设计/电子与通信工程专业

数字逻辑电路设计 考试科目资料



【43个知识点，内部考试大纲，上岸必备利器】

申明：重点知识整理参考 康华光《电子技术基础 数字部分（第五版）》

第一章 数字逻辑概论

大学生助手 1、数字电路的分类 P4

组合逻辑电路和时序逻辑电路。

2、数字集成电路的特点 P5

- (1) 稳定性高，结果的再现性好；
- (2) 易于设计；
- (3) 大批量生产，成本低廉；
- (4) 可编程性；
- (5) 高速度、低功耗。

3、数字逻辑的定义 P9

只有两种对立逻辑状态（逻辑0和逻辑1）的逻辑关系称为二值数字逻辑，简称数字逻辑。

4、时序图的定义 (09) P12, P251

定义一：用来分析时序电路的逻辑功能，表明各信号之间时序关系的波形图称为时序图。

定义二：通常把时序电路的状态和输出对时钟脉冲序列和输入信号响应的波形图称为时序图。

定义三：表明相互时间关系的多重数字波形图叫做时序图，时序图中的每一波形常称为时间信号。（第四版）

2009年真题：什么是时序图？(10分)

答：用来分析时序电路的逻辑功能，表明各信号之间时序关系的波形图称为时序图。

5、数制的转换 (11) P17-P21

16进制数的应用：常用于数字电子技术、微处理器、计算机和数据通信中。

2011年真题：将十进制数 20.125 用二进制、八进制和十六进制数表示。

答：二进制：10100.001，八进制：24.1，十进制：14.2。

6、二进制数的加法、减法、乘法（13） P21-P23**2013 年真题：**求二进制数 **1010** 和 **0101** 的和差积。答：和：**1111**，差：**0101**，积：**110010**。**学生助手7、二进制数补码的计算（11, 14） P23-P24**

(1) 基数为 R, 位数为 n 的原码 N, 其补码为:

(2) 带符号二进制数补码的计算方法如下:

补码或反码的最高位为符号位, 正数为 0, 负数为 1;

当二进制数为正数时, 其补码、反码与原码相同;

当二进制数为负数时, 将原码的数值位逐位求反 (即得到反码), 然后在最低位加 1 得到补码;

(3) 对于 n 位带符号的二进制数的原码、反码和补码的数值范围分别为:

 原码 $-(2^{n-1} - 1) \sim +2^{n-1} - 1$ 反码 $-(2^{n-1} - 1) \sim +2^{n-1} - 1$ 补码 $-2^{n-1} \sim +2^{n-1} - 1$

(4) 二进制补码的减法原理: 减去一个正数相当于加上一个负数, 即, 对 (-B) 求补码, 然后进行加法计算。

2011 年真题：用 **5** 位二进制补码计算, 并说明结果。答: 计算结果为**-3**, 而实际结果应为 **19**, 产生溢出。**2014 年真题：**说明补码和反码的区别, 说明补码实现减法的原理。

答: 补码和反码的区别: ①补码或反码的最高位为符号位, 正数为 0, 负数为 1, ②当二进制数为正数时, 其补码、反码与原码相同, ③当二进制数为负数时, 将原码的数值位逐位求

大学生助手
反 (即得到反码), 然后在最低位加 1 得到补码; 补码实现减法的原理: 减去一个正数相当于加上一个负数, 即, 对 (-B) 求补码, 然后进行加法计算。**8、溢出和溢出的判别（13） P24-P25**(1) 产生溢出的原因: 对于 4 位二进制补码, 有 3 位是数值位, 所表示的范围为**-8~+7**, 当补码计算结果超过此范围时就产生溢出。

(2) 解决溢出的办法: 进行位扩展。

(3) 溢出的判别: 两个符号相反的数相加不会产生溢出, 但两个符号相同的数相加有可能产生溢出。当进位位与和数的符号位 (即 b_3 位) 相反时, 则运算结果是错误的, 产生溢出。**2013 年真题：**两个 **4** 位二进制的补码进行加法运算, 如何判断是否溢出。答: 当进位位与和数的符号位 (即 b_3 位) 相反时, 则运算结果是错误的, 产生溢出。**9、二-十进制码（11, 13, 14） P26-P28**(1) **BCD** 码的定义: 二-十进制码就是用 4 位二进制数来表示 1 位十进制数中的 0~9 这 10 个数码, 简称 **BCD** 码。(2) **BCD** 码的分类: 8421BCD 码、2421BCD 码、5421BCD 码、余 3 码和余 3 循环码。(3) 8421BCD 码是最常用的一种 **BCD** 码。它是由 4 位自然二进制数 **0000** (0) 到 **1111**

(15) 16 种组合的前 10 种组成。

(4) 2421BCD 码的特点: 将任意一个十进制数 D 的代码各位取反, 所得代码正好表示 D 的 9 的补码 (自补性), 例如 2 的代码 **0010** 各位取反位 **1101**, 它是 7 的代码, 而 2 对 9 的补码为 **7**。

(5) 余 3 码的编码可以由 8421 码加 3 (0011) 得出。余 3 循环码的特点: 任意两个相邻代码之间仅有 1 位取值不同 (相邻性)。余 3 循环码可以看成是将格雷码首尾各 3 种状态去掉而得到的。

大学生助手

(6) 格雷码的特点：具有相邻性，即两个相邻代码之间仅有 1 位取值不同，因而常用于将模拟量转换成用连续二进制序列表示的数字量的系统中。当模拟量发生微小变化而引起数字量从 1 位变化到相邻位时，例如从 3 到 4，格雷码变化时从 0010 到 0110，只有 b_2 位从 0 变成 1，其余三位保持不变。如果对于自然二进制码，其变化时从 0011 到 0100，有 3 位发生变化，如果 b_2 位从 0 到 1 变化所需的时间比 b_1 和 b_0 从 1 变到 0 的时间长，则在转换过程中，会产生瞬间错误数码 0000 出现。而格雷码可以避免错误数码的出现。

注：8421BCD 码、2421BCD 码和 5421BCD 码是有权码；2421BCD 码和余 3 码是自补码；余 3 码、余 3 循环码和格雷码是无权码；余 3 循环码和格雷码具有相邻性。

几种常见的 BCD 码

十进制数	有权码			无权码	
	8421 码	2421 码	5421 码	余 3 码	余 3 循环码
0	0000	0000	0000	0011	0010
1	0001	0001	0001	0100	0110
2	0010	0010	0010	0101	0111
3	0011	0011	0011	0110	0101
4	0100	0100	0100	0111	0100
5	0101	1011	1000	1000	1100
6	0110	1100	1001	1001	1101

大学生助手

7	0111	1101	1010	1010	1111
8	1000	1110	1011	1011	1110
9	1001	1111	1100	1100	1010

格雷码

二进制码	格雷码	二进制码	格雷码
0000	0000	1000	1100
0001	0001	1001	1101
0010	0011	1010	1111
0011	0010	1011	1110
0100	0110	1100	1010
0101	0111	1101	1011
0110	0101	1110	1001
0111	0100	1111	1000

2009 年真题：格雷码有什么特点？用于什么场合？(10 分)

答：格雷码的特点：具有相邻性，即两个相邻代码之间仅有 1 位取值不同；应用场合：常用于将模拟量转换成用连续二进制序列表示的数字量的系统中。

2011 年真题：说明什么是 BCD 码，并用一般的 BCD 码表示 1950

答：二-十进制码就是用 4 位二进制数来表示 1 位十进制数中的 0~9 这 10 个数码，简称 BCD 码；1950：0001 1001 0101 0000。

2013 年真题：使用 8421 和余 3 码表示 2013

答：8421 码：0010 0000 0001 0011；余 3 码：0101 0011 0100 0110。

2014 年真题：使用 8421 和余 3 码表示 2014

答：8421 码：0010 0000 0001 0100；余 3 码：0101 0011 0100 0111。

10、逻辑函数及其表示方法 (14) P33

输出变量与输入变量之间的逻辑函数的描述方法有：真值表、逻辑函数表达式、逻辑图、波形图和卡诺图。

大学生助手 **2014** 年真题：逻辑函数都有哪些表示方法？

答：真值表、逻辑函数表达式、逻辑图、波形图和卡诺图。

第二章 逻辑代数与硬件描述语言基础

11、逻辑代数的基本定律和恒等式 (13) P40

大学生助手

分配律： $A + BC = (A + B)(A + C)$ ；反演律（摩根定理）： $\overline{AB} = \overline{A} + \overline{B}$ $\overline{A + B} = \overline{A} \cdot \overline{B}$ ；吸收律： $A + \overline{A}B = A + B$ $(A + B)(A + C) = A + BC$ ；常用恒等式： $AB + \overline{A}C + BC = AB + \overline{A}C$ $AB + \overline{A}C + BCD = AB + \overline{A}C$ ；

逻辑代数定律、定理和恒等式

基本定律	
0-1 律	$A + 0 = A, A \cdot 0 = 0, A + 1 = 1, A \cdot 1 = A$ $A + A = A, A \cdot A = A, A \cdot \overline{A} = 0, A + \overline{A} = 1, \overline{\overline{A}} = A$
结合律	$(A + B) + C = A + (B + C), (AB)C = A(BC)$
交换律	$A + B = B + A, AB = BA$
分配率	$A(B + C) = AB + AC, A + BC = (A + B)(A + C)$
反演律	$\overline{A \cdot B} = \overline{A} + \overline{B}, \overline{A + B} = \overline{A} \cdot \overline{B}$
吸收率	$A + AB = A, A(A + B) = A$ $A + \overline{A}B = A + B, (A + B)(A + C) = A + BC$
常用恒等式	$AB + \overline{A}C + BC = AB + \overline{A}C$ $AB + \overline{A}C + BCD = AB + \overline{A}C$

2013 年真题：使用公式化简 $Y = AB + \overline{A}C + \overline{B}C$ 答： $Y = AB + \overline{A}C + \overline{B}C = AB + (\overline{A} + \overline{B})C = AB + \overline{ABC} = AB + C$

12、逻辑代数的基本规则 P41-P42

- (1) 代入规则
- (2) 反演规则
- (3) 对偶规则

大学生助手

13、逻辑函数的代数化简法 (11) P42-P46

(1) 逻辑函数的最简与-或表达式：在若干个逻辑关系相同的与-或表达式中，将其中包含的与项数最少，且每个与项中变量数最少的表达式称为最简与-或表达式

(2) 逻辑函数的化简方法：并项法、吸收法、消去法、配方法

(3) 利用摩根定理对逻辑函数表达式进行变换，可以减少门电路的种类和集成电路的数量。具体操作如下：将与-或表达式转换成与非-与非表达式时，首先对与-或表达式取两次非，然后按照摩根定理分开下面的取非线。将与-或表达式转换成或非-或非表达式时，首先对与-或表达式中的每个乘积项单独取两次非，然后按照摩根定理分开下面的取非线

(4) 逻辑代数的定义：逻辑代数是分析和设计逻辑电路的数学基础

2011 年真题：利用代数法化简 $Y = AB + \overline{A}C + B\bar{C}$ 答： $Y = AB + \overline{A}C + B\bar{C} = AB + \overline{A}\bar{C}$

14、逻辑函数的卡诺图化简法 (13) P46-56

卡诺图化简逻辑函数的主要依据：各小方格对应于各变量不同的组合，而且上下左右在几何上相邻的方格内只有一个因子有差别

2013 年真题：用卡诺图化简 $Y = (A + B)(A + C + D)(B + C + D)$

大学生助手

2013: $Y = (A+B)(A+C+D)(B+C+D)$

$$\begin{aligned}
 Y &= A\bar{B} + A\bar{C}\bar{D} + \bar{B}\bar{C}\bar{D} \\
 &= \bar{A}\bar{B}(C+\bar{C})(D+\bar{D}) + \bar{A}(B+\bar{B})\bar{C}\bar{D} + (\bar{A}+\bar{A})\bar{B}\bar{C}\bar{D} \\
 &= \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} \\
 &= \sum m(0, 1, 2, 3, 4, 8)
 \end{aligned}$$

由上式之和项下，核对丁中的各最小项，在卡诺图相
应方格应填 0，其余填 1。

	AB	CD
	00	00 01 11 10
00	0	0 0 0 0
01	0	1 1 1 1
11	1	1 1 0 0
10	1	0 1 1 1

由卡诺图化简得 $Y = AB + AC + AD + BC + BD$

第三章 逻辑门电路

15、MOS 逻辑门电路（12,14）P68-P75

大学生助手 (1) CMOS 电路的特点：功耗低、扇出数大、抗干扰能力强（噪声容限大）、电源电压范围宽、低成本、高密度等

(2) COMS 电路的应用场合：用于要求功耗较低或电池供电的设备，如便携计算机、手机和掌上电脑

(3) ECL 电路的应用场合：高速或超高速数字系统或设备

(4) 逻辑电路的一般特性：

①输入和输出的高、低电平

输入低电平的上限值 $V_{IL(max)}$ 、输入高电平的下限值 $V_{IH(min)}$ 、输出低电平的上限值 $V_{OL(max)}$ 、输出高电平的下限值 $V_{OH(min)}$

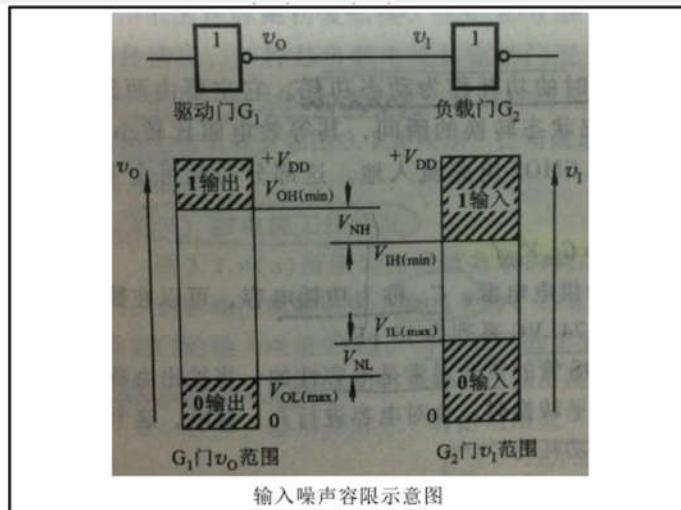
②噪声容限：

表示门电路的抗干扰能力

输入高电平的噪声容限： $V_{NH} = V_{OH(min)} - V_{IH(min)}$

输入低电平的噪声容限： $V_{Nl} = V_{OL(max)} - V_{OH(max)}$

大学生助手

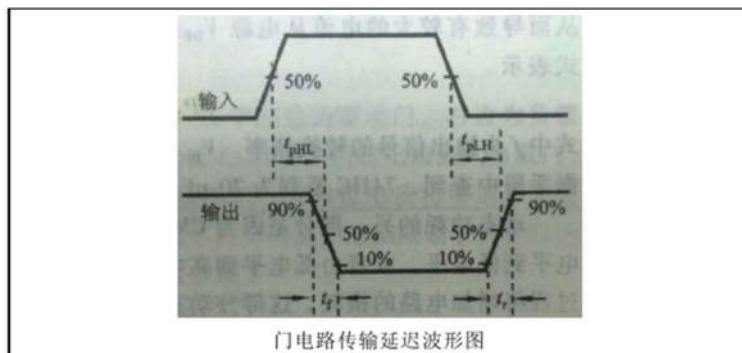


③传输延迟时间：

表征门电路开关速度的参数

通常输出波形下降沿、上升沿的中点与输入波形对应沿中点之间的时间间隔分别用 t_{pLH} 和 t_{pHL} 表示，由于 CMOS 门电路输出级的互补对称性，其 t_{pLH} 和 t_{pHL} 相等。有时也采用平均传输延迟时间这一参数，即 $t_{pd} = (t_{pLH} + t_{pHL})/2$

大学生助手



④功耗：

功耗是门电路的重要参数之一，分为静态功耗和动态功耗。静态功耗是指当电路的输出没有状态转换时的功耗，动态功耗是指 CMOS 电路在输出发生状态转换时的功耗（CMOS 电路总的动态功耗为： $P_D = (C_{PD} + C_L) \cdot V_{DD}^2 \cdot f$ ，其中 C_{PD} 为功耗电容， C_L 为负载电容， f 为输出信号的转换频率）

⑤延时-功耗积： $D_p = t_{pd} \cdot P_D$ 式中 $t_{pd} = (t_{pLH} + t_{pHL})/2$ ， P_D 为门电路的功耗

⑥扇入数和扇出数

门电路的扇入数：取决于它的输入端的个数，例如一个 3 输入端的与非门，其扇入数 $N_I = 3$

门电路的扇出数：是指其在正常工作情况下，所能带同类门电路的最大数目。计算扇出数有两种情况：拉电流负载（负载电流从驱动门流向外部）和灌电流负载（负载电流从外部流向驱动门）

<1>拉电流工作情况

图 a 所示为拉电流负载的情况，途中左边为驱动门，右边为负载门。当驱动门的输出端为高电平时，将有电流 I_{OH} 从驱动门拉出而流入负载门，负载门的输入电流为 I_{IH} 。当负载门

④功耗：

功耗是门电路的重要参数之一，分为静态功耗和动态功耗。静态功耗是指当电路的输出没有状态转换时的功耗，动态功耗是指 CMOS 电路在输出发生状态转换时的功耗（CMOS 电路总的动态功耗为： $P_D = (C_{PD} + C_L) \cdot VDD^2 \cdot f$ ，其中 C_{PD} 为功耗电容， C_L 为负载电容， f 为输出信号的转换频率）

⑤延时-功耗积： $D_P = t_{pd} \cdot P_D$ 式中 $t_{pd} = (t_{pLH} + t_{pHL})/2$ ， P_D 为门电路的功耗

⑥扇入数和扇出数

门电路的扇入数：取决于它的输入端的个数，例如一个 3 输入端的与非门，其扇入数 $N_I = 3$

门电路的扇出数：是指其在正常工作情况下，所能带同类门电路的最大数目。计算扇出数有两种情况：拉电流负载（负载电流从驱动门流向外部）和灌电流负载（负载电流从外部流向驱动门）

<1>拉电流工作情况

图 a 所示为拉电流负载的情况，途中左边为驱动门，右边为负载门。当驱动门的输出端为高电平时，将有电流 I_{OH} 从驱动门拉出而流入负载门，负载门的输入电流为 I_{IH} 。当负载门的个数增加时，总的拉电流将增加，会引起输出高电压的降低。但不得低于输出高电平的下限值，这就限制了负载门的个数。这样，输出为高电平时的扇出数可表示如下

$$N_{OH} = \frac{I_{OH}(\text{驱动门})}{I_{IH}(\text{负载门})}$$

<2>灌电流工作情况

图 b 所示为灌电流负载的情况，当驱动门的输出端为低电平时，负载电流 I_{OL} 流入驱动门，它是负载门输入端电流 I_{IL} 之和。当负载门的个数增加时，总的灌电流 I_{OL} 将增加，同时也将引起输出低电压 V_{OL} 的升高。当输出为低电平时，并且保证不超过输出低电平的上限值时，驱动门所能驱动同类门的个数由下式决定

$$N_{OL} = \frac{I_{OL}(\text{驱动门})}{I_{IL}(\text{负载门})}$$

大学生助手

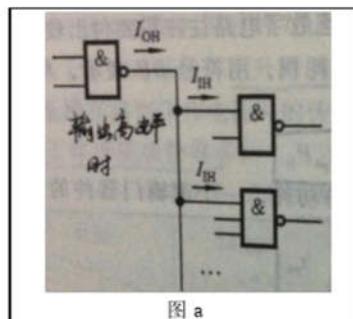


图 a

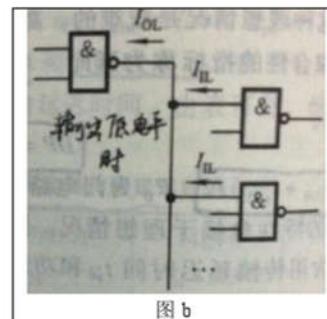


图 b

如果输出高电平电流 I_{OH} 与输出低电平电流 I_{OL} 不相等，则常取二者中的最小值

2012 年真题：数字电路为什么一般会选择 CMOS 器件而不用 TTL

答：与 TTL 电路相比，CMOS 电路具有低功耗、抗干扰能力强、电源电压范围宽、成本低、高密度、扇出数大等优点

2012 年真题：关于拉电流和灌电流的问题

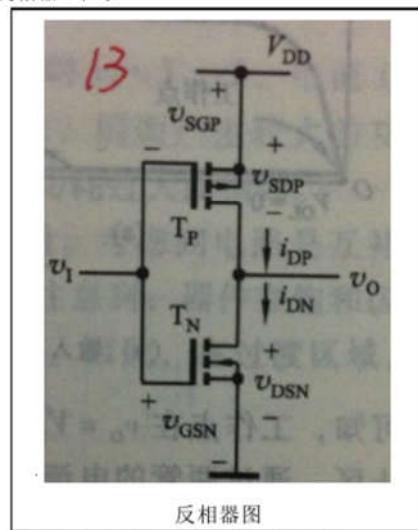
2014 年真题：BJT 和 CMOS (FET 的英文含义) 的中文含义并说明 CMOS 电路特点

答：BJT：Bipolar Junction Transistor（三极管），CMOS：Complementary Metal Oxide Semiconductor（互补金属氧化物半导体），FET：Field Effect Transistor（场效应管）；CMOS 电路的特点：低功耗、扇出数大、抗干扰能力强、电源电压范围大、低成本、高密度

16、CMOS 反相器和 CMOS 逻辑门电路（13, 14） P77, 80, 83, 87, 89

(1) 会画 CMOS 反相器 即可

大学生助手

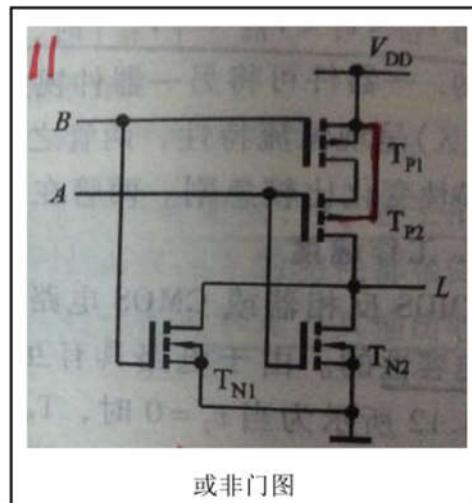
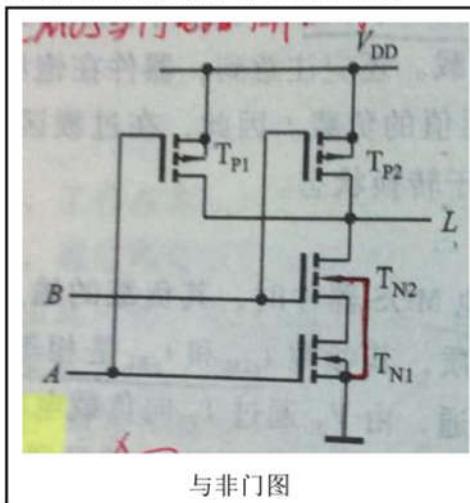


(2) CMOS 与非门和或非门电路以及他们的工作原理

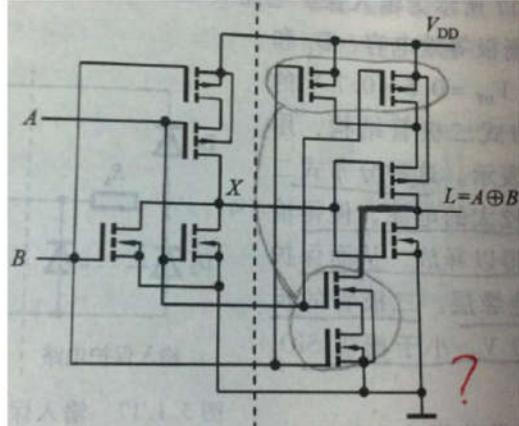
①2 输入端 CMOS 与非门电路工作原理：其中包括两个串联的 N 沟道增强型 MOS 管和两个并联的 P 沟道增强型 MOS 管。每个输入端连到一个 N 沟道和一个 P 沟道 MOS 管。当输入端 A、B 只要有一个为低电平时，就会使与它相连的 NMOS 管截止，与它相连的 PMOS 管导通，输出为高电平；仅当 A、B 全为高电平时，才会使两个串联的 NMOS 管都导通，使两个并联的 PMOS 管都截止，输出为低电平。因此这种电路具有与非的逻辑功能，即

大学生助手手
②2 输入端 CMOS 或非门电路工作原理：其中包括两个并联的 N 沟道增强型 MOS 管和两个串联的 P 沟道增强型 MOS 管。当输入端 A、B 中只有一个为高电平时，就会使与它相连的 NMOS 管导通，与它相连的 PMOS 管截止，输出为低电平；仅当 A、B 全为低电平时，两个并联 NMOS 管都截止，两个串联的 PMOS 管都导通，输出为高电平。因此，这种电路具有或非的逻辑功能，其逻辑表达式为 $L = \overline{A + B}$

注：CMOS 逻辑门电路的输入端不宜过多：当输入端的数目越多，则串联的管子也越多，若串联的管子全部导通时，其总的导通电阻会增加，以致影响输出电平，使与非门的低电平升高，而使或非门的高电平降低



大学生助手

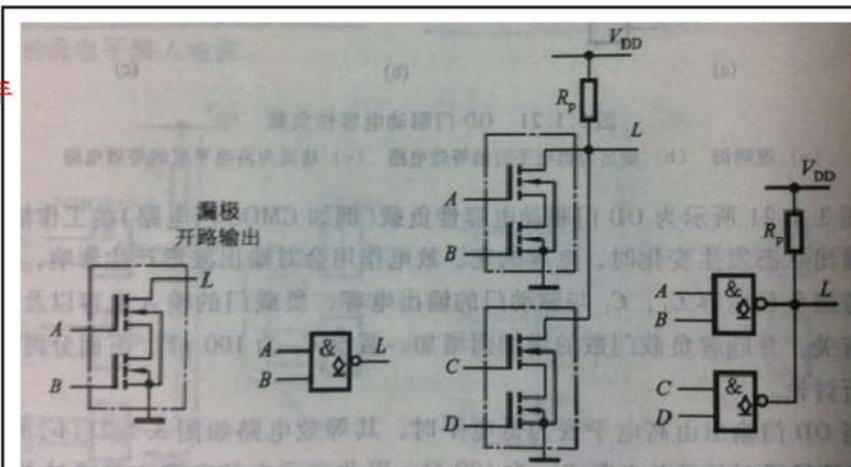


异或门图

(3) CMOS 漏极开路门电路

- ①漏极开路的定义：是指 CMOS 门输出电路只有 NMOS 管，并且它的漏极是开路的
- ②CMOS 漏极开路门电路的应用：实现线与、驱动发光二极管、驱动 TTL 系列逻辑门电路、实现逻辑电平的转换

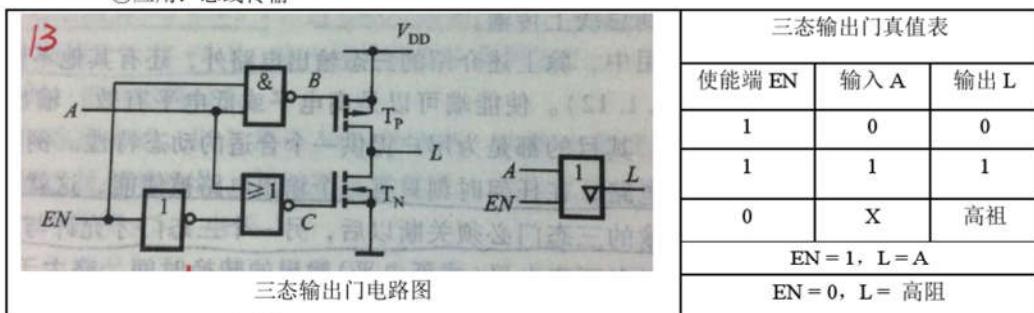
大学生助手



漏极开路门电路图

(4) 三态 (TSL) 输出门电路

- ①工作原理：当使能端 EN=1 时，如果 A=0，则 B=1, C=1，使得 T_N 导通，同时 T_P 截止，输出端 L=0；如果 A=1，则 B=0, C=0，使得 T_N 截止，同时 T_P 导通，输出 L=1。当使能端 EN=0 时，不论 A 的取值如何，都使得 B=1, C=0，则 T_N 和 T_P 均截止，电路的输出端出现开路，既不是低电平，也不是高电平，输出高阻态。由以上分析可知，当 EN 为有效的高电平时，电路处于正常逻辑工作状态，L=A。当 EN 为低电平时，电路处于高阻状态。

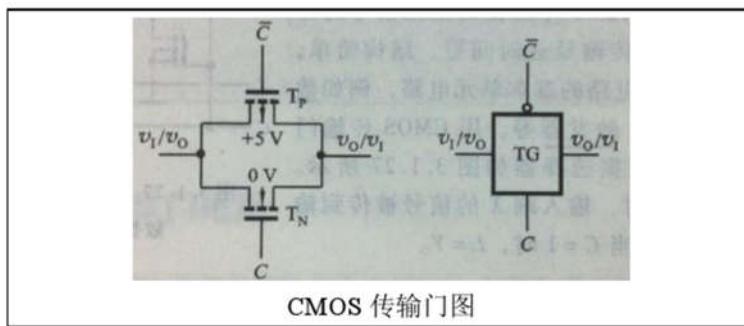
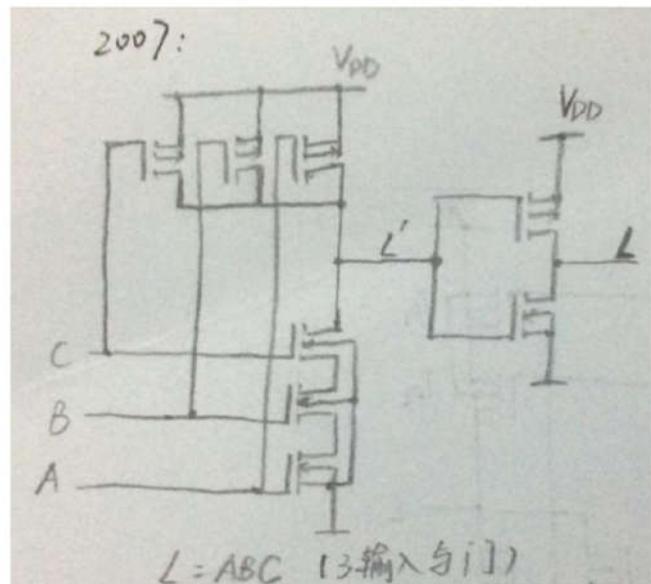
大学生助手 应用：总线传输

(5) CMOS 传输门 (TG)

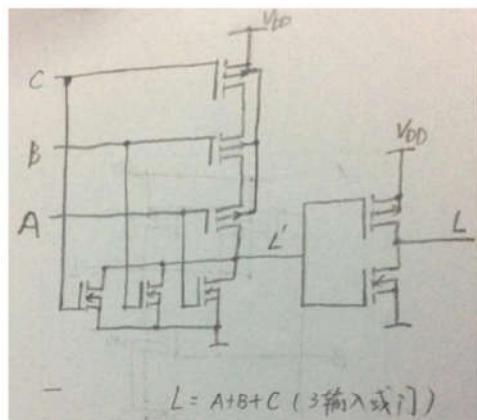
CMOS 传输门由一个 P 沟道和一个 N 沟道增强型 MOSFET 并联而成。 T_N 和 T_P 是结构对称的器件，它们的漏极和源极可以互换。

当 CMOS 传输门用于模拟电路时， T_N 和 T_P 的衬底分别接 -5V 和 +5V，输入信号的变化范围为 -5~+5V。当 CMOS 传输门用于传输数字信号时， T_N 和 T_P 的衬底分别接 0V 和 +5V，输入信号的变化范围为 0~+5V。

CMOS 传输门的优点：导通电阻的变化相对各单管等效电阻的变化小得多

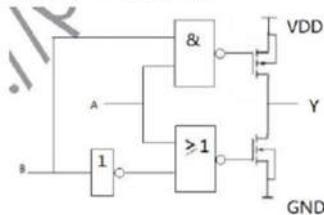
大学生助手**2007 年真题：** 分别画出 3 输入端 CMOS 与门和 3 输入 CMOS 或门 (20')

学生助手



2011 年真题：画出 2 输入端 CMOS 或非门的电路图，并简述电路工作原理
答：详见 16-(2)-②

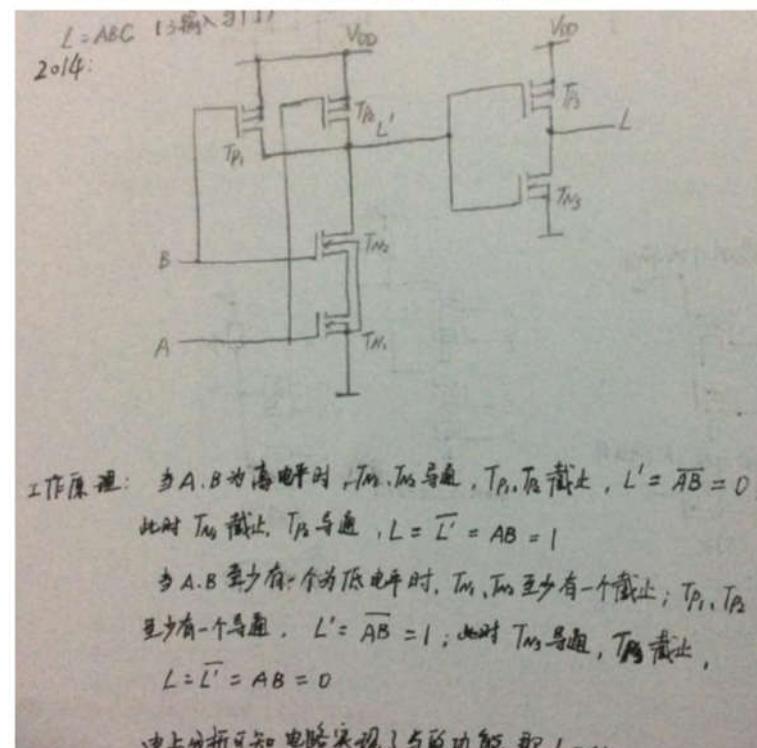
2013 年真题：写出逻辑表达式（三态输出门）



答：详见三态输出门部分

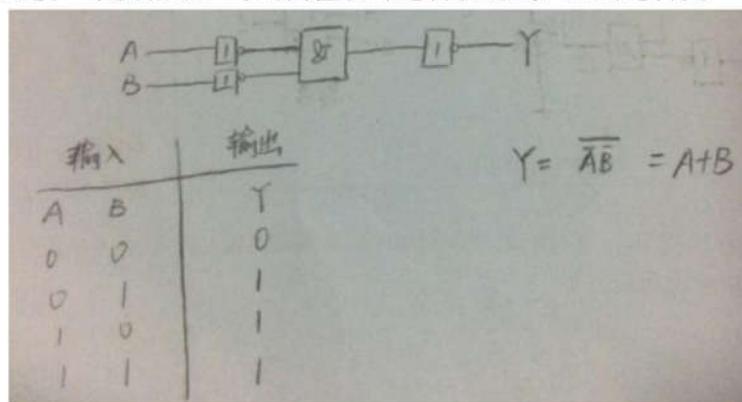
2014 年真题：画出 CMOS 与门电路，并说明该电路工作原理

学生助手



2014 年真题：用一个输入与门与三个反相器构成数字电路，与门每一个输入端和输出端连接一个反相器，写出真值表与逻辑表达式，画出逻辑图

大学生助手

**17、正负逻辑 (09) P107-108**

(1) 正逻辑体制：高电平用逻辑 1 表示，低电平用逻辑 0 表示

(2) 负逻辑体制：高电平用逻辑 0 表示，低电平用逻辑 1 表示

大学生助手

正与非门真值表

A	B	L
0	0	1
0	1	1
1	0	1
1	1	0

负或非门真值表

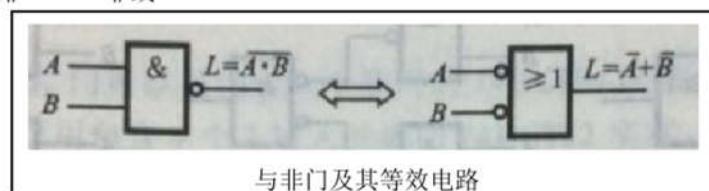
A	B	L
1	1	0
1	0	0
0	1	0
0	0	1

2009 年真题：什么是负逻辑体制？请给出负逻辑体制或非门真值表。（11'）

答：见上面内容

18、基本逻辑电路的等效符号 P109

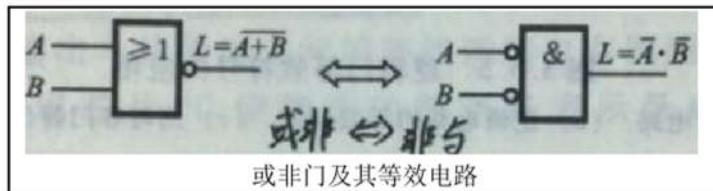
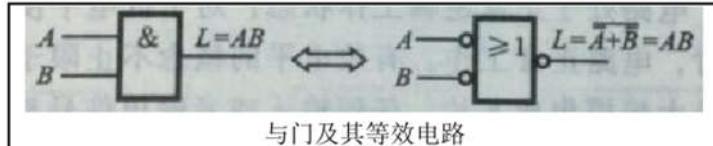
逻辑电路及其等效符号，是在同一逻辑体制下，用两种不同的方式描述同一逻辑运算

(1) 与非 \Leftrightarrow 非或

浩浩

(2) 或非 \Leftrightarrow 非与

大学生助手

(3) 与 \Leftrightarrow 非或非(4) 或 \Leftrightarrow 非与非

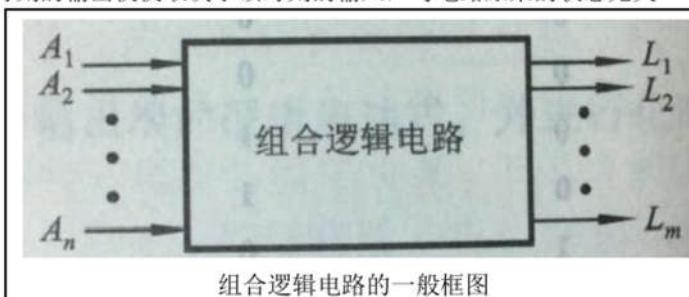
第四章 组合逻辑电路

19、组合逻辑电路的定义 (08) P127

大学生助手 对于一个逻辑电路，其输出状态在任何时刻只取决于同一时刻的输入状态，而与电路原来的状态无关，这种电路被定义为组合逻辑电路

(2) 组合逻辑电路结构的特点：

- ①输出、输入之间没有反馈延迟通路
- ②电路中不含具有记忆功能的元件
- ③任意时刻的输出仅仅取决于该时刻的输入，与电路原来的状态无关



2008 年真题：组合逻辑电路（名词解释）(10 分)

答：详见 19 - (1)

20、组合逻辑电路的设计步骤 P130

- ①明确实际问题的逻辑功能，并确定输入、输出变量数及表示符号

激
进

20、组合逻辑电路的设计步骤 P130

- ①明确实际问题的逻辑功能，并确定输入、输出变量数及表示符号
 - ②根据对电路逻辑功能的要求，列出真值表（最关键）
 - ③由真值表写出逻辑表达式
 - ④简化和变换逻辑表达式，从而画出逻辑图
- 例题 (P130-P133)

学生助手**21、组合逻辑电路中的竞争和冒险 (08) P134-P135**

竞争冒险：电路在信号电平变化瞬间，可能与稳态下的逻辑功能不一致，产生错误输出，这种现象就是电路中的竞争冒险

竞争：当一个逻辑门的两个输入端的信号同时向相反方向变化，而变化的时间有差异的现象称为竞争

冒险：由竞争而可能产生输出干扰脉冲的现象称为冒险

注意：有竞争现象不一定都会产生干扰脉冲

2008 年真题：逻辑冒险（名词解释）(10 分)

答：详见 21

22、消去竞争冒险的方法 (09) P135-P136

①发现并消去互补相乘项。例如，函数式 $F = (A + B)(\bar{A} + C)$ 在 $B = C = 0$ 时， $F = \bar{A}A$ 若直接根据这个逻辑表达式组合逻辑电路，则可能出现竞争冒险。如将该式变换为 $F = A\bar{A} + AC + \bar{A}B + BC = AC + \bar{A}B + BC$ 这里已将 $\bar{A}A$ 消掉

②增加乘积项以避免互补项相加。例如将逻辑表达式 $L = AC + B\bar{C}$ 变成 $L = AC + B\bar{C} + AB$ 当 $A = B = 1$ 时，根据逻辑表达式有 $L = C + \bar{C} + 1$ 不会只出现互补相加的情况

③输出端并联电容器

2009 年真题：请列出三种消除竞争冒险的方法。(9 分)

答：发现并消去互补相乘项、增加乘积项以避免互补项相加、输出端并联电容器

23、编码器 (10,14) P137-P143

编码的定义：用一个二进制代码表示特定含义的信息称为编码

优先编码的定义：识别请求信号的优先级别并进行编码

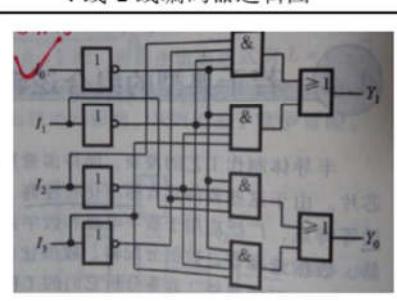
大学生助手 二进制编码器有 n 位二进制输出，与 2^n 个输入项对应

4 线-2 线编码器真值表 (背)

输入				输出	
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

表达式： $Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$
 $Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$

4 线-2 线编码器逻辑图

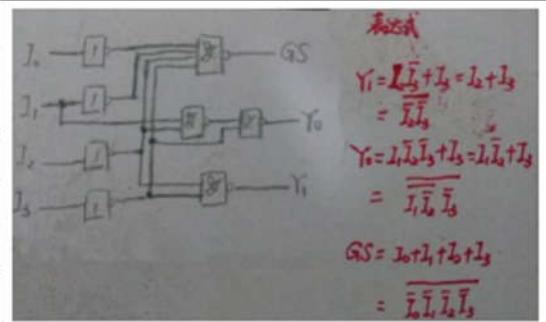


4 线-2 线优先编码器编码器真值表

4 线-2 线优先编码器逻辑图

手

输入				输出		
I ₀	I ₁	I ₂	I ₃	Y ₁	Y ₀	GS
0	0	0	0	0	0	0
1	0	0	0	0	0	1
x	1	0	0	0	1	1
x	x	1	0	1	0	1
x	x	x	1	1	1	1



8 线-3 线优先编码器真值表

输入									输出				
EI	I ₇	I ₆	I ₅	I ₄	I ₃	I ₂	I ₁	I ₀	Y ₁	Y ₀	Y ₁	GS	EO
0	x	x	x	x	x	x	x	x	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	x	x	x	x	x	x	x	1	1	1	1	0
1	0	1	x	x	x	x	x	x	1	1	0	1	0
1	0	0	1	x	x	x	x	x	1	0	1	1	0
1	0	0	0	1	x	x	x	x	1	0	0	1	0
1	0	0	0	0	1	x	x	x	0	1	1	1	0
1	0	0	0	0	0	0	1	x	0	1	0	1	0
1	0	0	0	0	0	0	0	1	0	0	1	1	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0

工作原理：高电平有效的输入使能端 EI 和输出使能端 EO，以及优先编码工作状态标志 GS

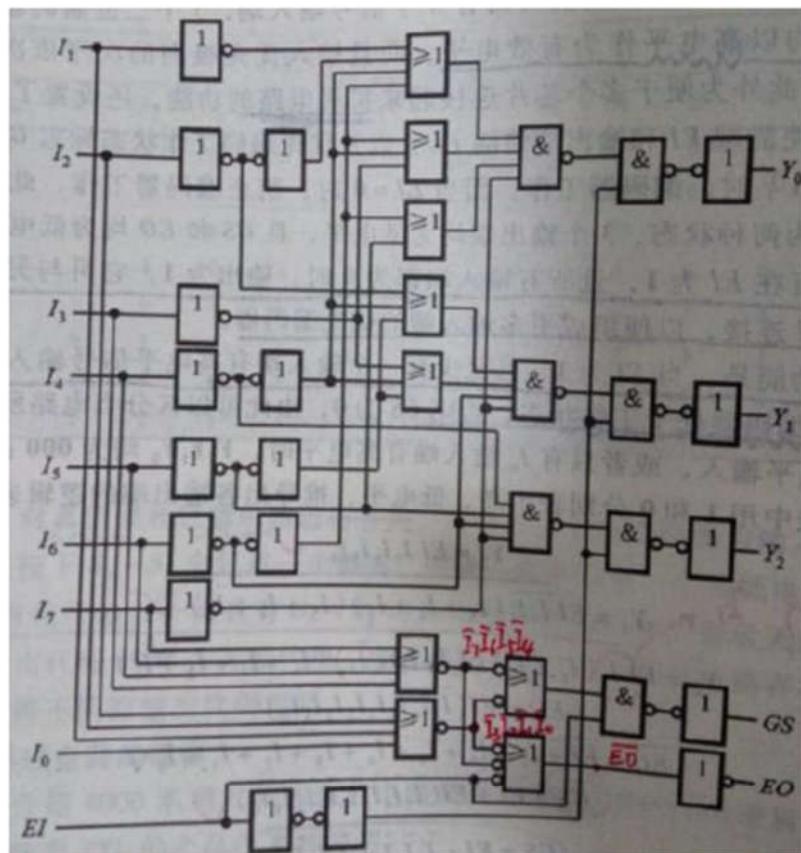
当 EI=1 时，编码器工作；当 EI=0 时，禁止编码器工作，此时不论 8 个输入端为何种状态，3 个输出端均为低电平，且 GS 和 EO 均为低电平

EO 只有在 EI 为 1，且所有输入端都为 0 时，输出为 1，它可与另一片相同器件的 EI 连接，以便组成更多输入端的优先编码器

GS 的功能是，当 EI 为 1，且至少有一个输入端有高电平信号输入时，GS 为 1，表明编码器处于工作状态，否则 GS 为 0

根据真值表推导出各输出端的逻辑表达式	
$Y_2 = EI \overline{\overline{I_1} \overline{I_4} \overline{I_5} \overline{I_6}}$	$EO = EI(\overline{I_1} \overline{I_4} \overline{I_5} \overline{I_6} \overline{I_2} \overline{I_3})$
$Y_1 = EI \overline{I_7} (\overline{I_5} + \overline{I_6} + \overline{I_7})(\overline{I_5} + \overline{I_6} + \overline{I_8})$	$\overline{EO} = \overline{EI} + I_7 + I_6 + I_5 + I_4 + I_3 + I_2 + I_1 + I_0$
$Y_0 = EI \overline{I_4} (\overline{I_6} + \overline{I_5})(\overline{I_6} + \overline{I_4} + \overline{I_3})(\overline{I_6} + \overline{I_4} + \overline{I_2} + \overline{I_1})$	$\overline{GS} = \overline{EI} + EI(\overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} \overline{I_3} \overline{I_2} \overline{I_1})$
图略	$GS = EI \cdot \overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} \overline{I_3} \overline{I_2} \overline{I_1}$

逻辑图：



2010 年真题：什么是编码？什么是优先编码？（10 分）

答：用一个二进制代码表示特定含义的信息称为编码，识别请求信号的优先级别并进行编码称为优先编码

2014 年真题：画出 4-2 线优先编码器的电路图

答：详见 23

2010 年真题：什么是编码？什么是优先编码？（10 分）

答：用一个二进制代码表示特定含义的信息称为编码，识别请求信号的优先级别并进行编码称为优先编码

2014 年真题：画出 4-2 线优先编码器的电路图

答：详见 23

24、译码器/数据分配器 (07) P143-P146

译码的定义：将具有特定含义的二进制码转换成对应的输出信号称为译码

译码器的分类：唯一地址译码器、代码变换器

唯一地址译码器：将一系列代码转换成与之一一对应的有效信号，常用于计算机中对存储器单元地址的译码，即将每一个地址代码转换成一个有效信号，从而选中对应的单元

二进制译码器具有 n 个输入端， 2^n 个输出端和 1 个使能输入端

淘宝店铺：大学生助手

2 线-4 线译码器真值表(背)

输入			输出			
\bar{E}	A_0		\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3
1	x	x	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

逻辑函数表达式

$$\begin{aligned}\bar{Y}_0 &= \overline{\bar{E} A_1 A_0} \\ \bar{Y}_1 &= \overline{\bar{E} \bar{A}_1 A_0} \\ \bar{Y}_2 &= \overline{\bar{E} A_1 \bar{A}_0} \\ \bar{Y}_3 &= \overline{\bar{E} \bar{A}_1 \bar{A}_0}\end{aligned}$$

2 线-4 线译码器逻辑图

淘宝店铺：大学生助手

3 线-8 线译码器真值表

输入						输出							
E	\bar{E}_2	\bar{E}_1	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
0	x	x	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1

淘宝店铺：大学生助手

1	0	0	0	1	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1	1
0	0	0	1	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	1	1	1	1	1	0

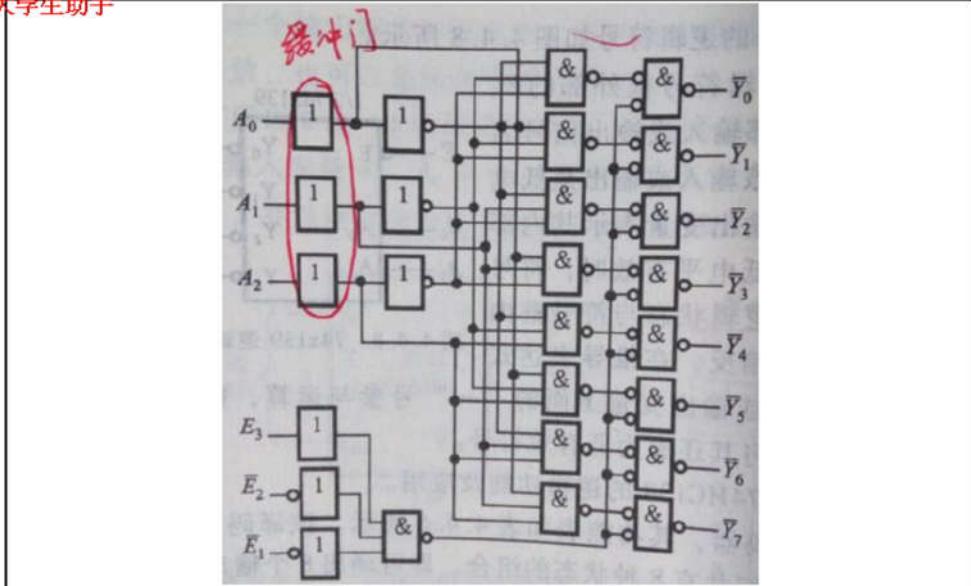
逻辑函数表达式：

$$\begin{aligned}\bar{Y}_0 &= \overline{\bar{E}_3 \bar{E}_2 \bar{E}_1 \bar{A}_2 \bar{A}_1 \bar{A}_0} && \text{逻辑函数表达式} \\ \bar{Y}_1 &= \overline{\bar{E}_3 \bar{E}_2 \bar{E}_1 \bar{A}_2 \bar{A}_1 A_0} \\ \bar{Y}_2 &= \overline{\bar{E}_3 \bar{E}_2 \bar{E}_1 A_2 \bar{A}_1 \bar{A}_0} \\ \bar{Y}_3 &= \dots\end{aligned}$$

以下类推

逻辑图：

大学生助手



译码器可以用于构成顺序脉冲发生电路（P149）

激活

2007 年真题：画出 3-8 译码器的门级电路图（仅可以用 2 输入与非门）（30 分）

答：参照上图修改即可

25、数据选择器（13） P153-155

大学生助手 数据选择是指经过选择，把多路数据中的某一路数据传送到公共数据线上，实现数据选择功能的逻辑电路称为数据选择器

4 选 1 数据选择器真值表(背)

4 选 1 数据选择器逻辑图

输入			输出
使能	地址		
\bar{E}	S_1	S_0	Y
1	x	x	0
0	0	0	I_0
0	0	1	I_1
0	1	0	I_2
0	1	1	I_3

Y 的表达式

$$Y = \sum_{i=0}^3 m_i D_i$$

表明低电平有效

大学生助手

8 选 1 数据选择器真值表

使能	输入			输出	
	S ₂	S ₁	S ₀	Y	\bar{Y}
1	x	x	x	0	1
0	0	0	0	D ₀	\bar{D}_0
0	0	0	1	D ₁	\bar{D}_1
0	0	1	0	D ₂	\bar{D}_2
0	0	1	1	D ₃	\bar{D}_3
0	1	0	0	D ₄	\bar{D}_4
0	1	0	1	D ₅	\bar{D}_5
0	1	1	0	D ₆	\bar{D}_6
0	1	1	1	D ₇	\bar{D}_7

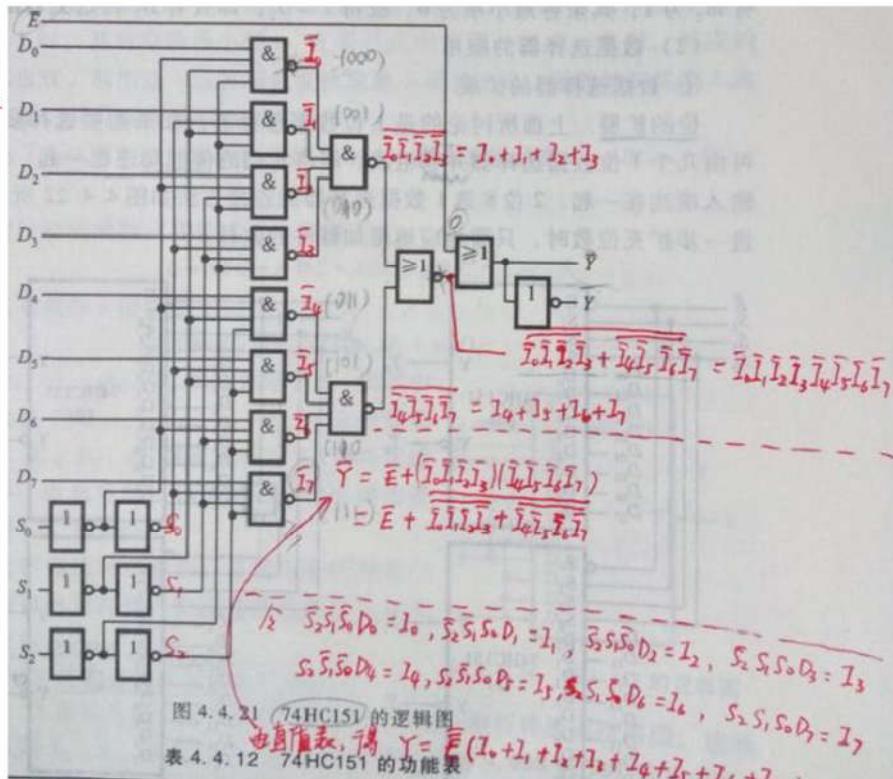
Y 的逻辑函数表达式：

$$Y = \sum_{i=0}^7 m_i D_i$$

逻辑图：

激

大学生助手



2013 年真题：设计一个四选一的数据选择器

答：详见 25

26、数值比较器（10） P158-P159

1 位数值比较器是多位比较器的基础。当 A 和 B 都是 1 位数时，它们只能取 0 或 1 两种值，由此可以写出 1 位数值比较器的真值表

1 位数值比较器的真值表

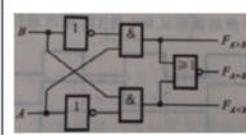
输入		输出		
A	B			
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

2 位数值比较器真值表

逻辑表达式

$$\begin{cases} F_{A>B} = A \bar{B} \\ F_{A < B} = \bar{A}B \\ F_{A=B} = \bar{A}\bar{B} + AB \end{cases}$$

逻辑图



逻辑表达式

逻辑图

输入		输出			$F_{A>B} = A_1 \bar{B}_1 + (\bar{A}_1 \bar{B}_1 + A_1 B_1) A_0 \bar{B}_0$ $= F_{A_1 > B_1} + F_{A_1 = B_1} \cdot F_{A_0 > B_0}$ $F_{A < B} = F_{A_1 < B_1} + F_{A_1 = B_1} \cdot F_{A_0 < B_0}$ $F_{A=B} = F_{A_1 = B_1} \cdot F_{A_0 = B_0}$
A_1	B_1	$A_0 B_0$	$F_{A>B}$	$F_{A < B}$	$F_{A=B}$
$A_1 > B_1$	x	1	0	0	
$A_1 < B_1$	x	0	1	0	
$A_1 = B_1$	$A_0 > B_0$	1	0	0	
$A_1 = B_1$	$A_0 < B_0$	0	1	0	
$A_1 = B_1$	$A_0 = B_0$	0	0	1	

2010 年真题：(35 分) 请设计：(1) 一个 1 位数值比较器，并给出逻辑图。1 位数值比较的输入信号是 A 和 B，其中三个输出分别是 (15 分)(2) 请你用你设计的 1 位数值比较器，再加上基本逻辑门，构造一个 2 位数值比较器并给出逻辑图。2 位数值比较器的输入信号是和其中三个输出分别是 (20 分)

答：答案详见 26

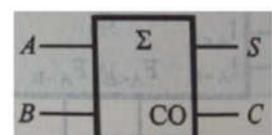
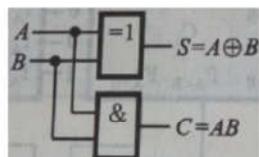
27、算术运算电路（11,12） P161-P169

(1) 半加器：只考虑两个加数本身，而没有考虑低位进位的加法运算，称为半加。实现半加运算的逻辑电路称为半加器

激活 1
转到“电

半加器真值表		逻辑表达式	逻辑图及符号
输入		输出	
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

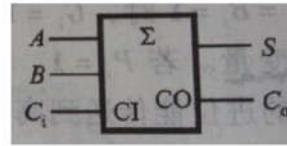
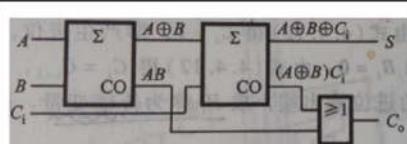
$$\begin{cases} S = \bar{A}B + A\bar{B} \\ C = AB \end{cases}$$



(2) 全加器：能进行加数、被加数和低位来的进位信号相加，并根据求和结果给出该位的进位信号

全加器真值表			逻辑表达式		逻辑图	
输入		输出				
A	B	C _i	C _o	S		
0	0	0	0	0		
0	0	1	0	1		
0	1	0	0	1		
0	1	1	1	0		
1	0	0	0	1		
1	0	1	1	0		
1	1	0	1	0		
1	1	1	1	1		

$$\begin{aligned} S &= \bar{A} \bar{B} C_i + \bar{A} B \bar{C}_i + A \bar{B} \bar{C}_i + A B C_i \\ &= A \oplus B \oplus C_i \\ C_o &= AB + A \bar{B} C_i + \bar{A} BC_i \\ &= AB + (A \oplus B) C_i \end{aligned}$$



(3) 串行进位加法器：将低位的进位输出信号接到高位的进位输入端，因此，任意 1 位的加法运算必须在低 1 位的运算完成之后才能进行，这种进位方式称为串行进位

(4) 4 位超前进位加法器

每位的进位只由加数和被加数决定，而与低位的进位无关
全加器的和数 S_i 和进位 C_i 的逻辑表达式

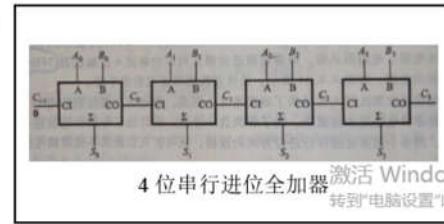
$$S_i = A_i \oplus B_i \oplus C_{i-1} \quad (1)$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

定义两个中间变量 G_i 和 P_i

$$G_i = A_i B_i \quad (3)$$

$$P_i = A_i \oplus B_i \quad (4)$$



当 A_i=B_i=1 时，G_i=1，由①得 C_i=1，即产生进位，所以 G_i 称为产生变量。若 P_i=1，则 A_iB_i=0，由②得 C_i=C_{i-1}，即 P_i=1 时，低位的进位能传送到高位的进位输出端，故 P_i 称为传输变量。这两个变量都与进位信号无关

淘宝店铺：大学生助手 将③④代入①②，得

$$S_i = P_i \oplus C_{i-1} \quad (5)$$

$$C_i = G_i + P_i C_{i-1} \quad (6)$$

由式⑥得各位进位信号的逻辑表达式如下：

$$C_0 = G_0 + P_0 C_{-1} \quad (7)$$

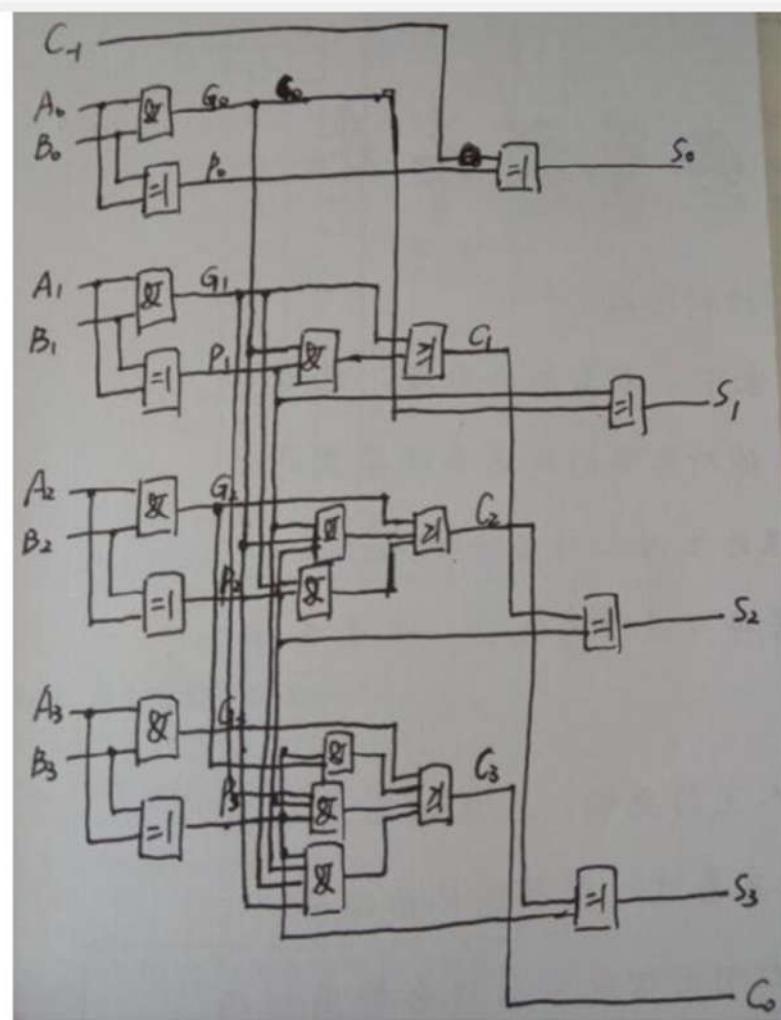
$$C_1 = G_1 + P_1 C_0 = G_1 + P_1 G_0 + P_1 P_0 C_{-1} \quad (8)$$

$$C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{-1} \quad (9)$$

$$C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_{-1} \quad (10)$$

由⑩可知，因为进位信号只与变量 G_i 和 P_i 和 C₋₁ 有关，而 C₋₁ 是向最低位的进位信号，其值为 0，所以各位的进位信号都只与两个加数有关，他们是可以并行产生的

逻辑图：



(5) 减法运算电路

若 n 位二进制的原码为 $N_{\text{原}}$ 则与它相对应的 2 的补码为

$$N_{\text{补}} = 2^n - N_{\text{原}} \quad (1)$$

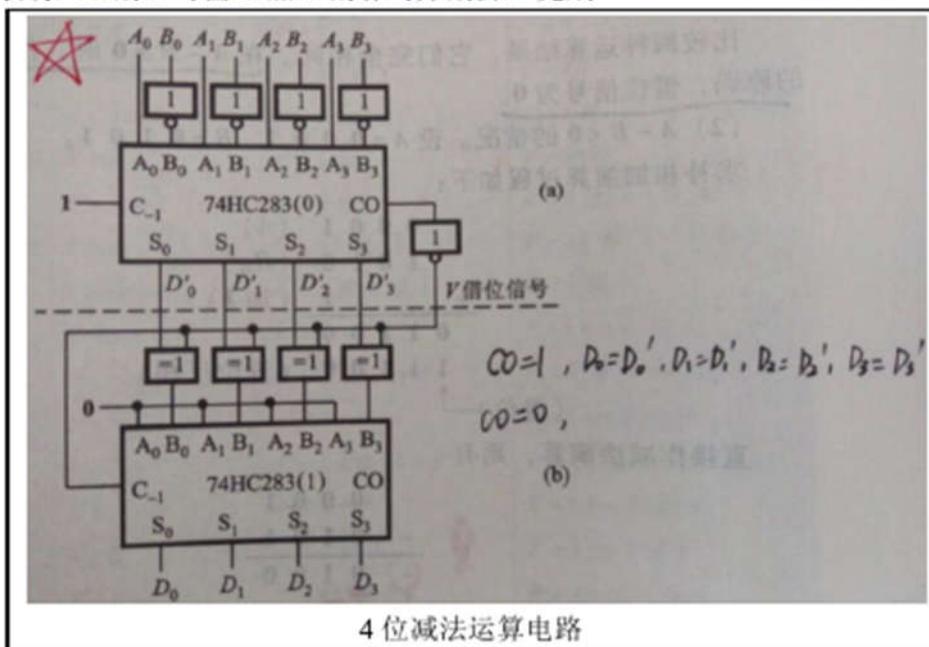
补码与反码的关系式

$$N_{\text{补}} = N_{\text{反}} + 1 \quad (2)$$

设两个数 A 、 B 相减，利用式①②可得

$$A - B = A + B_{\text{反}} - 2^n = A + B_{\text{反}} + 1 - 2^n \quad (3)$$

③表明， A 减 B 可由 A 加 B 的补码并减去 2^n 完成



工作原理：由 4 个反相器将 B 各位求反，并将进位输入端 C_{-1} 接逻辑 1 以实现加 1，由

此求得 B 的补码。加法器相加的结果为

由于 $2^3=2^4=(1000)_2$ ，相加结果与 2^3 相减只能由加法器进位输出信号完成。当进位输出信号为 1 时，它与 2^3 的差为 0；当进位输出信号为 0 时，它与 2^3 的差值为 1，**同时还应发出借位信号**。因此，只要将进位信号反相即实现了减 2^3 的运算，反相器的输出 V 为 1 时需要借位，故 V 也可当借位信号。下面分两种情况分析减法运算过程

(1) $A-B \geq 0$ 的情况，设 $A=0101$, $B=0001$ 。

求补相加演算过程如下：

$$\begin{array}{r} 0101 \text{ (A)} \\ 1110 \text{ (B 补)} \\ + \quad 1 \text{ (加1)} \\ \hline 10100 \end{array}$$

↓
00100 (进位反相)

(借位)

直接作减法演算则有

$$\begin{array}{r} 0101 \\ - 0001 \\ \hline 0100 \end{array}$$

比较两种运算结果，它们完全相同，在 $A-B \geq 0$ 的情况，所得的差值就是差的原码，借位信号为 0

(2) $A-B < 0$ 的情况，设 $A=0001$, $B=0101$ 。

求补相加演算过程如下：

$$\begin{array}{r} 0001 \text{ (A)} \\ 1010 \text{ (B 补)} \\ + \quad 1 \text{ (加1)} \\ \hline 01100 \end{array}$$

↓
11100 (进位反相)

(借位)

直接作减法演算则有

$$\begin{array}{r} 0001 \\ - 0101 \\ \hline - 0100 \end{array}$$

↓
(符号)

比较两种运算结果，前者正好是后者的绝对值的补码，**借位信号 V 为 1 时表示差值为负， V 为 0 时差为正数**

若要求差值以原码形式输出，则还需要进行变换，将补码再求补得原码。如图 b 求补逻辑电路所示，它和图 a 共同组成输出为原码的完整的 4 位减法运算电路，由图 1 所得的差值输入到异或门的一个输入端，而另一端输入端由借位信号 V 控制。当 $V=1$ 时， $D_3 \sim D_0$ 反相，并与 $C_{3,1}=1$ 相加，实现求补运算； $V=0$ 时， $D_3 \sim D_0$ 不反相，加法器也不实现加 1 运算，维持原码

2011 年真题：设计一个 2 位加法器，输入加数 $A_1 A_0$ 和 $B_1 B_0$ ，和为 S ，进位为 C 。**(1)** 2 级与非门画出逻辑图。**(2)** 用一个半加器和一个全加器表示该电路。
答：

2011 (1) 输入		输出
A_1	A_0	S_1 S_0
0	0	0 0
0	1	0 1
1	0	0 1
1	1	0 1 0
0	0	0 1 0
0	1	0 1 1
1	0	0 1 1
1	1	1 0 0
1	0	0 1 0
1	1	0 1 1
0	0	0 1 1
0	1	1 0 0
1	0	1 0 0
1	1	1 0 0
1	0	1 0 1
1	1	1 0 1
1	0	1 0 1
1	1	1 1 0

	C	B_1B_0	00	01	11	10
	A_1A_0	00	00	01	11	10
		01	01	11	10	10
		11	11	11	11	10
		10	10	10	10	10

大学生助手

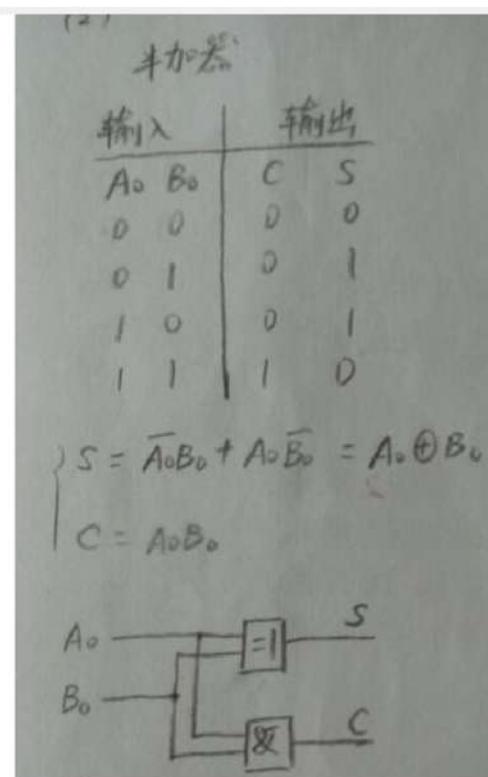
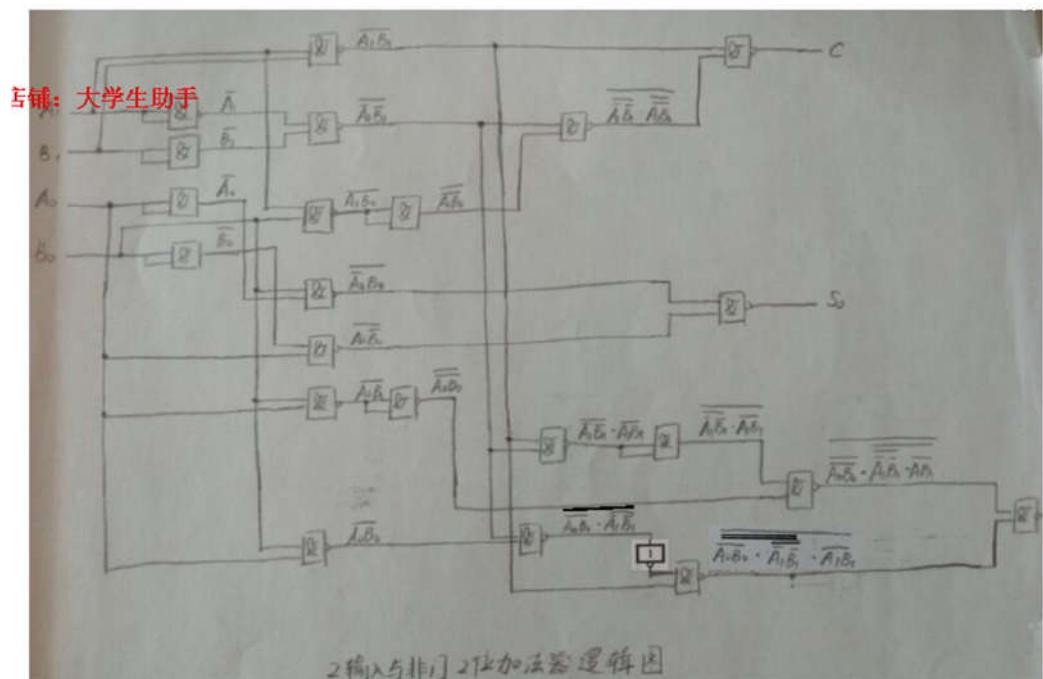
$$\begin{aligned}
 C &= A_1B_1 + A_1A_0B_0 + A_0B_1B_0 \\
 &= \underline{\underline{A_1B_1}} + \underline{\underline{(A_1+A_0)A_0B_0}} \\
 &= \underline{\underline{A_1B_1}} + \underline{\underline{(A_1+B_1)A_1B_0}} \\
 &= \underline{\underline{A_1B_1}} + \underline{\underline{\bar{A}_1\bar{B}_1A_1B_0}} \\
 &= \underline{\underline{\bar{A}_1B_1}} \cdot \underline{\underline{\bar{A}_1\bar{B}_1}} \underline{\underline{\bar{A}_1B_0}}
 \end{aligned}$$

	S_1	B_1B_0	00	01	11	10
	A_1A_0	00	00	01	11	10
		01	01	11	10	10
		11	11	11	11	10
		10	10	10	10	10

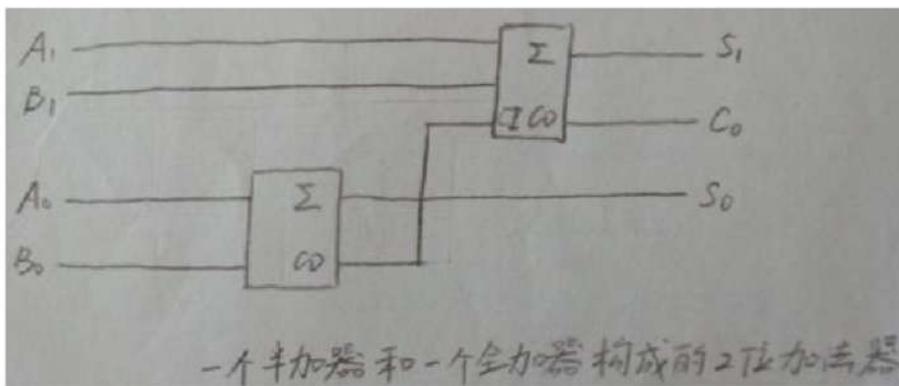
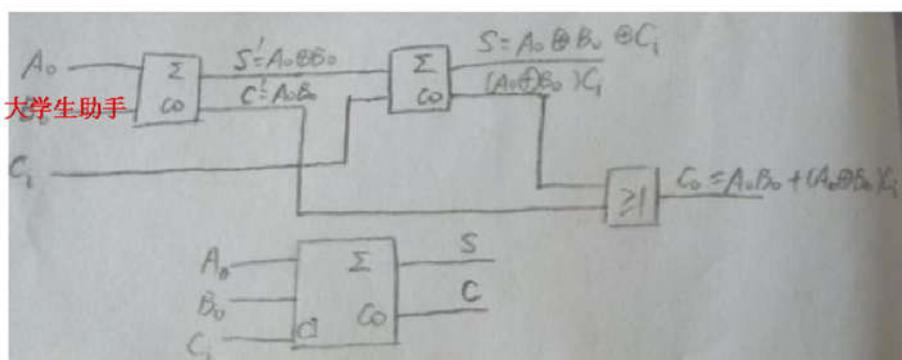
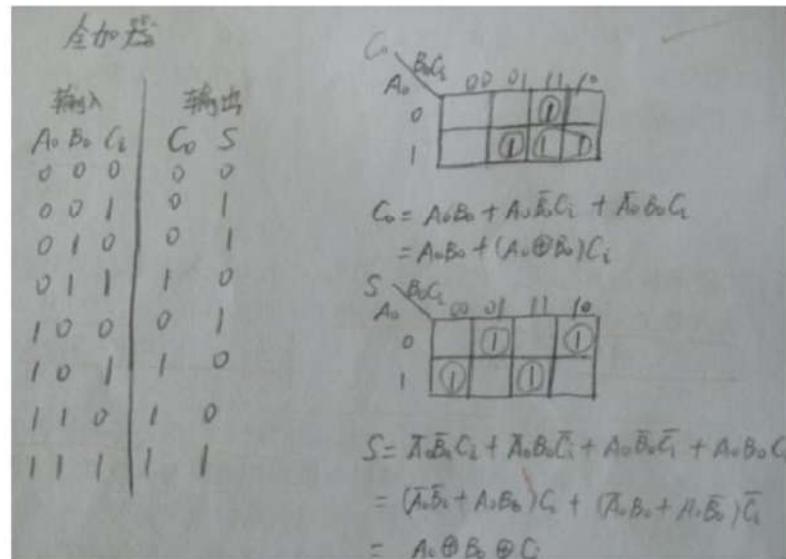
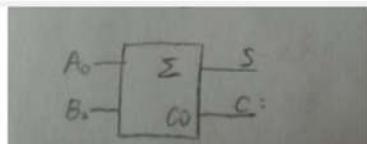
	S_0	B_1B_0	00	01	11	10
	A_1A_0	00	01	11	10	10
		01	11	11	11	10
		11	11	11	11	10
		10	11	11	11	10

$$\begin{aligned}
 S_0 &= \bar{A}_0B_0 + A_0\bar{B}_0 \\
 &= \underline{\underline{\bar{A}_0B_0}} + \underline{\underline{A_0\bar{B}_0}} \\
 &= \underline{\underline{\bar{A}_0B_0}} - \underline{\underline{A_0\bar{B}_0}}
 \end{aligned}$$

$$\begin{aligned}
 S_1 &= \bar{A}_1\bar{A}_0B_1 + \bar{A}_1A_0\bar{B}_1B_0 + \bar{A}_1\bar{A}_1\bar{B}_1\bar{B}_0 + A_1\bar{B}_1\bar{B}_0 + A_1A_0B_1B_0 + A_1\bar{A}_0\bar{B}_1 \\
 &= A_0B_0(\bar{A}_1\bar{B}_1 + A_1B_1) + \bar{A}_0(\bar{A}_1B_1 + A_1\bar{B}_1) + \bar{B}_0(\bar{A}_1B_1 + A_1\bar{B}_1) \\
 &= \underline{\underline{A_0B_0}} (\underline{\underline{\bar{A}_1\bar{B}_1}} + \underline{\underline{A_1B_1}}) + (\underline{\underline{\bar{A}_0}} + \underline{\underline{\bar{B}_0}})(\underline{\underline{\bar{A}_1B_1}} + \underline{\underline{A_1\bar{B}_1}}) \\
 &= \underline{\underline{\bar{A}_0B_0}} \underline{\underline{\bar{A}_1\bar{B}_1}} \cdot \underline{\underline{\bar{A}_1B_1}} + \underline{\underline{A_0B_0}} \cdot \underline{\underline{\bar{A}_1\bar{B}_1}} \cdot \underline{\underline{\bar{A}_1B_1}} \\
 &= \underline{\underline{\bar{A}_0B_0}} \cdot \underline{\underline{\bar{A}_1\bar{B}_1}} \cdot \underline{\underline{\bar{A}_1B_1}} \cdot \underline{\underline{\bar{A}_0B_0}} \cdot \underline{\underline{\bar{A}_1\bar{B}_1}} \cdot \underline{\underline{\bar{A}_1B_1}}
 \end{aligned}$$



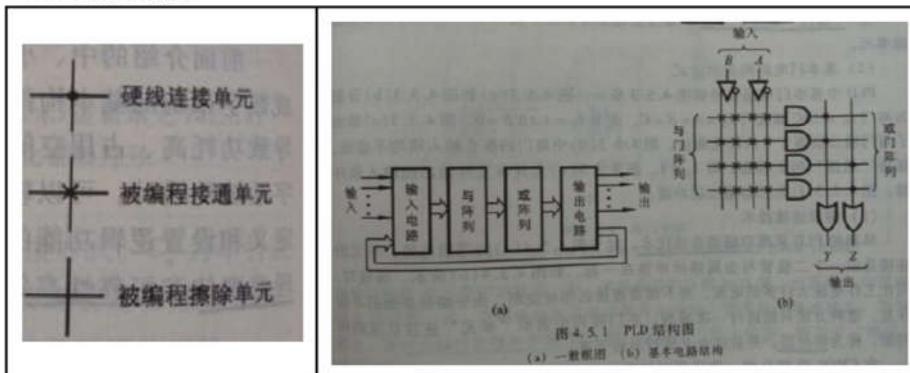
大学生助手



2012 年真题：利用 4 位超前进位加法器即适当的门电路设计构建 16 位减法器(含进位)

28. PLD 的结构和表示方法及分类 (09) P171-P179

- (1) PLD 的结构：PLD 由输入电路、与阵列、或阵列和输出阵列组成
- (2) PLD 的连接方式：硬线连接、可编程“接通”单元、可编程“断开”单元
- (3) PLD 的编程连接技术：双极型连接技术和可擦除 CMOS 技术
- (4) PLD 的分类



①按照 PLD 门电路的集成度：分为低密度和高密度器件。**1000 门以下为低密度**（例如 PROM、PLA、PAL 和 GAL 等）；**1000 门以上的为高密度**（例如 CPLD、FPGA 等）

②按照 PLD 的结构体系：分为简单 PLD（例如 PAL、GAL）、复杂可编程逻辑器件 CPLD

和现场可编程门阵列 FPGA

③按照 PLD 中的与、或阵列是否可编程：分为 PROM 的与阵列固定，或阵列可编程；PLA 的与阵列、或阵列均可编程；PAL 和 GAL 等的与阵列可编程，或阵列固定

与中、小规模组合逻辑集成器件相比，PAL 的通用性好，速度和集成度均有所提高，设计和使用的灵活性得到改善。但是，由于它采用的是双极型熔丝工艺，一经编程后电路无法修改。并且用 PAL 实现的时序电路非常有限。为克服这一缺陷，推出了采用可擦除 CMOS 编程技术的 GAL 器件

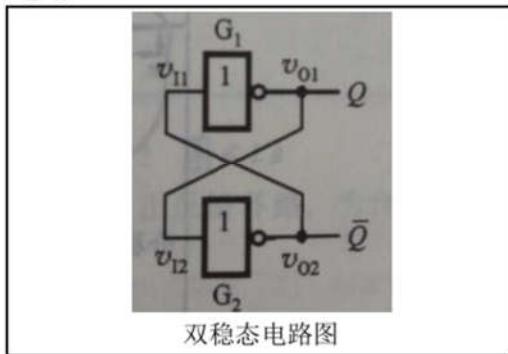
2009 年真题：PAL 与 GAL 的相同点是什么？区别是什么？（15 分）

答：相同点：低密度器件、都是简单 PLD、与阵列可编程，或阵列固定、通用性好

区别：PAL 一经编程后电路无法修改，并且其实现的电路非常有限；而 GAL 变成后可擦除且克服了 PAL 时序电路有限的缺陷

第五章 锁存器和触发器

29、双稳态存储单元电路 (14) P203
淘宝店铺：大学生助手



工作原理：从电路的逻辑关系可知，若 $Q=0$ ，由于非门 G_2 的作用，则使 $\bar{Q}=1$ ， \bar{Q} 反馈到 G_1 输入端，又保证了 $Q=0$ 。由于两个非门首尾相连的逻辑锁定，因为电路能自行保持在 $Q=0, \bar{Q}=1$ 的状态，形成第一种稳定状态。反之，若 $Q=1$ ，则 $\bar{Q}=0$ ，形成第二种稳定状态。在两种稳定状态中，输出端 Q 和 \bar{Q} 总是逻辑互补的。因为电路只存在这两种可以长期保持的稳定状态，故称为双稳态存储单元电路，简称双稳态电路。可以定义 $Q=0$ 为电路的 0 状态，而当 $Q=1$ 时则为 1 状态。

双稳态电路的功能：存储或记忆 1 位二进制数据

双稳态电路的应用：存储 1 位二进制数据、构成 SR 触发器、D 触发器、JK 触发器等

2014 年真题：画出并说明双稳态电路的功能，并说出双稳态电路的应用

30、锁存器和触发器 (07,08,09,10,11,12,13,14) P205-P231

总论：锁存器是一种对脉冲电平敏感的存储单元电路，它们可以在特定输入脉冲电平作用下改变状态；触发器（由不同锁存器构成）是一种对脉冲边沿敏感的存储电路，它们只有

手 在作为触发信号的时钟脉冲上升沿或下降沿的变化瞬间才会改变状态

(1) SR 锁存器

① 基本 SR 锁存器

基本 SR 锁存器有两个输入端，其中 S 端为置位 (1) 端，R 端为复位端或清零 (0) 端

逻辑表达式：		或非门构成基本 SR 锁存器功能表				
R	S	Q	\bar{Q}	锁存器状态		
0	0	不变	不变	保持		
0	1	0	1	0		
1	0	1	0	1		
1	1	0	0	不确定		

逻辑图及逻辑符号

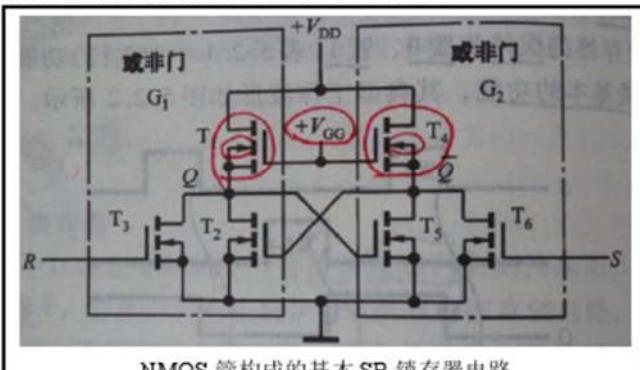
当 $S=R=0$ 时，对应功能表的第一行。根据①②，这两个输入信号对两或非门的输出 Q 和 \bar{Q} 不起作用，**电路状态保持不变**，可存储 1 位二进制数据

功能表的第 2、3 行分别为锁存器的置 0 和置 1 操作。在 $Q=0, R=0$ 的条件下，当 S 端出现逻辑 1 电平时，端输出电压下降，一旦跨越介稳态点，电路变迅速转换为 $Q=1$ 状态。

若原来状态为 $Q=1$ ，则 S 端出现的 1 电平不改变其状态。电路是对称的，置 0 操作将使锁存器为 $Q=0$

当 $S=R=1$ 时，对应功能表的第 4 行。根据①②， $Q=\bar{Q}=0$ ，锁存器处在既非 1，又非 0 的不确定状态。若 S 和 R 同时回到 0，则无法预先确定锁存器将回到 1 状态还是 0 状态。因此，在正常工作时，输入信号应遵守 $SR=0$ 的约束条件，也就是说不允许 $S=R=1$

注：如果输入信号违反了 SR 锁存器的约束条件，出现 $S=R=1$ 使 $Q=\bar{Q}=0$ 的情况，但是，如果 S 和 R 的 1 电平不同时撤销，此后的输出状态仍然是可以确定的，若 S 和 R 高电平同时撤销，锁存器以后的状态无法确定（见 P207 例 5.2.1）

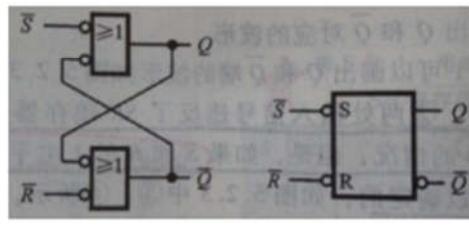


NMOS 管构成的基本 SR 锁存器电路

逻辑表达式：

$$\begin{aligned} Q &= \bar{\bar{S}} + \bar{\bar{Q}} = \bar{S} \bar{Q} \\ \bar{Q} &= \bar{\bar{R}} + \bar{\bar{Q}} = \bar{R} Q \end{aligned}$$

约束条件：SR=0



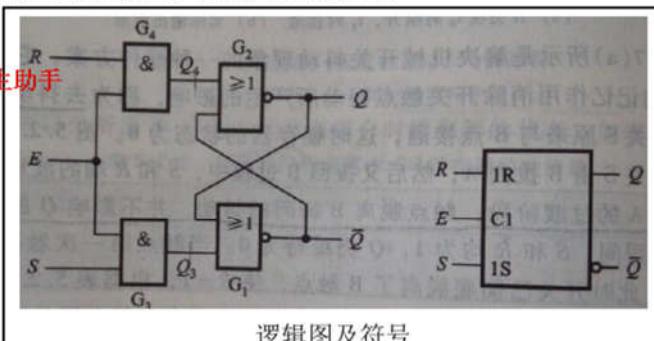
与非门构成的基本 SR 锁存器功能表

\bar{R}	\bar{S}	Q	\bar{Q}
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	1	1

当输入为 $S=R=1$ 时，该锁存器处于不确定状态，因此工作时应当受到 $\bar{S} + \bar{R} = \bar{S}\bar{R} = 1$ 的条件约束，即同样应遵守 $SR=0$ 的约束条件

② 逻辑门控 SR 锁存器（同步 RS 触发器）

淘宝店铺：大学生助手



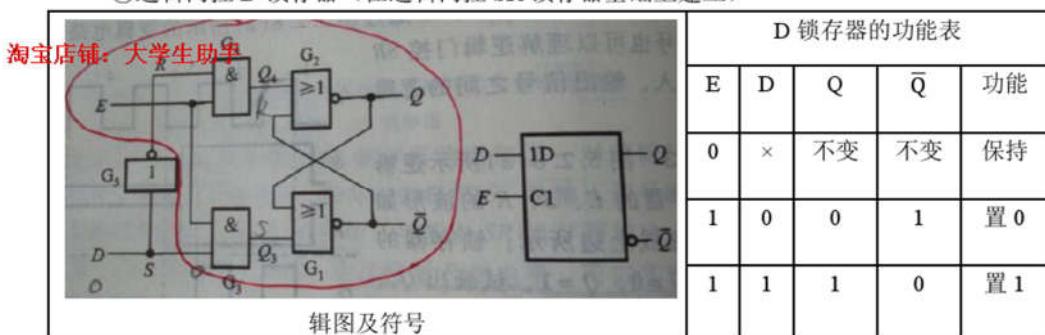
逻辑图及符号

与基本 SR 锁存器相比，逻辑门控 SR 锁存器增加了锁存使能输入端 E。通过控制 E 端电平，可以实现多个锁存器同步进行数据锁存

工作原理：由图可知，输入信号 S、R 要经过门 G₃ 和 G₄ 传递，这两个门同时受 E 信号控制。当 E 为 0 时，G₃ 和 G₄ 被封锁，S、R 端的电平不会影响锁存器的状态；当 E 为 1 时，G₃ 和 G₄ 打开，将 S、R 端的信号传送到基本 SR 锁存器的输入端，从而确定 Q 和 \bar{Q} 端的状态。显然，当 E 为 1 时，逻辑门控 SR 锁存器的功能与或非门构成基本 SR 锁存器功能表一致。若这时输入信号 S=R=1，则 $Q=\bar{Q}=0$ ，锁存器处于不确定状态。当 E 恢复为 0 时，由于 Q₃、Q₄ 同时回到 0，由 G₁、G₂ 构成的基本 SR 锁存器出现了 S 和 R 高电平同时撤销的情况，将不能确定锁存器的状况，因此，此种锁存器必须严格遵守 SR=0 的约束条件

(2) D 锁存器

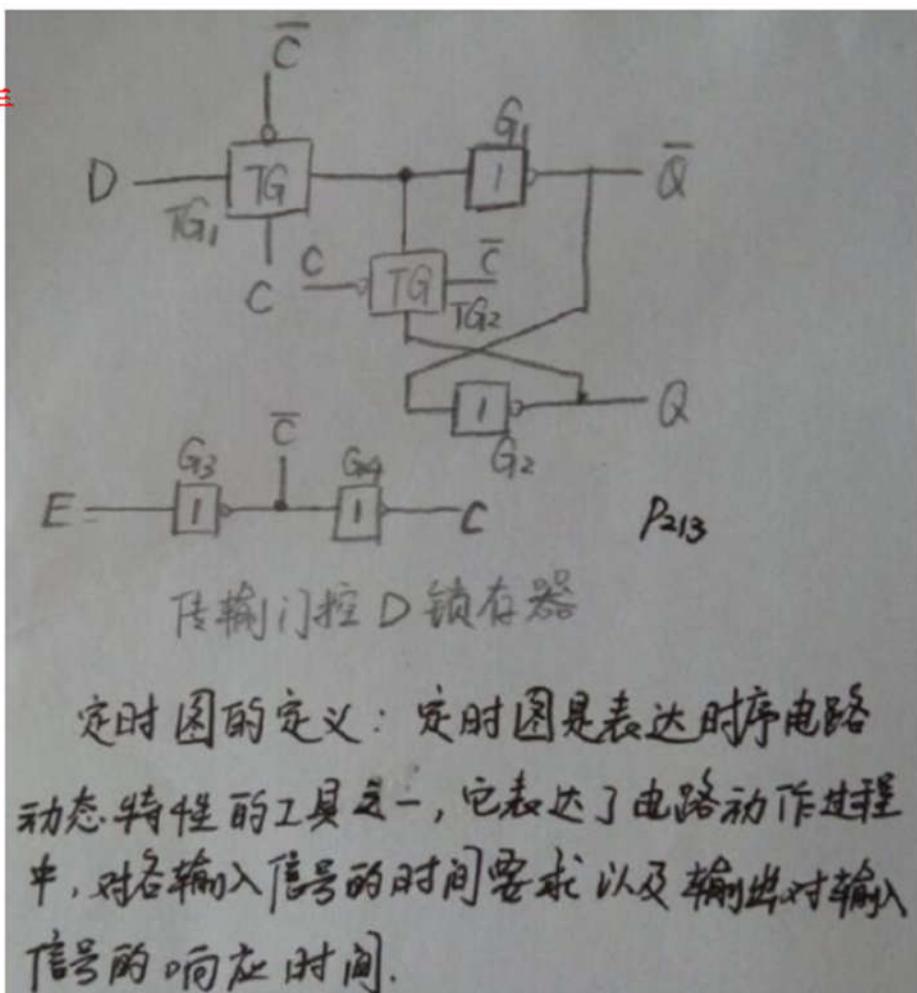
①逻辑门控 D 锁存器（在逻辑门控 SR 锁存器基础上建立）

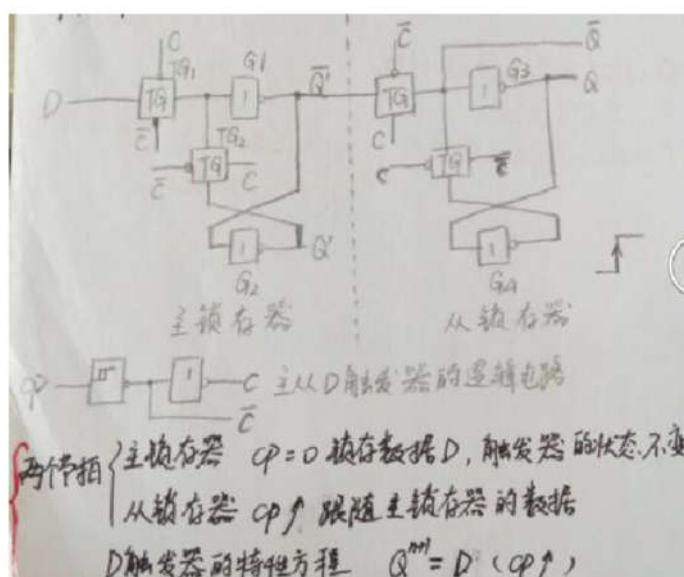
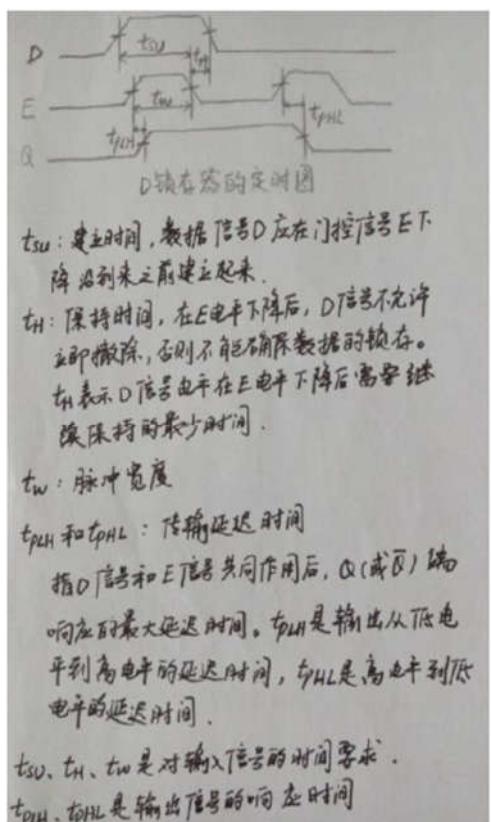


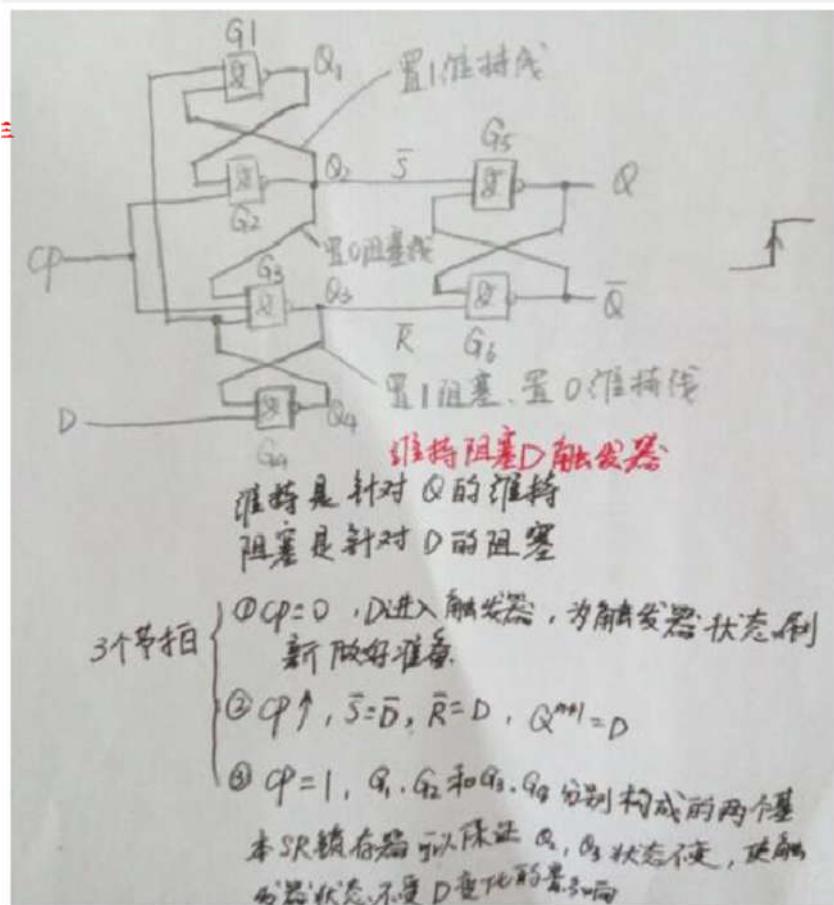
工作原理：消除逻辑门控 SR 锁存器不确定状态的最简单的方法就是在逻辑门控 SR 锁存器电路的 S 和 R 输入端连接一个非门 G_5 ，从而保证了 S 和 R 不同时为 1 的条件。它只有两个输入端：数据输入 D 和使能输入 E，当 $E=0$ 时， G_3 、 G_4 输出均为 0，使 G_1 和 G_2 构成的基本 SR 锁存器处于保持状态，无论 D 信号如何变化，输出 Q 和 \bar{Q} 均保持不变。当需要更新状态时，可将门控信号 E 置 1，此时，根据送到 D 端新的二值信息将锁存器置为新的状态：如果 D 为 0，无论基本 SR 锁存器原来状态如何，都将使 $Q=0$ ， $\bar{Q}=1$ ；反之，则将锁存器置为 1 状态。如果 D 信号在 $E=1$ 期间发生变化，电路提供的信号路径将使 Q 端信号跟随 D 而变化。在 E 由 1 跳变到 0 以后，锁存器将锁存跳变前瞬间 D 的逻辑值，可以暂存 1 位二进制数据。

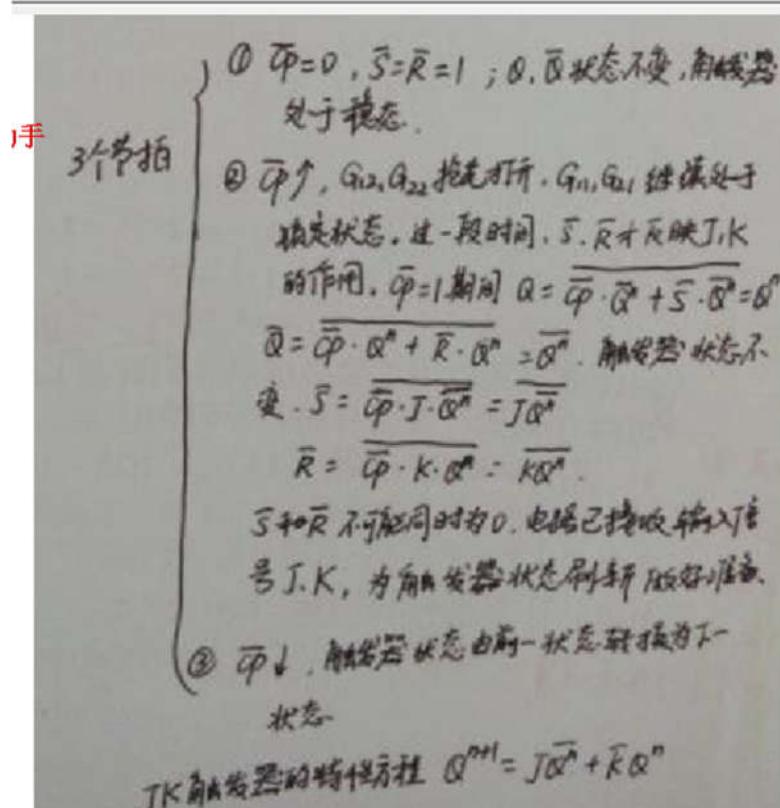
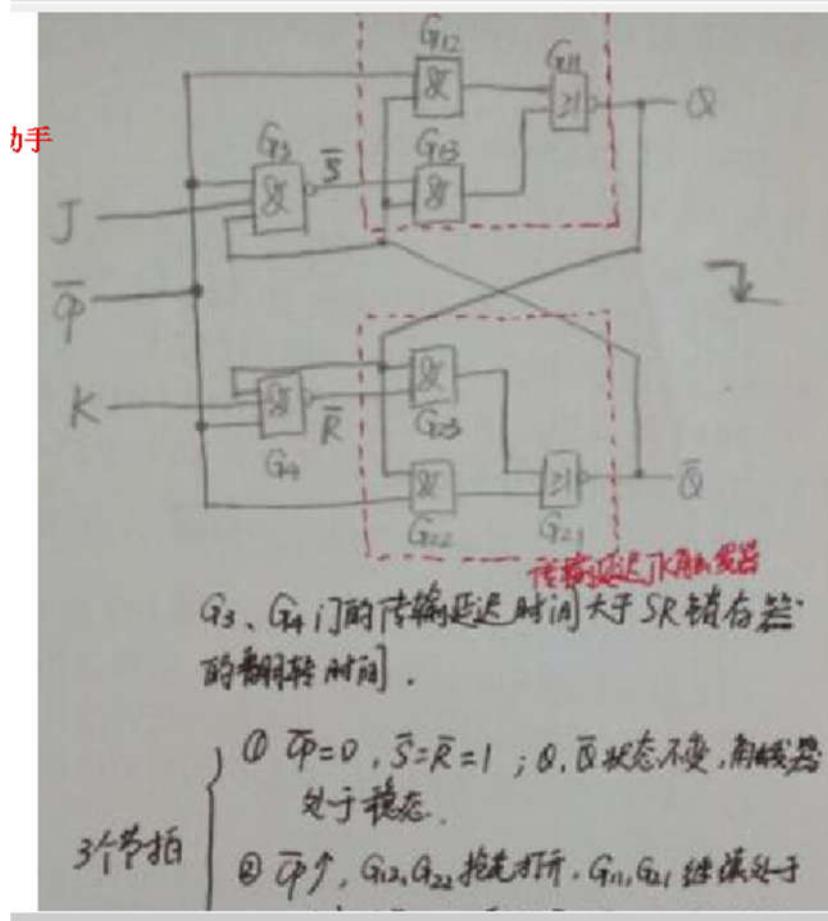
(3) P212-P230

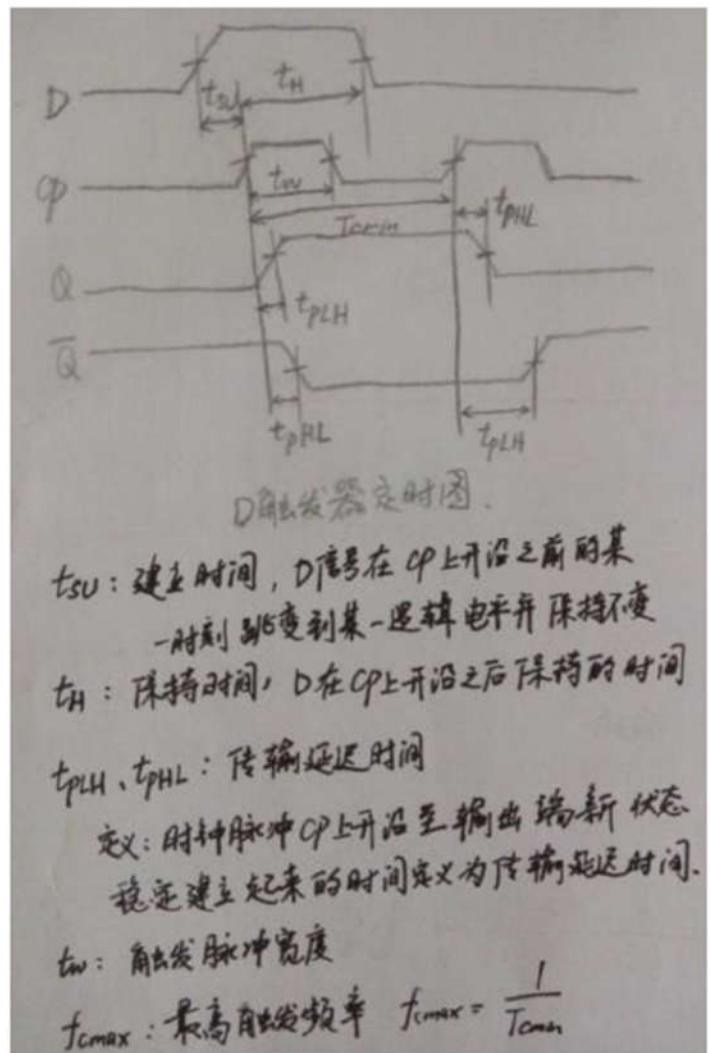
大学生助手

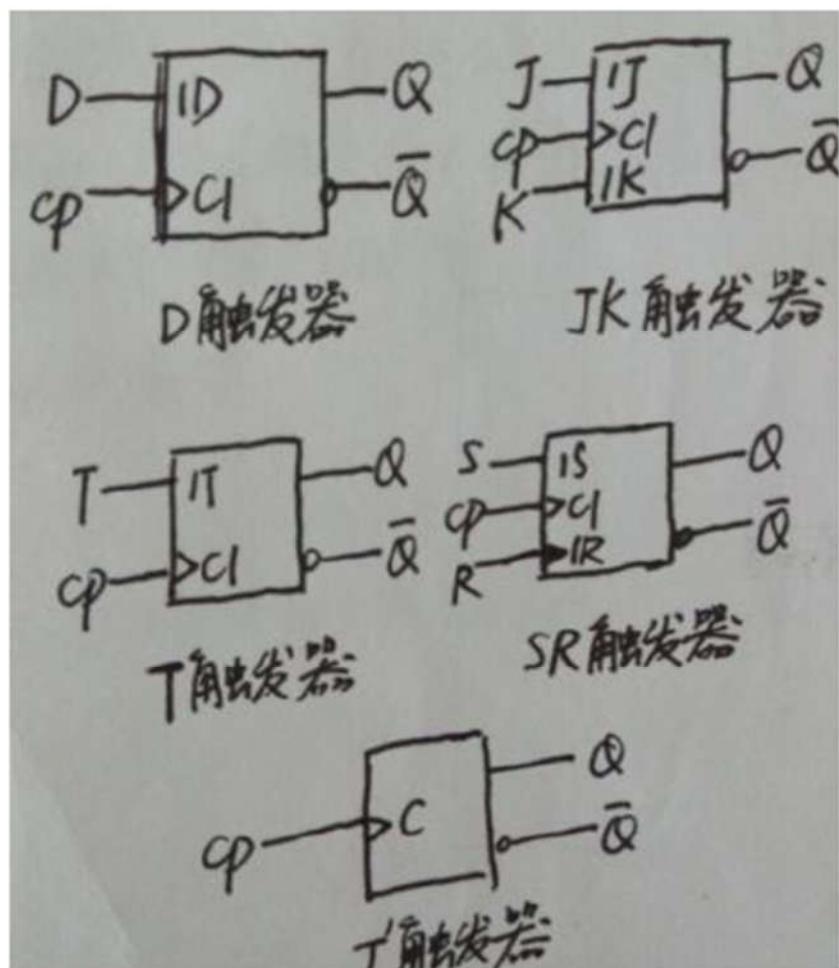












触发器的特性表的定义：以触发器的现态和输入信号为变量，以次态为函数，描述它们之间逻辑关系的真值表。

触发器的特性方程的定义：触发器的逻辑功能也可以用逻辑表达式来描述。

D触发器的特性表

Q^n	D	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

特性方程：

$$Q^{n+1} = D$$

状态图

$$D=0 \rightarrow Q_0 \xrightarrow{D=1} Q_1 \xrightarrow{D=0} Q_0$$

JK 触发器 特性表			
Q^n	J	K	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

特性方程：
 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

状态图：

功能：

- $J=1, K=0$: 置 1
- $J=0, K=1$: 置 0
- $J=K=0$: 保持
- $J=K=1$: 翻转

T 触发器 特性表 ($J=K=T$)			
Q^n	T	Q^{n+1}	
0	0	0	
0	1	1	
1	0	1	
1	1	0	

特性方程：
 $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

状态图：

功能：

- $T=1$: 翻转
- $T=0$: 保持

T' 触发器：
 $Q^{n+1} = \bar{Q}^n$

SR 触发器的特性表 ($J=S, K=R$)			
Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不定

特性方程：

$$\begin{cases} Q^{n+1} = S + \bar{R} Q^n \\ SR = 0 \text{ (约束条件)} \end{cases}$$

状态图：

D 触发器构成 JK 触发器：

$$\therefore D = J\bar{Q} + \bar{K}Q$$

D 触发器构成 T 触发器：

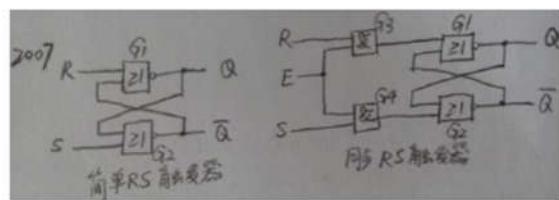
$$\therefore D = T\bar{Q} + \bar{T}Q = T \oplus Q = T \odot \bar{Q}$$

D 触发器构成 T 触发器

$$\therefore D = \bar{Q}$$

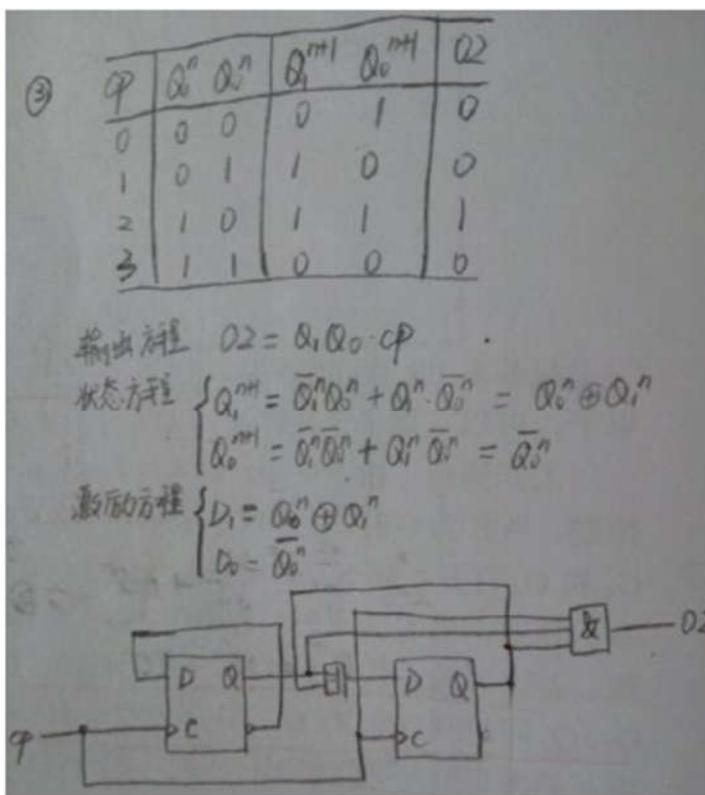
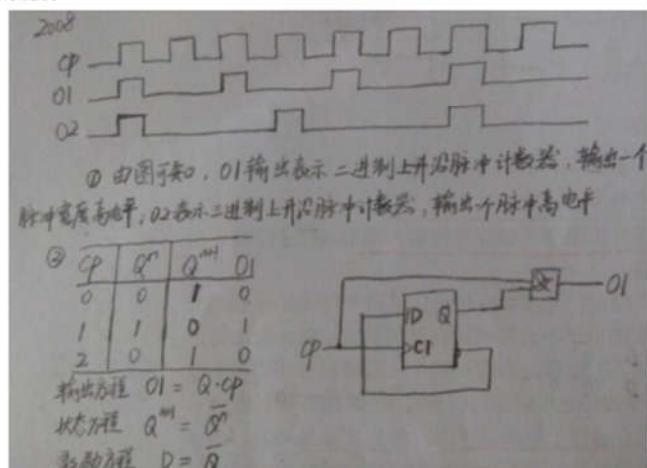
2007 年真题：画出简单 RS 触发器和同步 RS 触发器，比较两者的不同（30 分）

助手

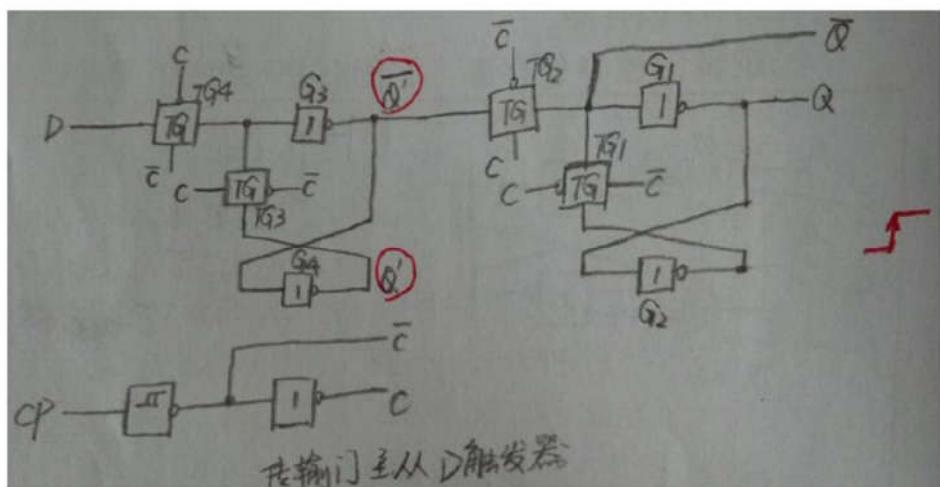
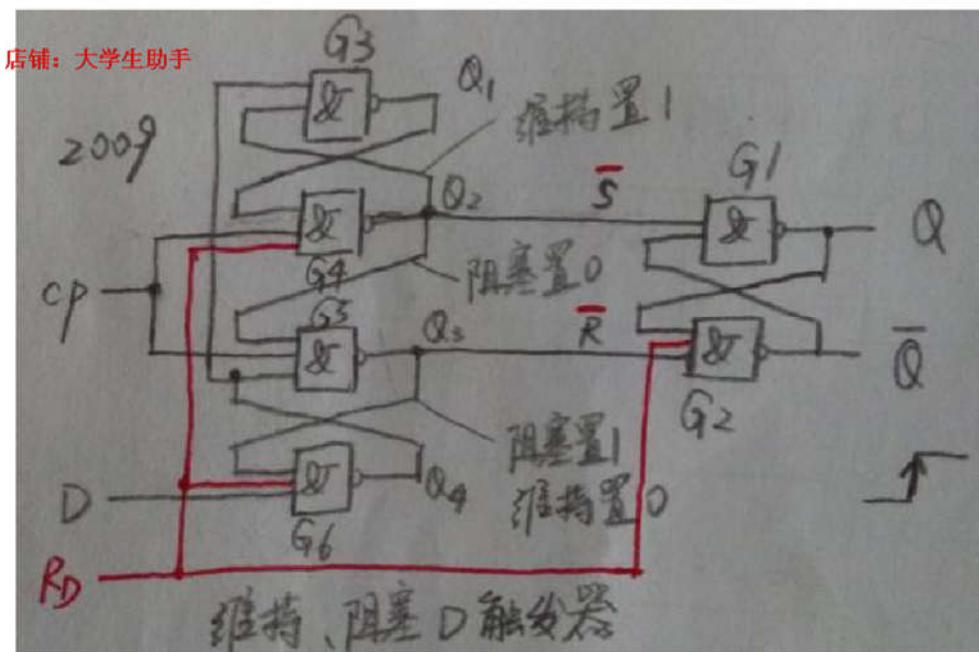


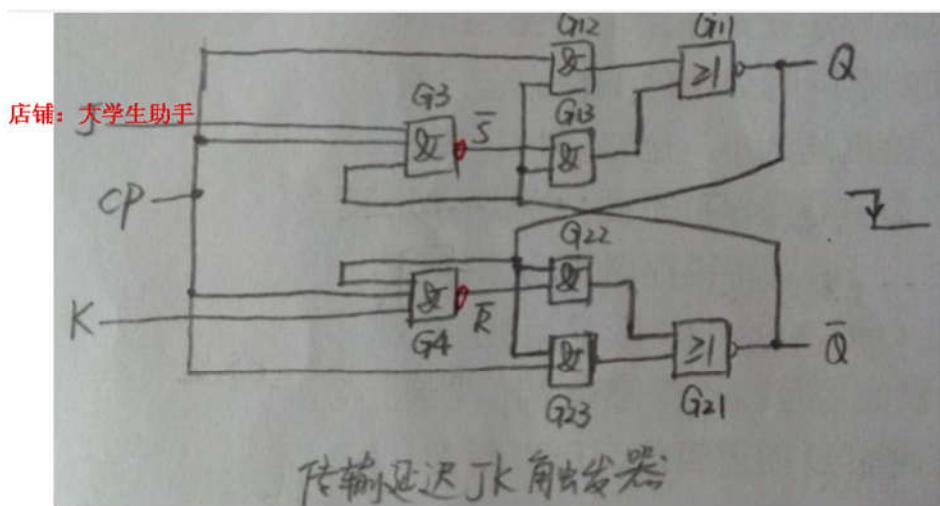
两者不同：同步 RS 触发器可以通过输入信号 E 控制多个简单 RS 触发器同时工作

2008 年真题：（共 40 分）请用 D 触发器和基本逻辑单元实现此图功能，给出必要的说明



2008 年真题：(共 40 分)画出 JK、D 触发器的逻辑电路图，并给出必要的说明。





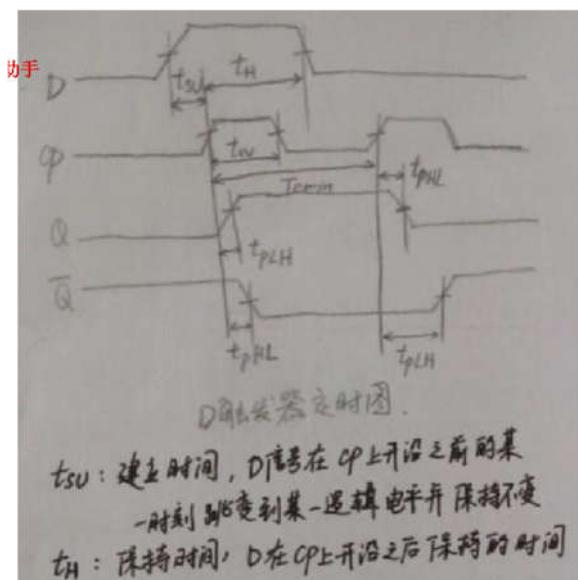
2009 年真题：(35 分) 请用基本逻辑单元画出只带清零端的维持—阻塞式边缘 D 触发器的逻辑电路图，并说明其工作过程。(20 分)

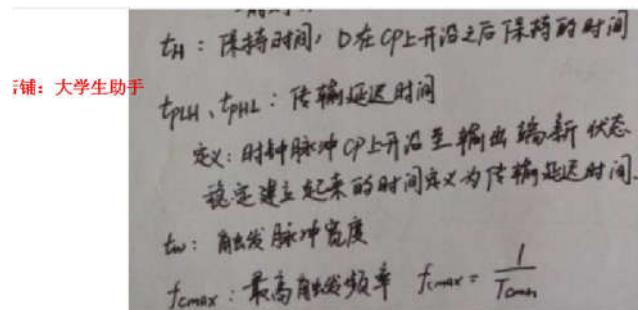
答：详解见上题，工作过程见 30-③

2010 年真题：同步 RS 触发器和基本 RS 触发器的主要区别是什么？(10 分)

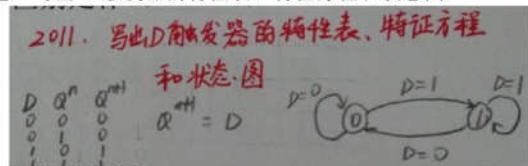
答：答案同 2007 年

2010 年真题，DFF 的建立时间和保持时间？(10 分)





2011 年真题：写出 D 触发器的特性表、特征方程和状态图



2012 年真题：JK 触发器的功能及特征方程 (5')

2012 年真题：JK 触发器的功能及特征方程 (5')

淘宝店铺：大学生助手

2012

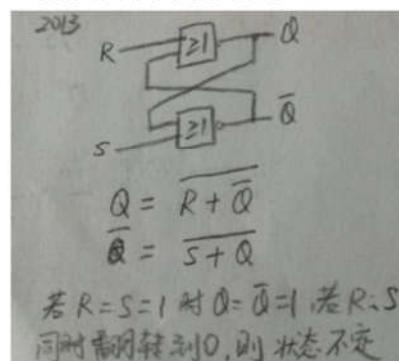
$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (\text{特征方程})$$

功能 $J=0, K=0$, 保持
 $J=0, K=1$, 置 0
 $J=1, K=0$, 置 1
 $J=1, K=1$, 高阻

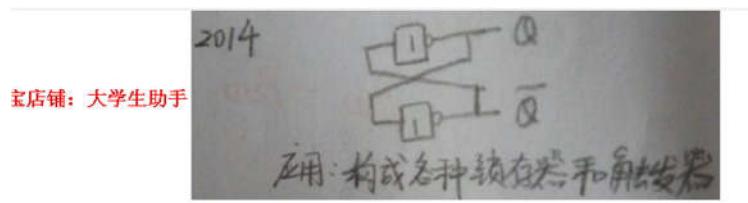
2012 年真题：D 触发器的建立时间问题 (5')

答：具体题目不知，无法解答

2013 年真题：试解释 SR 锁存器的不定态问题



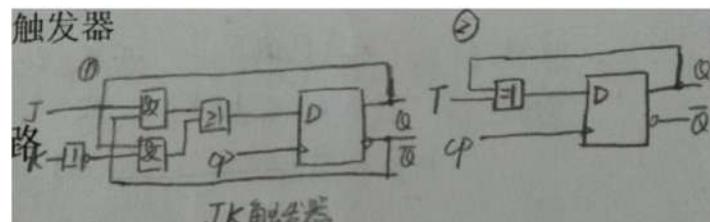
2014 年真题：画出双稳态电路的性质，并说出双稳态电路的应用



2014 年真题：如何用 D 触发器构成 JK 触发器和 T 触发器

$$\begin{aligned} D: \quad Q^{n+1} &= D \\ JK: \quad Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \Rightarrow \textcircled{1} D = J\bar{Q}^n + \bar{K}Q^n \\ T: \quad Q^{n+1} &= T\bar{Q}^n + \bar{T}Q^n \end{aligned}$$

第六章 时序逻辑电路



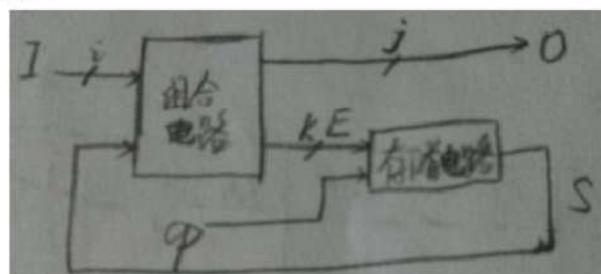
第六章 时序逻辑电路

31、时序逻辑电路 (07, 08) P245

淘宝店铺：大学生助手
时序逻辑电路的定义：时序电路在任意时刻的输出信号不仅与当时的输入信号有关，而且与电路原来的状态有关

2007 年真题：画出时序电路框图(30')

答：具体题目不详



2008 年真题：时序逻辑电路（名词解释）

答：时序电路在任意时刻的输出信号不仅与当时的输入信号有关，而且与电路原来的状态有关

32、时序电路逻辑功能的表达 P248

时序电路可用方程组、状态表、状态图和时序图来表达

激活 Wii
www.bulekaoyan.com

33、同步时序逻辑电路分析的一般步骤（10,13） P252-P260

(1) 根据给定的同步时序电路列出下列逻辑方程组：

- 淘宝店铺：**大学生助手**
 ① 对应每个输出变量导出输出方程，组成**输出方程组**
 ② 对每个触发器导出激励方程，组成**激励方程组**

③ 将各触发器的激励方程代入相应触发器的特性方程，得到各触发器的状态方程，从而组成**状态方程组**

上述①和②表达了同步时序电路中全部组合电路的特性，而③则表达了电路的状态转换特性

(2) 根据状态方程组和输出方程组，列出电路的**状态表**，画出状态图或时序图(3) 确定电路的逻辑功能，必要的话，可用文字详细描述
具体例子参考课本。

2010 年真题：(共 30 分) 试分析图(2)所示时序电路图，请 (1) 画出其状态图 (10 分) (2) 设电路的初始状态为 0，试画出在图(3)所示波形下 Q 和 Z 的波形图。(20 分)

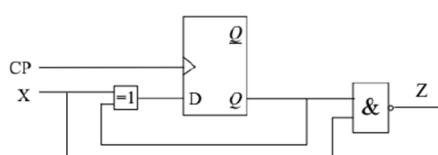
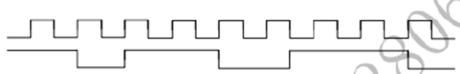


图 (2)

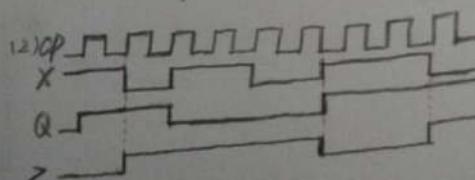
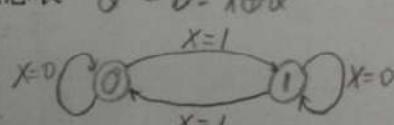


激活 Win
转到“电脑设置”

$$2010: (1) Z = \overline{Q}X$$

$$D = X \oplus Q^n$$

$$\text{状态表 } Q^{n+1} = D = X \oplus Q^n$$



2013 年真题：写出最简表达式



激活 Wind
转到“电脑设置”

clk



$Y = A \cdot (\bar{Q}_1 \bar{Q}_0 + A \bar{Q}_1 Q_0) \cdot [(\bar{Q}_1 \bar{Q}_0 + A \bar{Q}_1 Q_0) \bar{Q}_1]$

$$= (A \bar{Q}_1 \bar{Q}_0 + A \bar{Q}_1 Q_0) (\bar{Q}_1 \bar{Q}_0 + A \bar{Q}_1 Q_0) = A \bar{Q}_1 \cdot \bar{Q}_1 Q_0$$

图，请（1）画出其状态图
（2）画出波形 \bar{Q}_1 和 Q_0 的波形

34、同步时序逻辑电路的设计 (09,11,13, 14) P260-274

同步时序逻辑电路的设计步骤：

- (1) 由给定的逻辑功能建立原始状态图和原始状态表
- (2) 状态化简
- (3) 状态分配
- (4) 选择触发器类型
- (5) 确定激励方程组和输出方程组
- (6) 画出逻辑图并检查自启动能力

具体例子参考课本

2009 年真题：（共 45 分）根据下面图(2)所示电路图，请给出：(1) 各触发器的次态方程 (10 分) (2) 列出状态表 (10 分) (3) 画出状态图 (10 分) (4) 根据图 (3) 给出的输出时序图，给出 Q_0 、 Q_1 和 Output 的时序图。(20 分)

激活 WiFi
转到“由脑说”

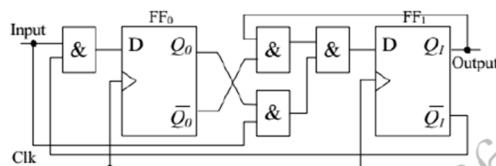


图 (2)

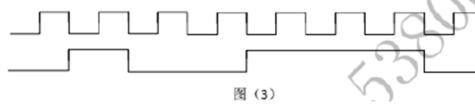
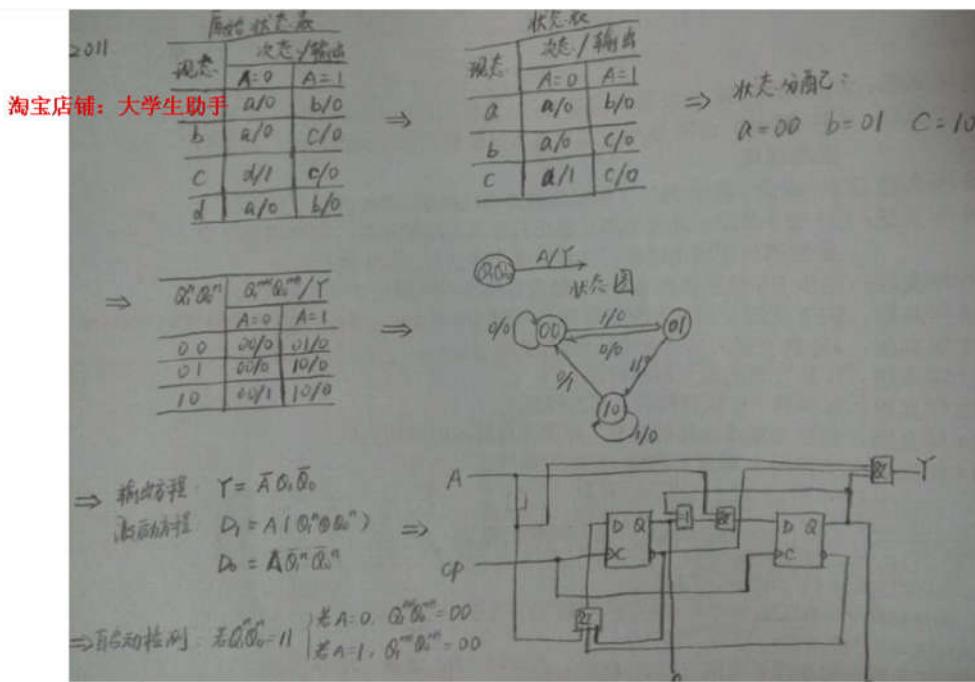


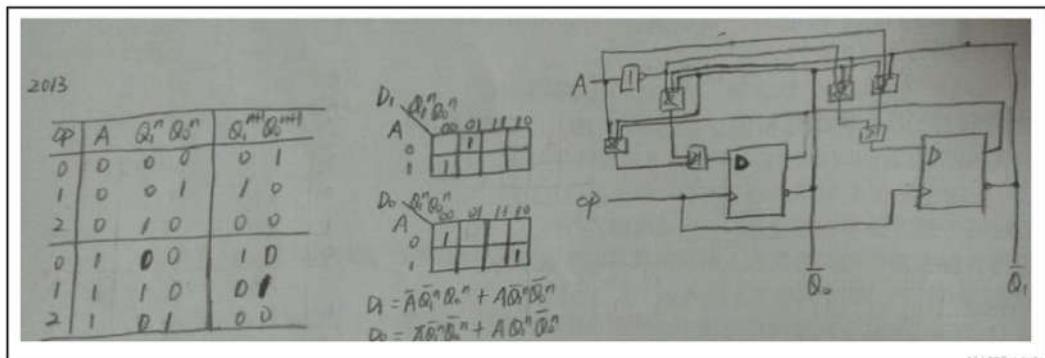
图 (3)

答：这题应该是错题

2011 年真题：设计一个序列编码检测器，当检测到输入信号出现 110 序列的时候，电路输出为 1，否则输出为 0。（画出状态转换图，进行逻辑化简，分配状态，并选择 D 触发器构建电路）



2013 年真题：使用上升沿 D 触发器设计一个 3 进制的加减法计数器，画出逻辑图



2014 年真题：用 D 触发器设计 5 进制同步加法计数器

正在写 Windc
转到“我的设置”

2014 年真题：用 D 触发器设计 5 进制同步加法计数器

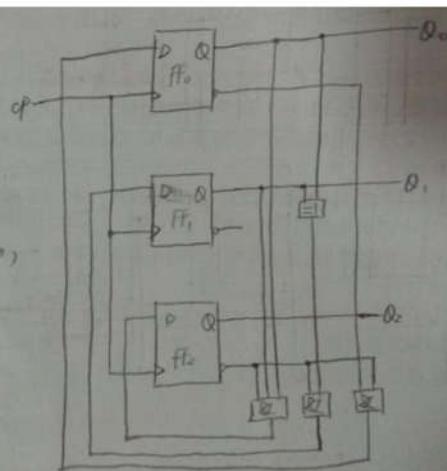
2014

CP	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1} Q_4^{n+1}$
0	0	0	0	0	0	0 0 0 0 1
1	0	0	1	0	0	0 1 0 0 0
2	0	1	0	0	0	0 0 1 0 0
3	0	1	1	1	0	1 0 0 0 0
4	1	0	0	0	0	0 0 0 0 0

$$D_0 = \bar{Q}_0^n Q_1^n Q_2^n$$

$$D_1 = \bar{Q}_0^n \bar{Q}_1^n Q_2^n + \bar{Q}_0^n Q_1^n \bar{Q}_2^n = \bar{Q}_0^n (Q_1^n \oplus Q_2^n)$$

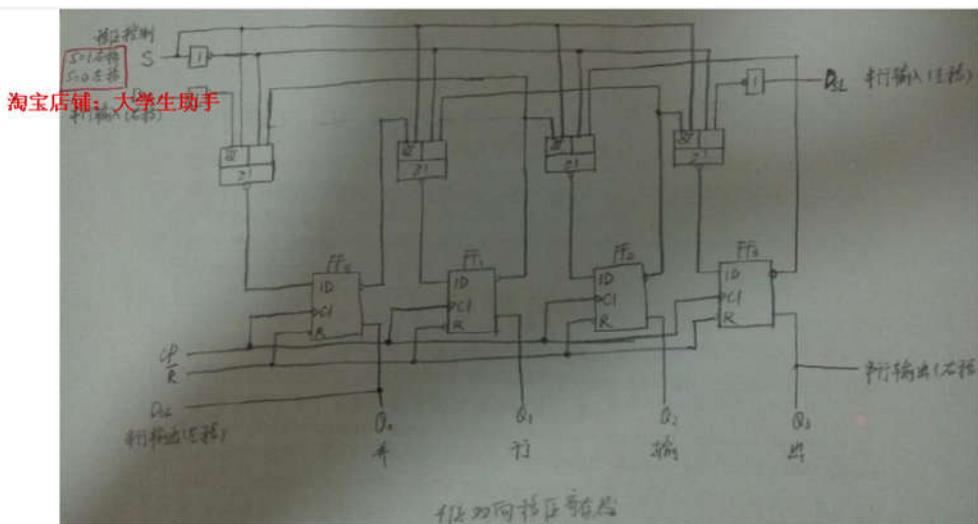
$$D_2 = \bar{Q}_0^n \bar{Q}_1^n \bar{Q}_2^n + Q_0^n Q_1^n \bar{Q}_2^n = \bar{Q}_0^n \bar{Q}_2^n$$



35、寄存器和移位寄存器（07,08） P279

参考课本

2007 年真题：画 4 位双向移位寄存器，4 位循环移位寄存器，再说说两者区别（20 分）



2008 年真题：（共 40 分）实现 4 位循环移位寄存器， LS 为控制信号，当 $LS=1$ 时，向左移，当 $LS=0$ 时向右移。

36、计数器（07,13）P286

2007 年真题：画出九进制计数器（20 分）

激活
至至

2013 年真题：使用上升沿 D 触发器设计一个 3 进制的加减法计数器，画出逻辑图

第七章 存储器、复杂可编程器件和现场可编程门阵列

37、只读存储器（10, 11, 12, 13, 14）P332-P356

(1) 半导体存储器的分类：ROM（只读存储器）和 RAM 随机存取存储器

生助手 (2) ROM 和 RAM 的区别：①正常工作时，RAM 能读能写，ROM 只能读。②断电以后，RAM 中所存的数据将全部丢失，即具有易失性，而 ROM 的数据可以长久保存

(3) RAM 的分类：SRAM（静态 RAM）和 DRAM（动态 RAM）

(4) SRAM 和 DRAM 的区别：SRAM 中的存储单元是一个触发器，有 0、1 两个稳态；DRAM 则是利用电容器存储电荷来保存 0 和 1 的，因此需要定时对其存储单元进行刷新，否则随着时间推移，电容器中存储的电荷将会逐渐消散

(5) ROM 的分类：固定 ROM（或掩膜 ROM）和可编程 ROM（PROM）

(6) PROM 的分类：一次可编程 ROM（PROM）、光可擦除可编程存储器（EPROM）、电可擦除可编程存储器（E²PROM）和闪存存储器（Flash Memory）

(7) RAM 的应用场合：一般用在需要频繁读写数据的场合，如计算机系统中的数据缓存

(8) ROM 的应用场合：用于存放系统程序、数据表、字符代码等不易变化的数据。E²PROM 和 Flash Memory 则广泛用于各种存储卡中，例如公交车的 IC 卡，数码相机中的存储卡，移动存储卡（USB 存储卡，也称 U 盘）以及 MP3 播放器等

(9) ROM 的定义与基本结构

① ROM 的基本结构：由存储阵列、地址译码器和输出控制电路组成

② ROM 的存储阵列由字线和位线交叉处的二极管构成。字线和位线交叉处相当于一个存储单元，此处若有二极管存在，则相当于存储单元存有 1 值，否则为 0 值

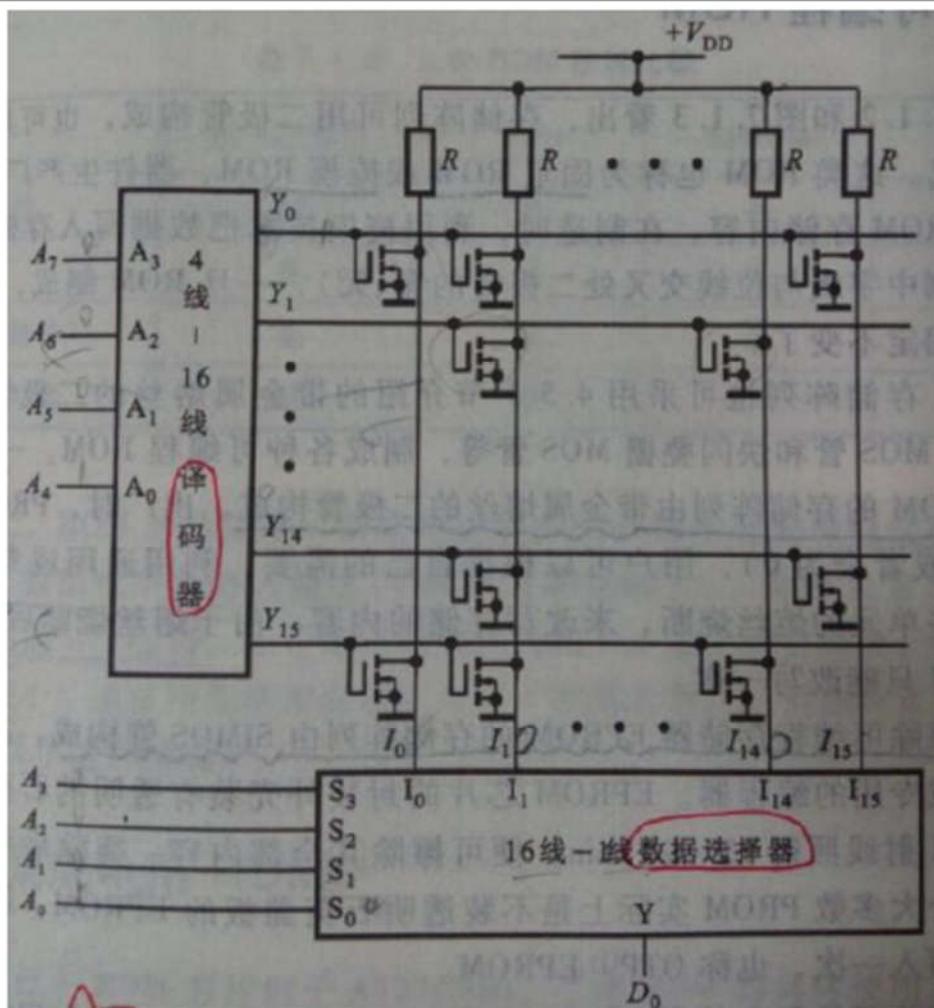
③ ROM 属于组合逻辑电路。设计实现时，只需列出真值表，输入看作地址，输出作为存储内容，将内容按地址写入 ROM 即可

④ ROM 存储器的容量（也称密度）：常以字数和字长的乘积表示存储器的容量。例如，一个容量为 256×4 位的存储器，有 256 个字，字长为 4 位，总共有 1024 个存储单元

⑤ 单位关系： $1K=2^{10}=1024$, $1M=2^{20}=1024K$, $1G=2^{30}=1024M$

⑥ ROM 中的二维译码（行译码和列译码）

助手



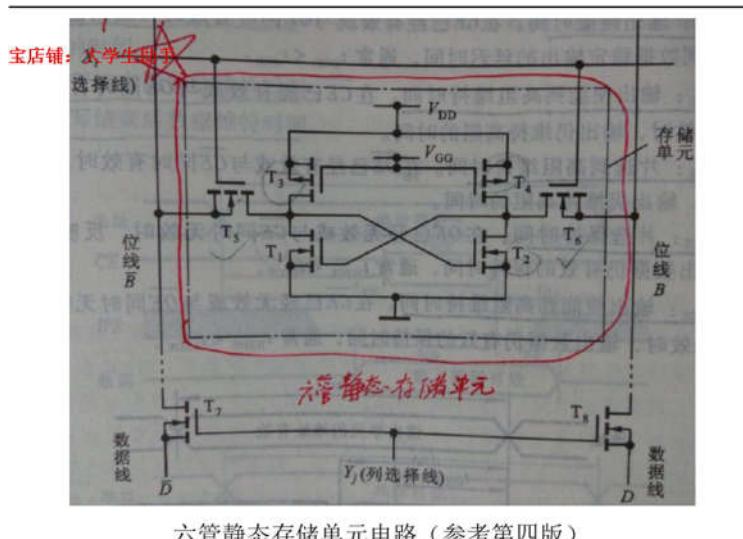
用 MOS 管构成存储单元的 ROM 结构示意图

图中的存储单元由 MOS 管构成，**行译码输出高电平有效**。当给定的地址码为时，经译码器译码，输出 Y_1 行线为高电平，则栅极与 Y_1 相连的 MOS 管导通，使 I_1, I_{14} 的位线变成低电平；而交叉处没有 MOS 管的位线仍保持高电平，例如 I_0, I_{15} 的仍为高电平。而 $=0001$ ，此时数据选择器选择 I_1 位线输出，即 $D_0=I_1=0$ 。如果 Y_1 行线和 I_1 位线交叉处没有 MOS 管， $D_0=I_1=1$ 。一般数据选择器的输出 D_0 还需经反相器输出缓冲器再输出。由此看出，4 线-16 线译码器实现实行的选择，16 线-1 线数据选择器实现列的选择，从而完成行和列的译码。

(10) 随机存取存储器 (RAM)

- ①**RAM** 的优点：可以随时从其中任一指定地址读出（取出）或写入（存入）数据
- ②**RAM** 的基本结构：由存储阵列、地址译码器和输入/输出控制电路组成
- ③**SRAM**（静态随机存取存储器）属于时序逻辑电路
- ④六管静态存储单元

激活
转到“电



图为六管 SRAM 存储单元，其中 $T_1 \sim T_4$ 构成一个 SR 锁存器用来存储 1 位二值数据。
 X_i 为行译码器的输出， Y_j 为列译码器的输出。 T_5 、 T_6 为单元控制门，由行选择线 X_i 控制。
 $X_i = 1$ ， T_5 、 T_6 导通，锁存器与位线接通； $X_i = 0$ ， T_5 、 T_6 截止，锁存器与位线隔离。 T_7 、 T_8 为一列存储单元公用的控制门，用于控制位线与数据线的连接状态，由列选择线 Y_j 控制。
显然。当行选择线和列选择线均为高电平时， $T_5 \sim T_8$ 都导通，锁存器的输出才与数据线接通，该单元才能通过数据线传送数据。因此，存储单元能够进行读/写操作的条件是，与它相连的行、列选择均须呈高电平。因此，SRAM 中数据由锁存器记忆，只要不断电，数据就能永久保存。

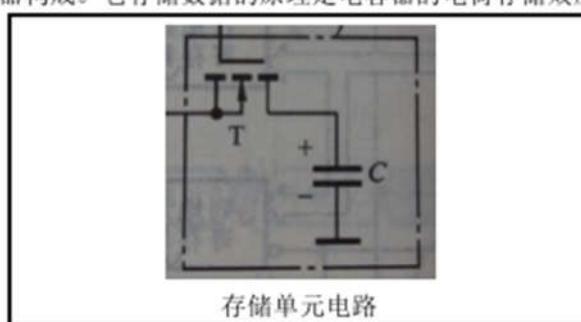
⑤SSRAM（同步静态随机存取存储器）

5.1 SSRAM（同步静态随机存取存储器）与 SRAM 最主要的差别：**SSRAM 的读写操作是在时钟脉冲节拍控制下完成的**。因此，SSRAM 最明显的标志是有时钟脉冲输入端。

5.2 SSRAM 的应用：SSRAM 已广泛应用于各种同步工作的数字系统中，特别是与处理器一同工作的系统，例如个人电脑中的**超高速缓冲存储器（Cache）**

⑥DRAM（动态随机存取存储器）

6.1 SRAM 存储单元由 6 个 MOS 管构成，所用的管子数目多、功耗大，集成度受到限制，动态随机存取存储器 DRAM 克服了这些缺点。DRAM 的存储单元由一个 MOS 管和一个容量较小电容器构成。它存储数据的原理是电容器的电荷存储效应



6.2 DDR SDRAM 已成为个人电脑的主流内存

2010 年真题：为什么 DRAM 的集成度比 SRAM 高？（10 分）

答：因为 DRAM 的存储单元由一个 MOS 管和一个电容器组成，而 SRAM 的存储单元由 6 个 MOS 管构成。

2010 年真题：（20 分）请画出六管静态存储单元的电路图。

答：答案详见六管静态存储单元图

2010 年真题：(20 分) 请画出六管静态存储单元的电路图。

答：答案详见六管静态存储单元图

店铺：大学生助手 画出一个六管静态存储单元的原理示意图，并说明其工作原理。

答：答案详见六管静态存储单元图

2012 年真题：ROM 和 RAM 的一个分类问题(5')

答：ROM：可读，掉电数据不丢失，为组合逻辑电路；RAM：可写可读，掉电数据丢失，为时序逻辑电路。ROM 分为固定 ROM 和可编程 ROM (PROM, EPROM, E²PROM, Flash memory)；RAM：分为 SRAM 和 DRAM

2013 年真题：存储器为 128×8 ，请问是由多少个地址线和多少个数据线组成

答： $128 \times 8 = 2^7 \times 8$, 7 根地址线和 8 个数据线组成； $128K \times 8 = 2^7 \times 2^{10} \times 8 = 2^{17} \times 8$, 17 根地址线和 8 个数据线

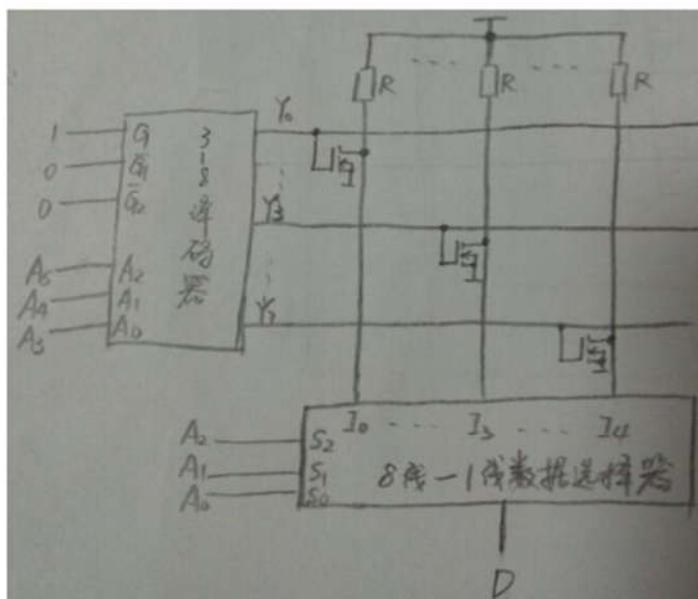
2013 年真题：分别说明高速缓存，内存和固态硬盘分别使用了哪种半导体存储器件

答：高速缓存：SRAM，内存：DRAM，固态硬盘：ROM

2014 年真题： 8×8 存储器阵列有 3 个行地址和 3 个列地址构成，画出行地址和

列地址的 3-8 线译码器

店铺：大学生助手



2014 年真题：说明 DRAM 的工作原理，并说明 DRAM 多用于何处

答：DRAM 存储数据的原理是电容器的电荷存储效应。当电容 C 充有电荷，呈现高电压时，相当于存有 1 值，反之为 0 值。MOS 管 T 相当于一个开关，当行选线为高电平时，T 导通，C 与位线连通，反之则断开。(由于电路中存在漏电流，电容器上存储的数据（电荷）不能长久保存，因此必须定期给电容补充电荷，以免存储数据丢失，这种操作称为刷新或再生)

38、复杂可编程逻辑器件 (09,12) P356-383

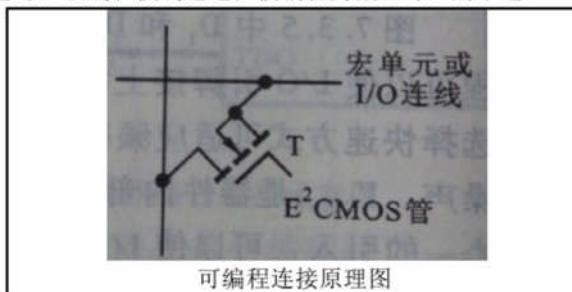
(1) 在系统可编程 (ISP): 是指未编程的 ISP 器件可以直接焊接在印制电路板上, 然后通过计算机的数据传输端口和专用的编程电缆对焊接在电路板上的 ISP 器件直接多次编程, 从而使器件具有所需要的逻辑功能

· 大学生助手 2) CPLD (复杂可编程逻辑器件)

CPLD 由逻辑块、内部可编程连线区和 I/O 块组成

①逻辑块: 相当于一个 GAL 器件, 主要由可编程乘积项阵列 (即与阵列)、乘积项分配、宏单元三部分组成, 其结构类似于 GAL

②可编程内部连线: 作用是实现逻辑块与逻辑块之间、逻辑块与 I/O 块之间以及全局信号到逻辑块和 I/O 块之间的连接。连线区的可编程连接一般由 E²CMOS 管实现, 当 E²CMOS 管被编程为导通时, 纵线和横线连通; 被编程为截止时, 则不通



③I/O 单元: 是 CPLD 外部封装引脚和内部逻辑间的接口。每个 I/O 单元对应一个封装引脚, 通过对 I/O 单元中可编程单元的编程, 可将引脚定义为输入、输出和双向功能

④CPLD 的编程: ISP 器件的编程必须具备三个条件: ISP 专用编程电缆、微机、ISP 编程软件

(3) FPGA (现场可编程门阵列)

①在 FPGA 中, 实现组合逻辑功能的基本电路是 LUT 和数据选择器, 而触发器仍然是

实现时序逻辑电路的基本电路

②LUT 本质上是一个 SRAM

· 大学生助手
③目前 FPGA 中多使用 4 个输入、1 个输出的 LUT, 所以每一个 LUT 可以看成是一个有 4 根地址线的 16×1 位的 SRAM

④由于 SRAM 具有数据易失性, 即一旦断电, 其原有的逻辑功能将消失。所以 FPGA 一般需要一个外部的 PROM 保存编程数据。上电后, FPGA 首先从 PROM 中读入编程数据进行初始化, 然后才开始正常工作

⑤基于 SRAM 技术的 FPGA 可以进行无限次的编程

⑥FPGA 由可编程逻辑模块 (CLB)、RAM 块 (Block RAM)、输入/输出模块 (IOB)、延时锁环 (DLL) 和可编程布线阵列 (PRM) 等组成

⑦可编程逻辑模块 CLB 是实现各种逻辑功能的基本单元, 包括组合逻辑、时序逻辑、加法器等运算功能。可编程的输入/输出模块 IOB 是新片外部引脚数据与内部数据进行交换的接口电路, 通过编程可将 I/O 引脚设置成输入、输出和双向等不同的功能。IOB 分布在新片的四周。延时锁环 DLL 可以控制修正内部各部分时钟的传输延迟时间, 保证逻辑电路可靠的工作

⑧信号的传输延时是限制器件工作速度的根本原因

(4) CPLD 和 FPGA 的区别: CPLD 可加密、传输延时预知, 采用可编程的“与-或”阵列来实现逻辑函数; FPGA 电路规模大、灵活性强, 采用查找表 (LUT) 实现逻辑函数。

2009 年真题: CPLD 与 FPGA 主要有哪些区别? 它们各自有什么特点? (15 分)

2012 年真题: 一道 CPLD 的可编程逻辑器件的题, 也是要画图的, 题目不难, 做一个全减器吧, 但是要记得怎么画 CPLD

第八章 脉冲波形的变换和产生

39、单稳态触发器 P388

(1) 单稳态触发器的工作特性

- ①没有触发脉冲作用时电路处于一种稳定状态
- ②在触发脉冲作用下，电路由稳态翻转到暂稳态。暂稳态是一种不能长久保持的状态
- ③由于电路中 RC 延时环节的作用，电路的暂稳态在维持一段时间后，会自动返回到稳态。暂稳态的持续时间决定于电路中的 RC 参数值

(2) 单稳态触发器的工作原理：参考课本 P388

(3) 单稳态触发器的应用：消除噪声、脉冲的整形、延时和定时等

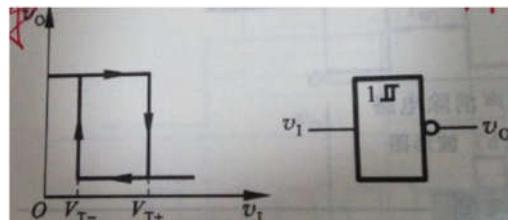
40、施密特触发器 (14) P400

(1) 施密特触发器的工作特点

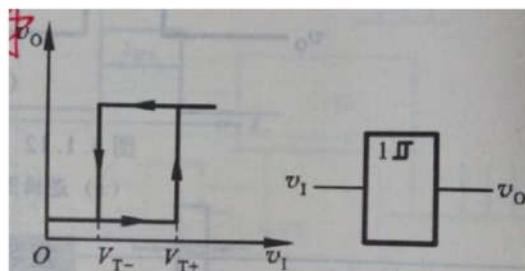
- ①电路的触发方式属于电平触发，对于缓慢变化的信号仍然适用，当输入电压达到某一特定值时，输出电压会发生跳变。由于电路内部正反馈的作用，输出电压波形的边沿很陡峭
- ②在输入信号增加和减少时，施密特触发器由不同的阈值电压，正向阈值电压 V_{T+} 和负向阈值电压 V_{T-} 。正向阈值电压与负向阈值电压之差，称为回差电压，用表示 ()。根据输入相位、输出相位关系的不同，施密特触发器由同相输出和反相输出两种电路形式

向阈值电压 V_{T-} 。正向阈值电压与负向阈值电压之差，称为回差电压，用表示 ()。根据输入相位、输出相位关系的不同，施密特触发器由同相输出和反相输出两种电路形式

淘宝店铺：大学生助手



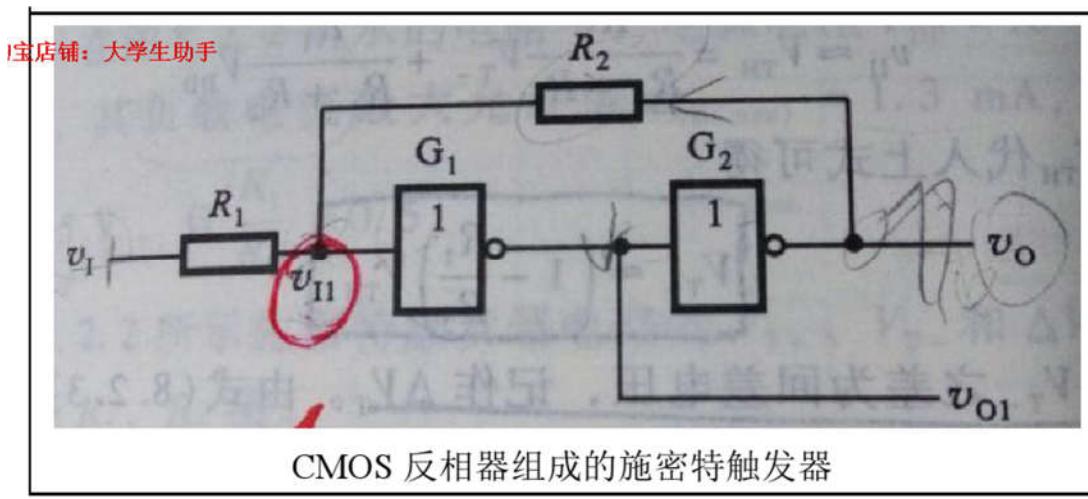
反相



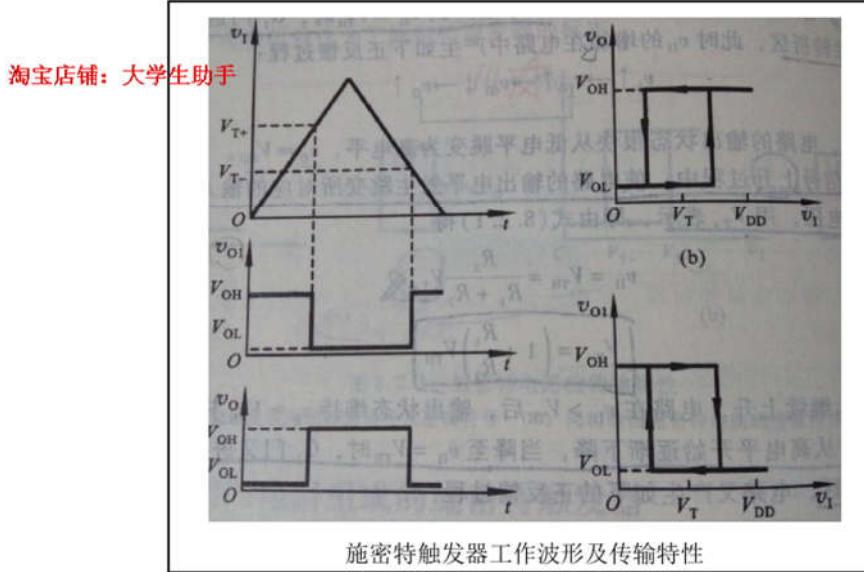
同相

施密特触发器的工作波形及传输特性图

翻
转



(2) 施密特触发器的工作原理：参考课本 P401



(3) 施密特触发器的应用：波形变换、波形的整形与抗干扰和幅度鉴别等

2012 年真题：波形发生器的题目

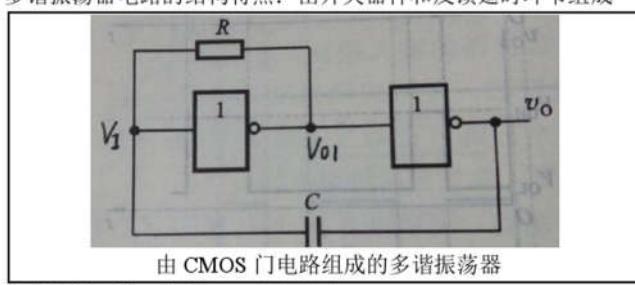
2014 年真题：画出施密特触发器的特性图，并说说施密特触发器的应用

微课
真题

41、多谐振荡器 P407

(1) 多谐振荡器的概念：多谐振荡器是一种在接通电源后，就能产生一定频率和一定幅值矩形波的自激振荡器，常作为脉冲信号源。由于多谐振荡器在工作过程中没有稳定状态，故又称为无稳态电路。

(2) 多谐振荡器电路的结构特点：由开关器件和反馈延时环节组成



(3) 多谐振荡器的工作原理：参考课本 P408

第九章 数模与模数转换器

42、模数转换器和数模转换器 P430

大学生助手

(1) 模数转换器和数模转换器的定义

① 模数转换器：能把模拟信号转换成数字信号的电路称为模数转换器（简称 ADC 或 A/D 转换器）

② 数模转换器：能把数字信号转换成模拟信号的电路称为数模转换器（简称 DAC 或 D/A 转换器）

(2) A/D 转换器和 D/A 转换器的主要技术指标

① 转换精度

② 转换速度

③ 分辨率

(3) D/A 转换器的应用

① 数字式可编程增益控制电路

② 脉冲波产生电路

(4) A/D 转换器的工作过程：取样、保持和量化、编码

(5) A/D 转换器的应用：与连接在 CPU 数据总线相接

43、名词汉英对照 P526

二进制编码的十进制 (Binary-Coded-Decimals, BCD)

三极管 (Bipolar Junction Transistor, BJT)

三极管-三极管逻辑 (Transistor-Transistor Logic, TTL)

专用集成电路 (Application Specific Integrated Circuit, ASIC)

三极管-三极管逻辑 (Transistor-Transistor Logic, TTL)

专用集成电路 (Application Specific Integrated Circuit, ASIC)

互补 MOS 门 (Complementary MOS gate, CMOS)

半导体存储器 (Semiconductor memory)

只读存储器 (Read Only Memory, ROM)

可编程逻辑器件 (Programmable Logic Device, PLD)

可编程阵列逻辑 (Programmable Array Logic, PAL)

随机存取存储器 (Random Access Memory, RAM)

时序逻辑电路 (Sequential logic circuit)

时序图 (Timing diagram)

组合逻辑电路 (Combinational logic Circuit)

金属-氧化物-半导体 (Metal-Oxide-Semiconductor, MOS)

互补金属氧化物半导体 (Complementary Metal-Oxide-Semiconductor, CMOS)

现场可编程门阵列 (Field Programmable Gate Array, FPGA)

施密特触发器 (Schmitt trigger)

复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD)

通用阵列逻辑器件 (Generic Array Logic, GAL)

射极耦合 (Emitter-Coupled Logic, ECL)

结型场效应管 (Junction Field Effect Transistor, JFET)

场效应管 (Field Effect Transistor, FET)

2014 年真题：CMOS 和 BJT 的中文含义，并说出他们各自有什么优点

2014 年真题：BJT 和 FET 的英文含义以及二者区别