

# Arquitectura UltraSPARC-I

Rebeca Maestro López



# Índice

- Características
- Multiprocesador
- Coherencia
- Consistencia
- Sincronización
- Rendimiento
- Bibliografía

# Características

Multi-Processing Support Glueless 4-processor conexión con mínima latencia

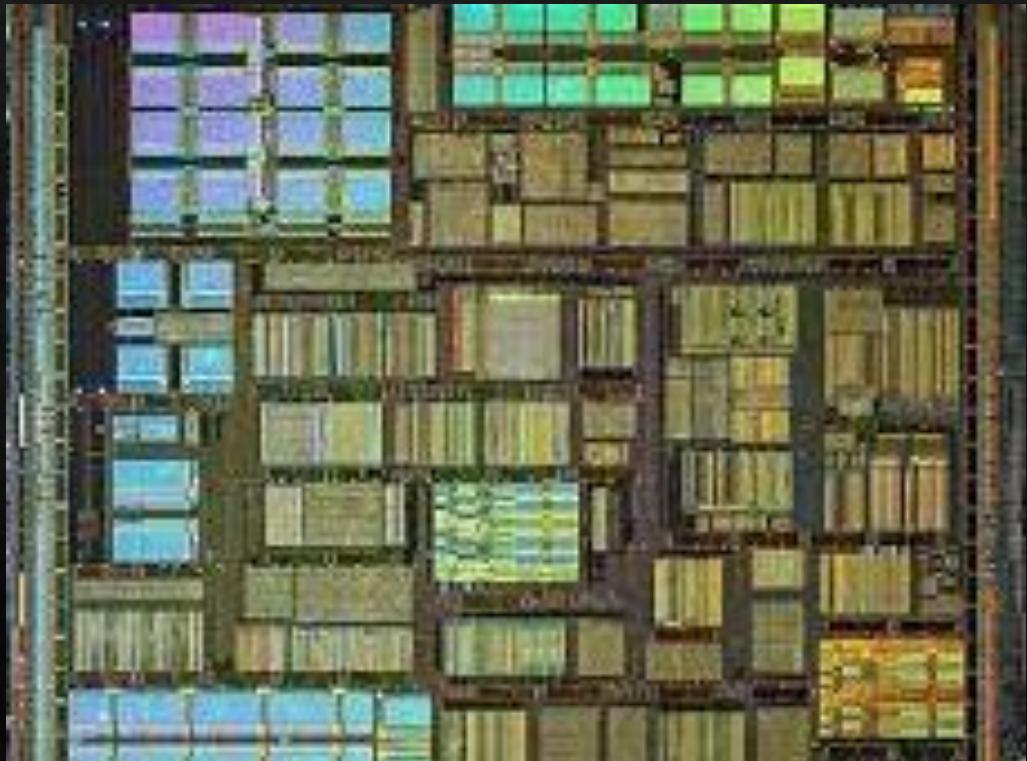
Sondeo y Basados en Directorios

Implementación

- ❖ 16KB cache de instrucciones
- ❖ Unidad de ejecución con dos ALUs
- ❖ Load buffer
- ❖ Store buffer
- ❖ Data cache (Primer nivel de cache)
- ❖ Data Memory Management Unit (DMMU)
- ❖ External cache (Segundo nivel de cache)



# Multiprocesador



- ❖ Como implementa la arquitectura SPARC V9 64-bit RISC esta explota TLP de grano fino, también ILP aunque no tiene SMT.
- ❖ Tiene un sistema SMP (Shared memory multiprocessor), con gran ancho de banda, además la conexión física entre el procesador y la interfaz del bus de datos consiste en un bus de direcciones.

# Coherencia

- ❖ Utiliza la política de invalidación por escritura, asegurándose que un procesador tiene acceso exclusivo a un dato antes de que acceda a él y invalidando el resto de copias.
- ❖ Basado en el protocolo MOESI de invalidación de 5 estados.

Usando los mismos tags para los estados:

Exclusivo modificado (M)

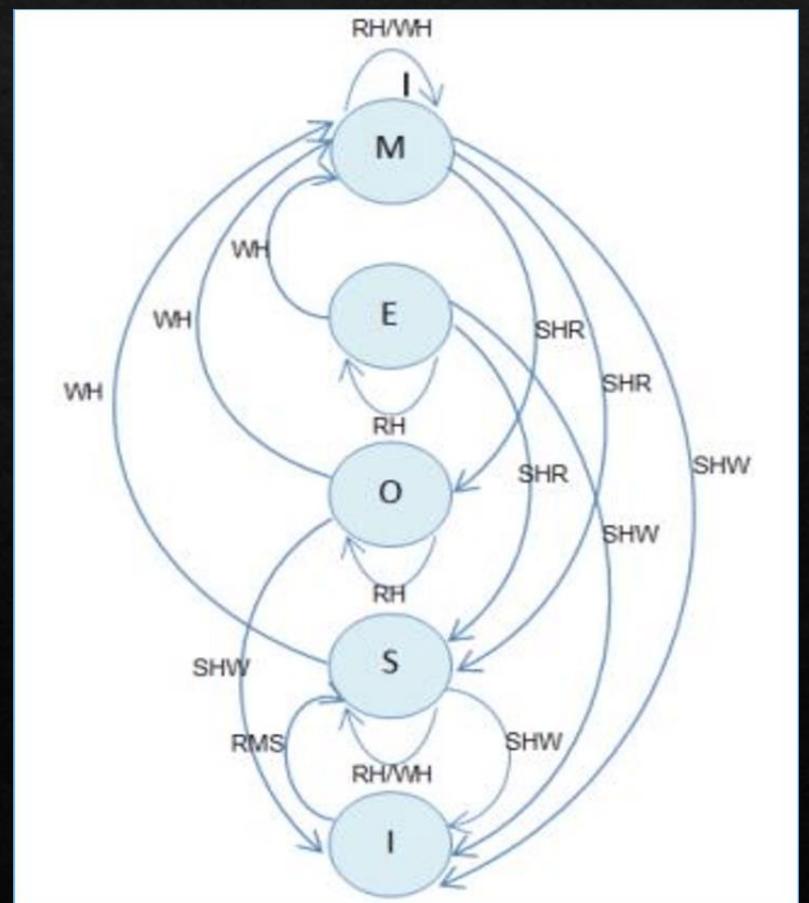
Compartido modificado (O)

Exclusivo limpio (E)

Compartido limpio (S)

Invalido (I)

La unidad de coherencia de cache tamaño 64 bytes y las transacciones de coherencia en lectura y escritura transfieren bloques de 64 byte.



# Consistencia

Soporta los tres modelos de memoria de consistencia secuencial

- ❖ Total Store Order
- ❖ Partial Store Order
- ❖ Relaxed Memory Order

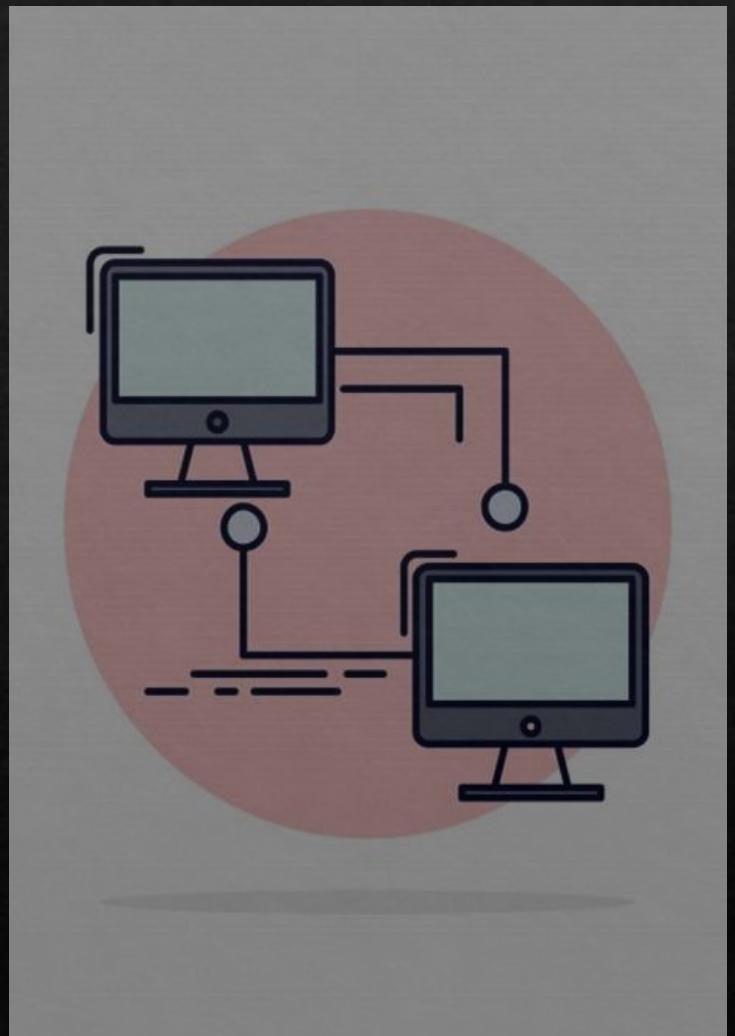
Las instrucciones MEMBAR y un modelo más débil que conduce a una mejor performance.

# Sincronización

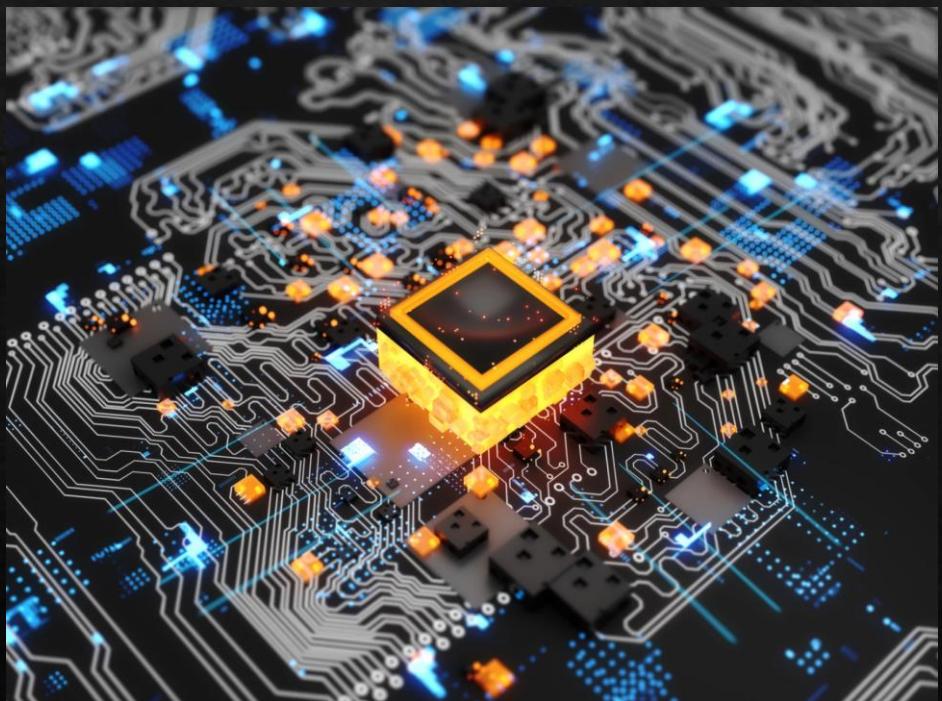
Tiene instrucciones de sincronización

Principalmente FLUSH y MEMBAR (Barrera)

- ❖ Lookaside Barrier : operación atómica de lectura y luego ajuste de memoria
- ❖ Memory Issue Barrier: compara el contenido de un registro con un valor en memoria e intercambia memoria con el contenido de otro registro si la comparación fue igual
- ❖ Synchronization Barrier: se utilizan para sincronizar el orden de la memoria compartida en operaciones observadas por los procesadores.



# Rendimiento



- ❖ La nueva arquitectura contiene 16 registros de doble precisión adicionales de coma flotante, lo que eleva el total a 32. Estos registros adicionales reducen el tráfico de memoria, lo que permite que los programas se ejecuten más rápido.
- ❖ Los nuevos registros de punto flotante también se pueden direccionar como ocho registros de precisión cuádruple. El soporte de SPARC-V9 para un formato de punto flotante cuádruple de 128 bits es exclusivo para microprocesadores.

# Bibliografía

- ❖ <http://datasheets.chipdb.org/Sun/stp1030.pdf>
- ❖ <https://www.cs.utexas.edu/users/novak/sparcv9.pdf>
- ❖ <https://www.oracle.com/technetwork/server-storage/sun-sparc-enterprise/documentation/sparc-usersmanual-2516676.pdf>