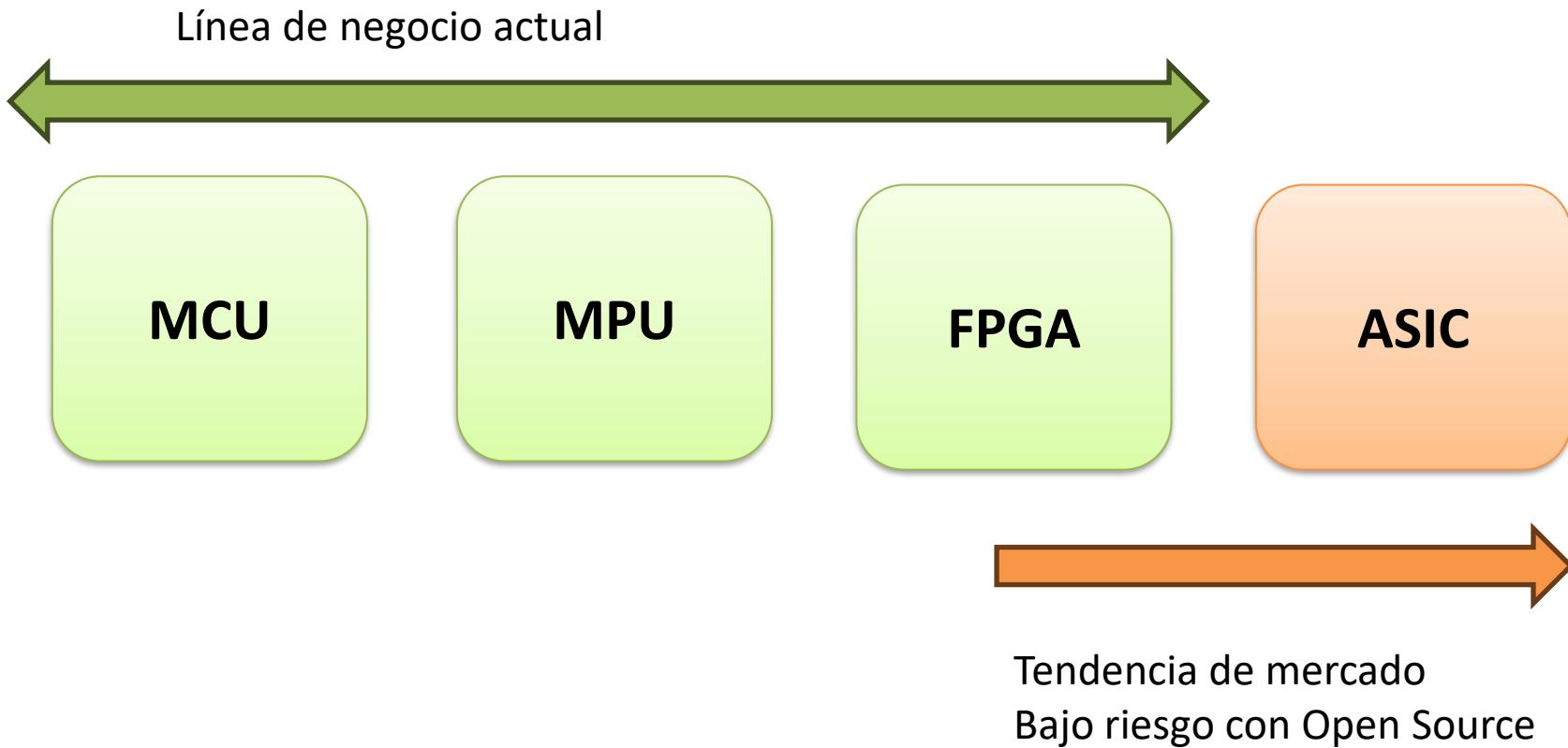


Diseño de Circuitos Integrados Digitales con FOSS EDA 2025



¿PORQUÉ DISEÑAR SEMICONDUCTORES?





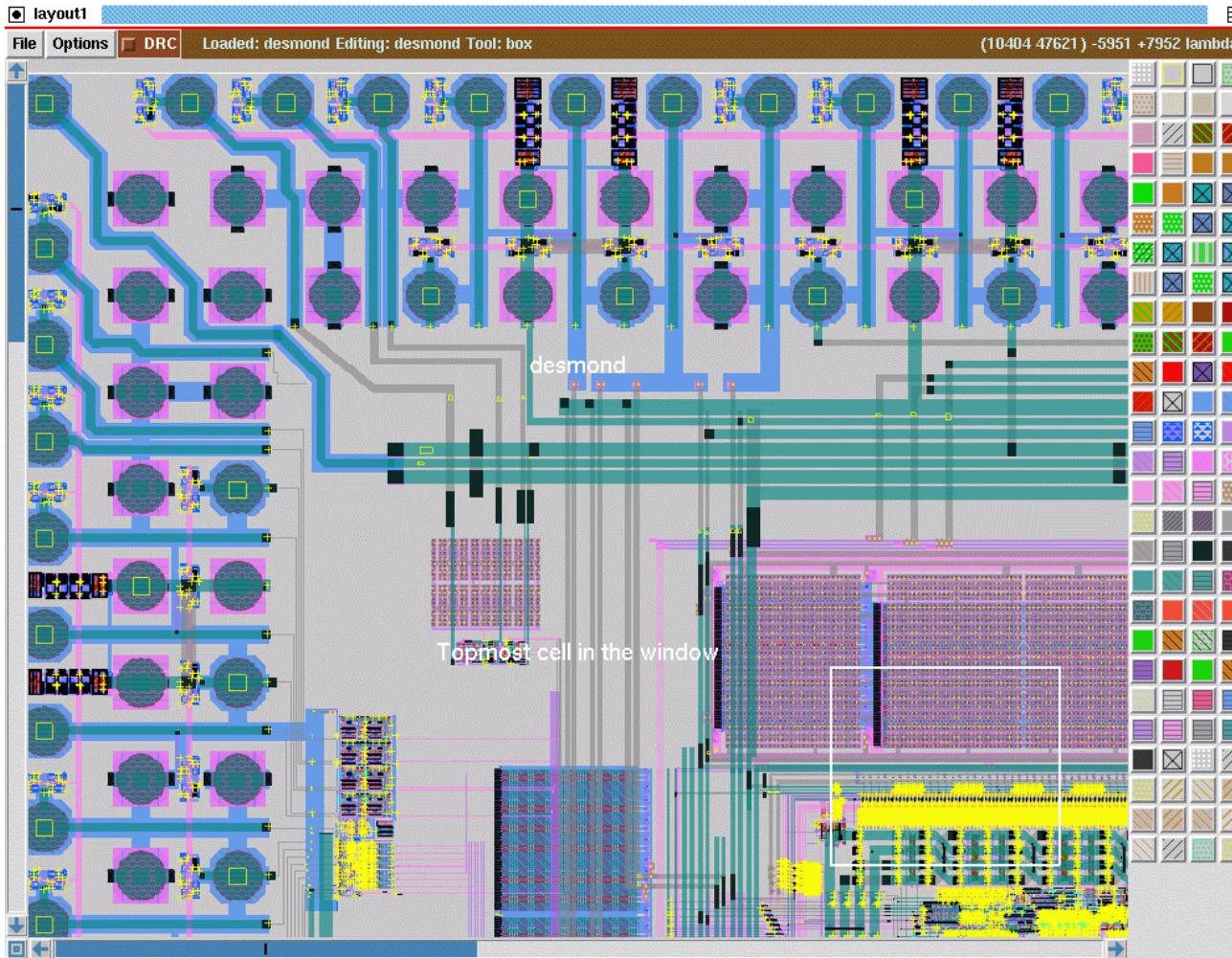
ESTO ES COMO UN GERBER, SE DIBUJAN COSAS...

rbz





ESTO ES COMO UN GERBER, SE DIBUJAN COSAS...



MAGIC VLSI

Creado en abril de 1983

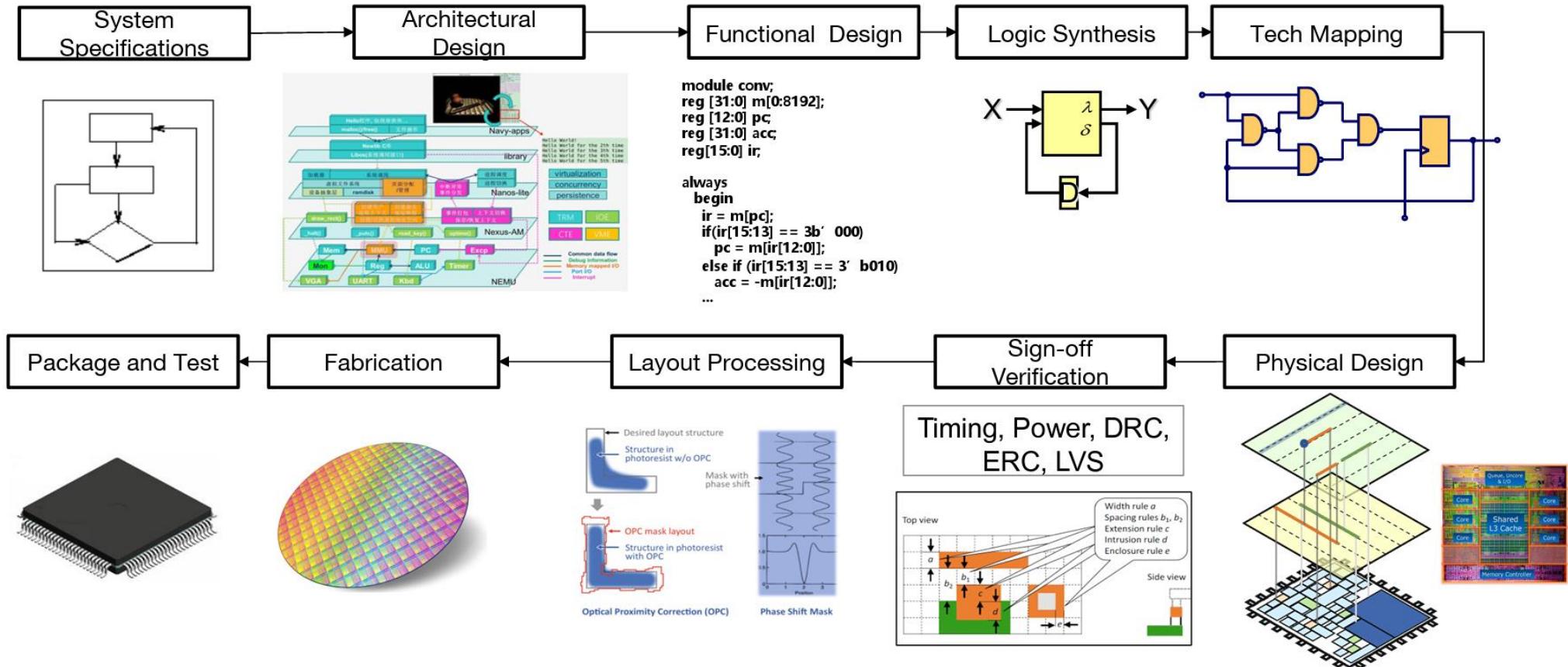
Maneja celdas standard
de un PDK, permite
hacer layout, conectarse
con un esquema y hacer
DRC en tiempo real

¿qué más necesitamos?



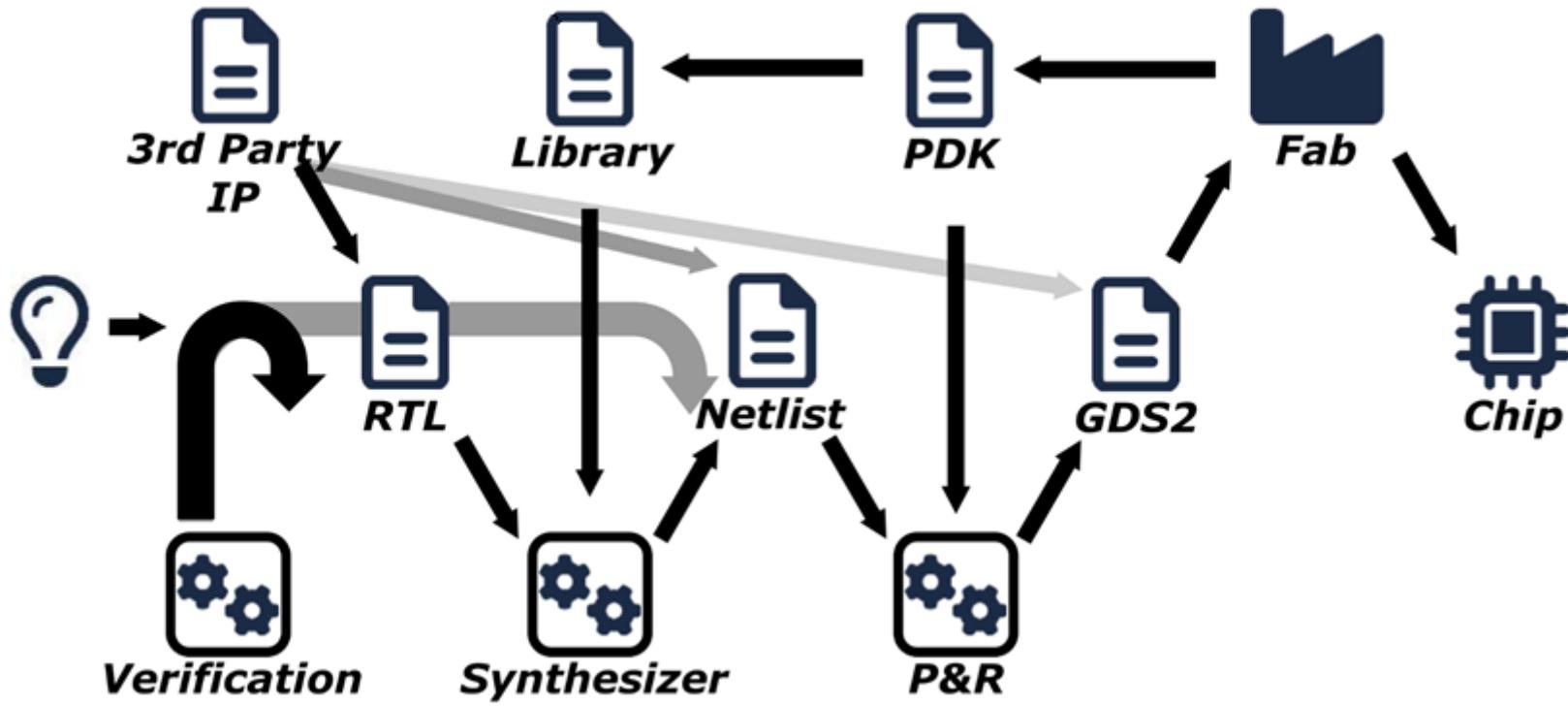


ECOSISTEMA DE LOS SEMICONDUCTORES



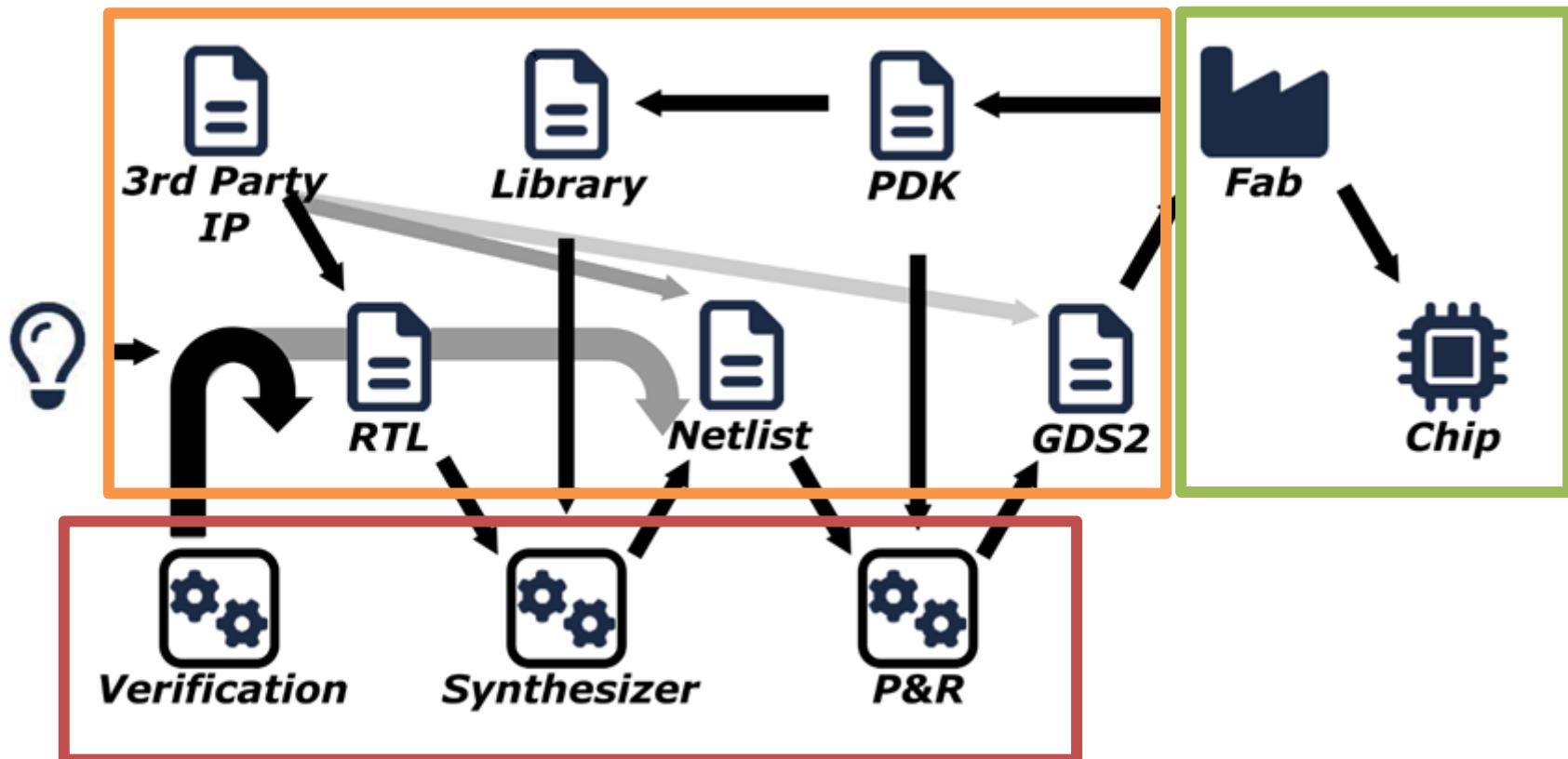


ECOSISTEMA DE LOS SEMICONDUCTORES





ECOSISTEMA DE LOS SEMICONDUCTORES (DIGITALES)





PROBLEMAS EN EL CAMINO

Experiencia

- Alto coste de contratación de personal con experiencia
- La adquisición de esta experiencia requiere de un elevado tiempo de formación

IP

- Alto coste de las IPs comerciales
- Se requiere de la firma de NDAs
- Posibles restricciones por contrato para su uso en defensa

Herramientas de diseño (EDA)

- Elevado coste de adquisición de licencias, negociación de precios muy opaca
- Requieren de la firma de NDAs
- Imponen limitaciones por contrato (benchmarking)

PDK

- Requiere de firma de NDA
- Limitaciones de exportación y usuario final según el proceso
- Acceder al PDK suele requerir intercambio de información confidencial con la foundry

Fabricación

- Alto coste de fabricación de los componentes, limitando la capacidad de hacer varios ciclos de prototipado
- Necesidad de firma de NDA



COSTE DE LAS LICENCIAS

No lo declaran públicamente en la web, debes contactar con el departamento comercial

El precio dependerá:

- Tamaño y potencial de la empresa
- Número de usuarios simultáneos de las licencias
- Tipos de paquetes SW a usar (el manejo de RTL es muy barato, el layout es muy caro)
- Tipo de licencia:
 - Perpetua
 - Anual
 - Por uso (tokens)
- Nodo tecnológico usado en el producto, por debajo de 16nm el precio se dispara

COSTE DE LAS LICENCIAS

No lo declaran públicamente en la web, debes contactar con el departamento comercial

El precio dependerá:

- Tamaño y potencial de la empresa
- Número de usuarios simultáneos de las licencias
- Tipos de paquetes SW a usar (el manejo de RTL es muy barato, el layout es muy caro)
- Tipo de licencia:
 - Perpetua
 - Anual
 - Por uso (tokens)
- Nodo tecnológico usado en el producto, por debajo de 16nm el precio se dispara

Coste anual por asiento de licencia: 10k – 1M€

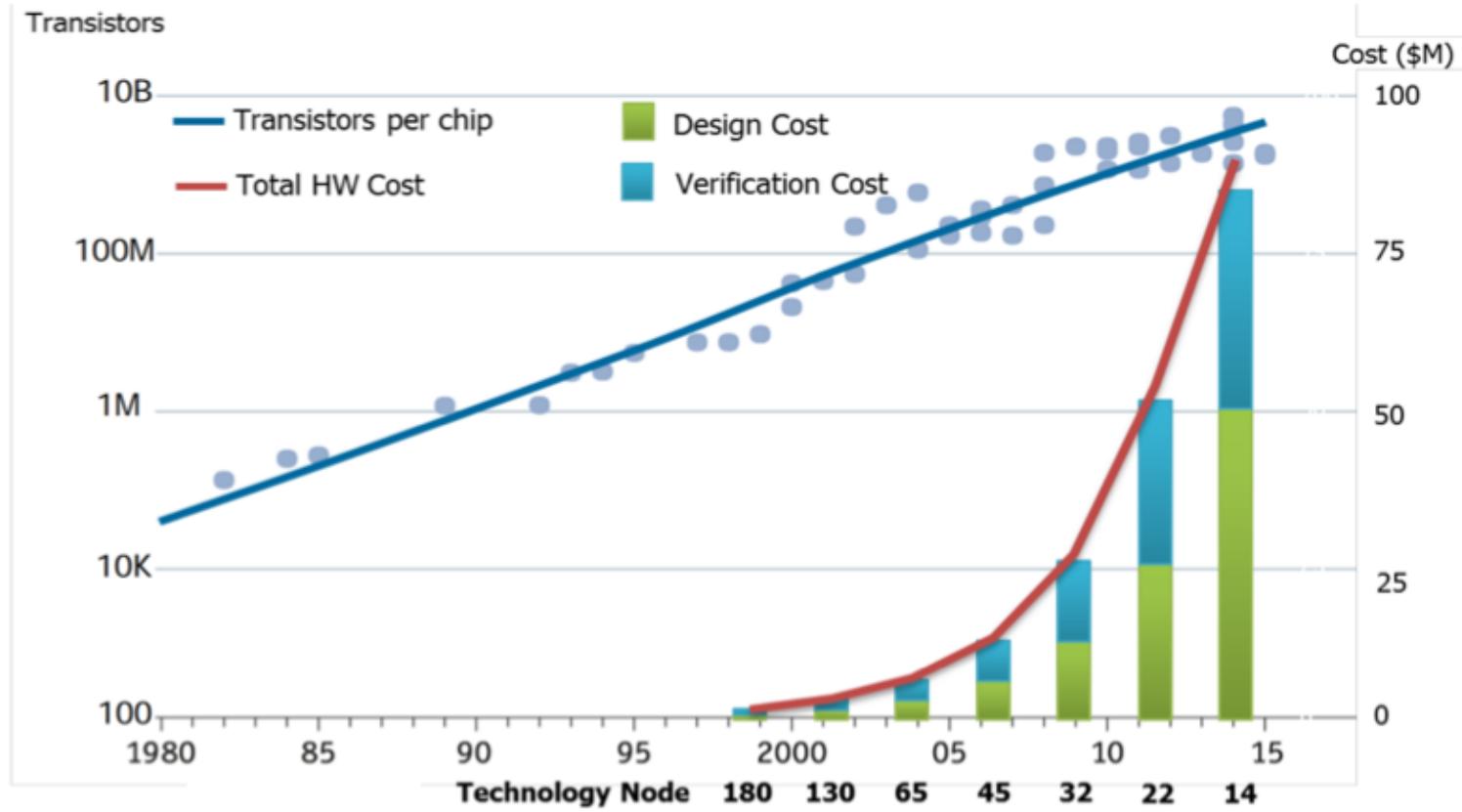
Estimación típica: 20k a 100k persona/año



ECOSISTEMA OPEN SOURCE



Has EDA failed to keep up with Moore's Law?



International Symposium on Physical Design
March 25-28, 2018, Monterey, CA





ECOSISTEMA OPEN SOURCE



Conclusiones del estudio: Existe una escasez de diseñadores ASIC, que pone en riesgo la capacidad innovadora. La dificultad para acceder a las herramientas empeora la situación.

Acciones:

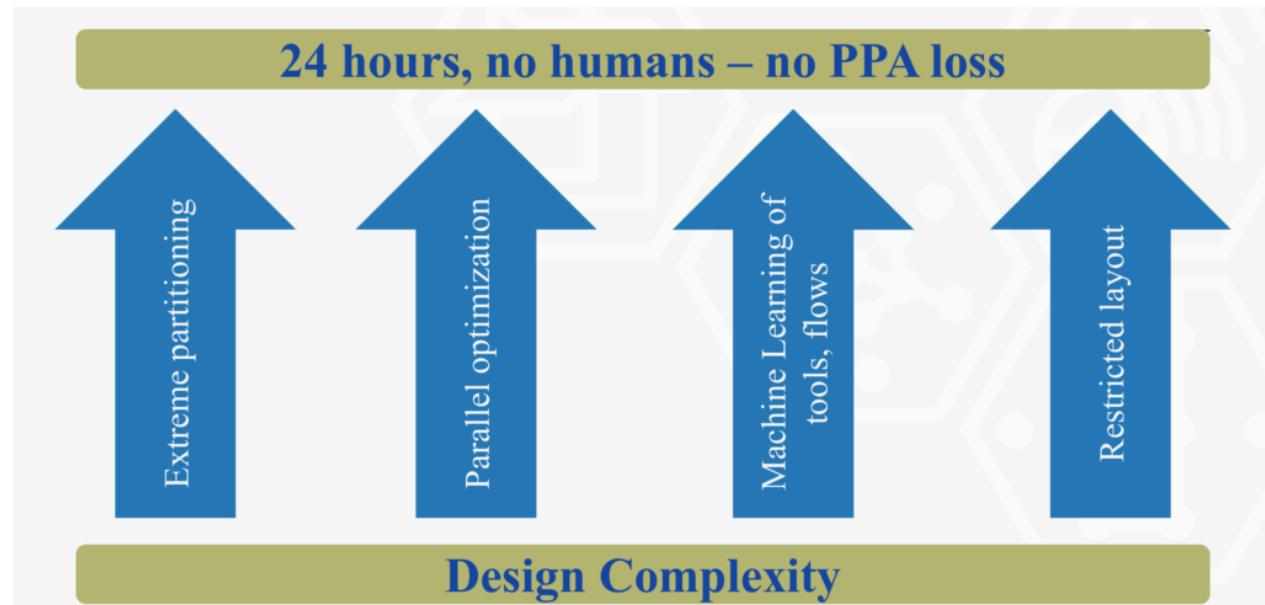
- Enfocarse en codificación RTL frente a diseño con esquemas/transistores
- Simplificar el manejo de las herramientas
- Crear flujos de trabajos optimizados para pasar de RTL a GDSII sin intervención humana
- Se prioriza el manejo de uso frente al PPA (power, performance, área)
- Se crean programas para incluir el diseño de ASICS dentro de las asignaturas STEM



ECOSISTEMA OPEN SOURCE

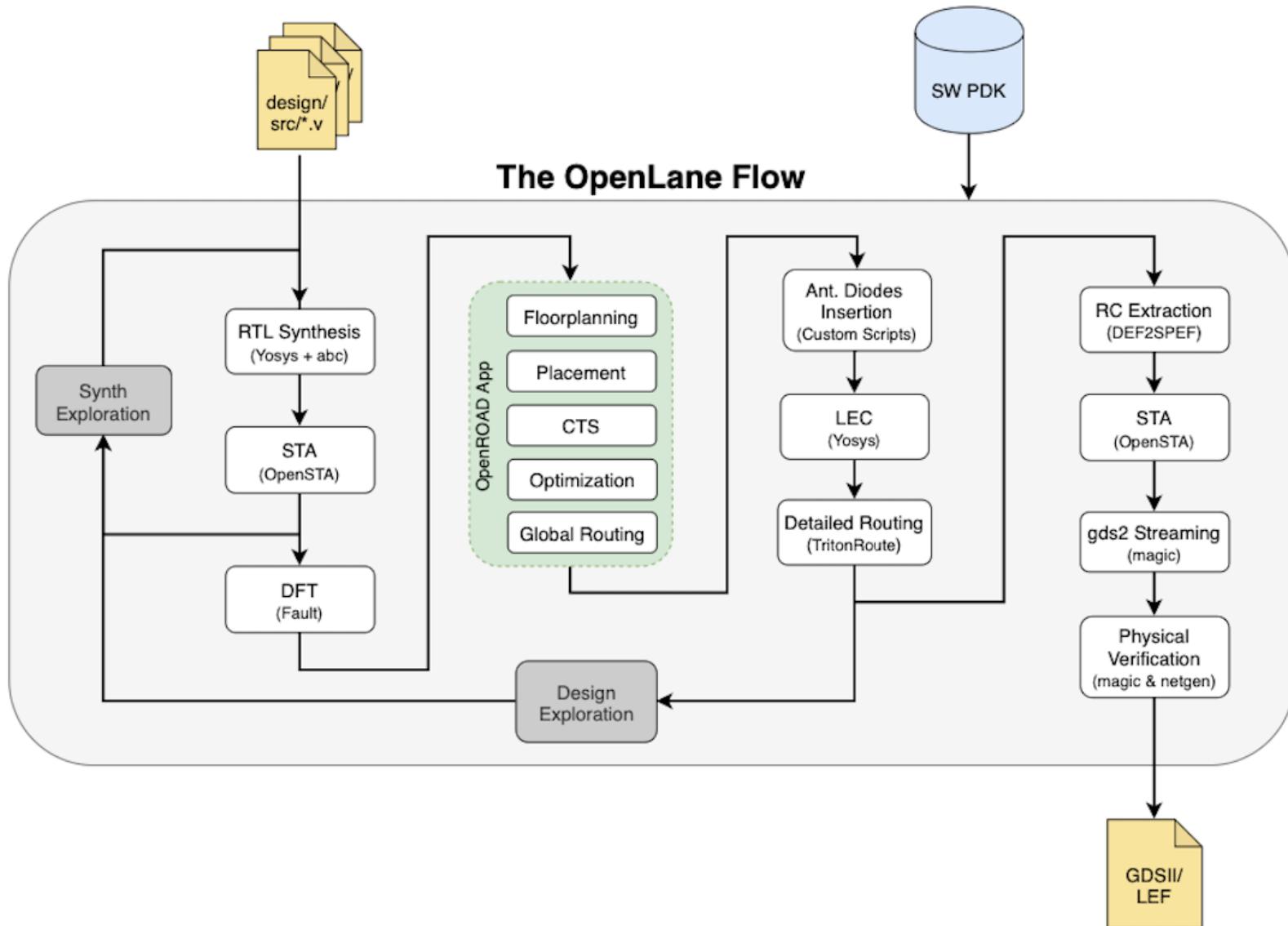
OpenROAD ("Foundations and Realization of Open, Accessible Design")

Objective: Enable no-human-in-loop, 24-hour design to remove the barrier to hardware innovation





FLUJO DE TRABAJO





FLUJO DE TRABAJO

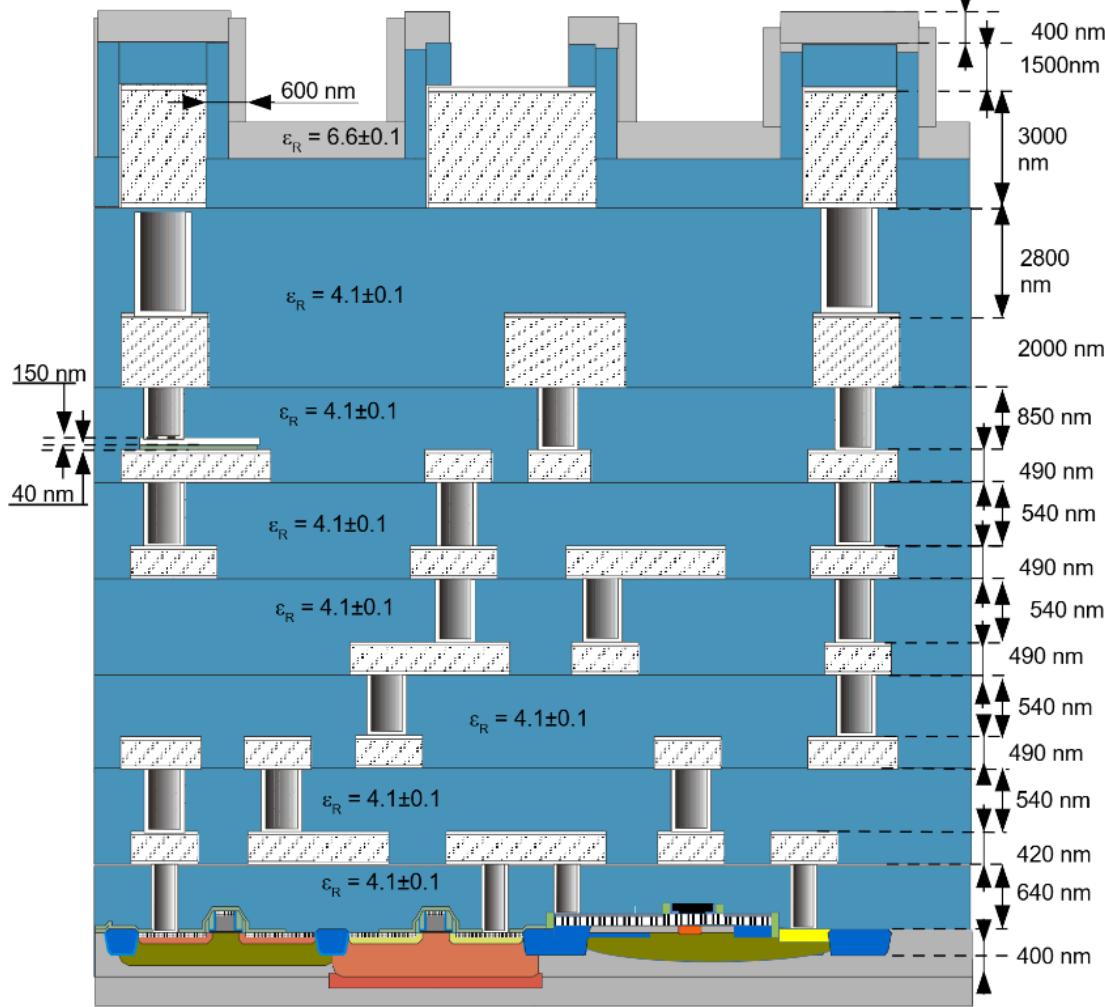
PRÁCTICA 1. INSTALACIÓN

https://github.com/rbz-embedded-logics/OPENROAD_TRAINING/tree/main/open_road_flow





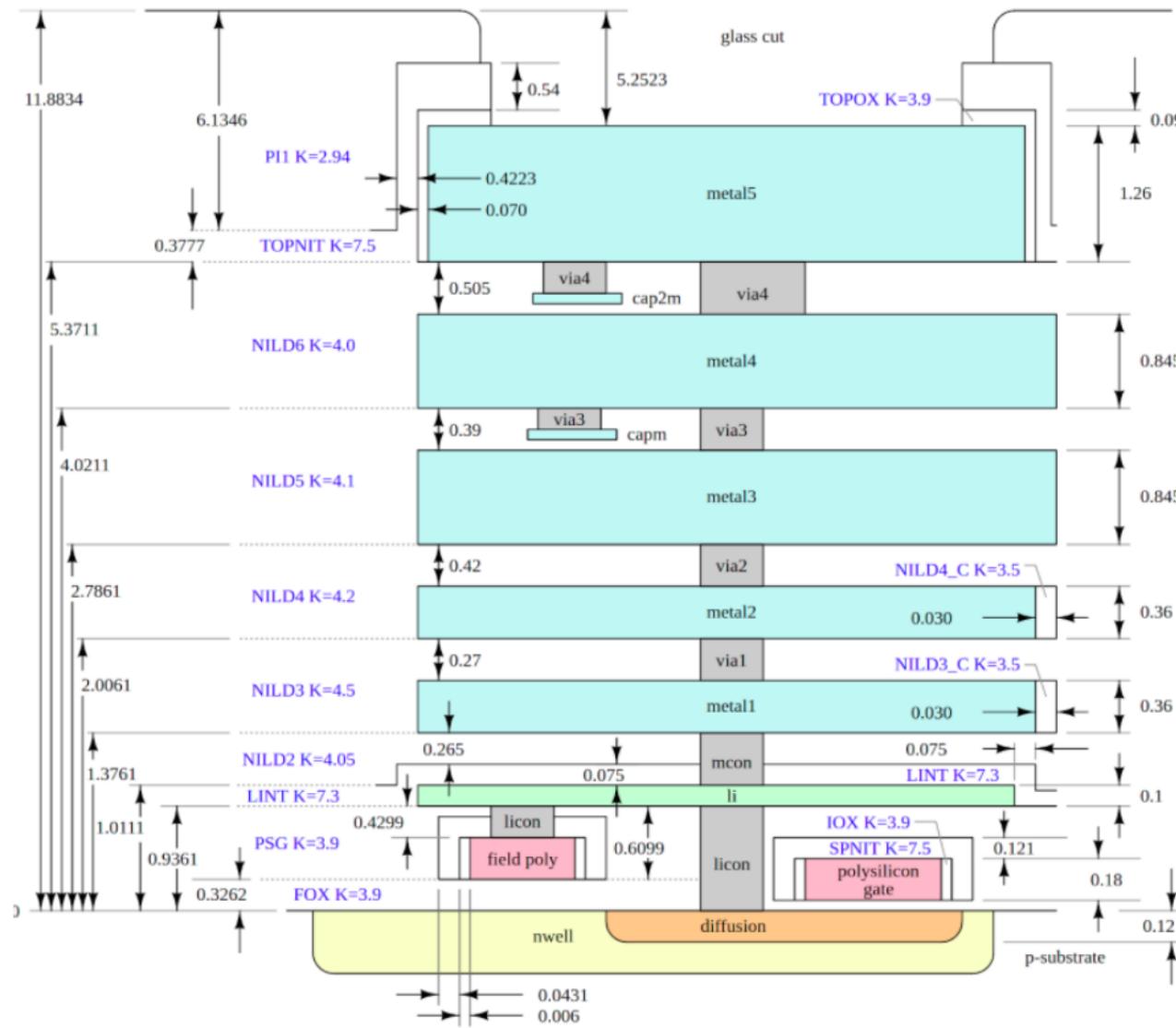
SG13G2 PDK



- Shallow trench isolation (STI)
- NWell formation
- PWell formation
- Triple Well formation
- Poly Gate formation
- Bipolar Window opening
- Collector Window opening
- Emitter opening
- Emitter Poly definition
- Base Poly definition
- nSD implant / drive
- pSD implant / drive
- Salicide formation
- Contact definition
- Metal1
- Via1
- Metal2
- Via2
- Metal3
- Via3
- Metal4
- Via4
- Metal5
- MIM formation
- TopVia1
- TopMetal1
- TopVia2
- TopMetal2
- Passivation
- Parametric test



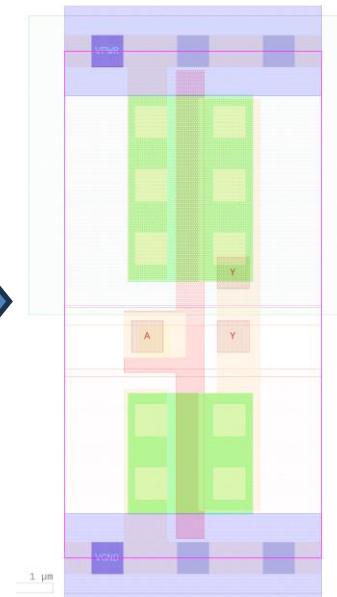
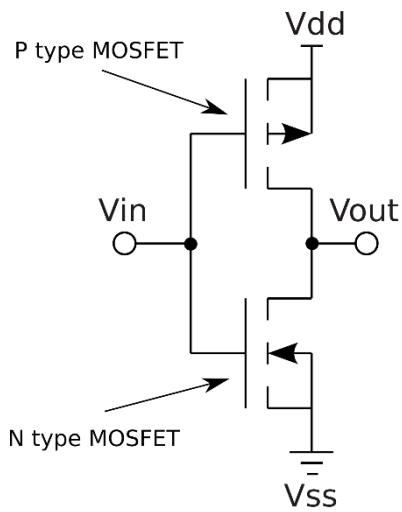
SKY130 PDK



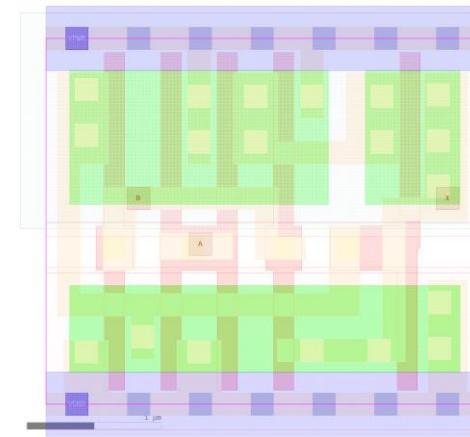


SKY130 PDK STD CELLS

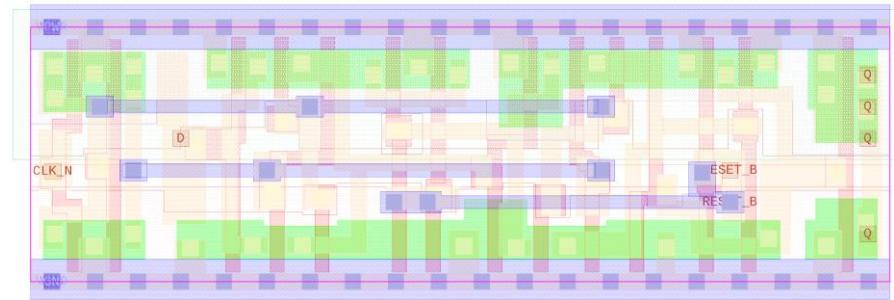
Inversor



XOR



Latch





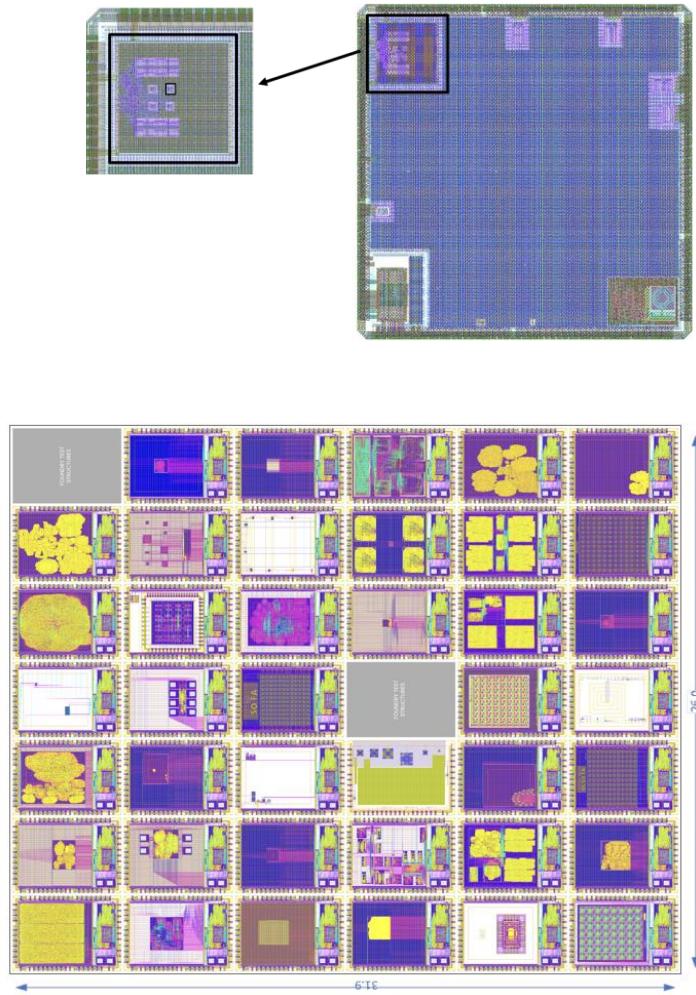
FLUJO DE TRABAJO

PRÁCTICA 2. FLUJO DE TRABAJO DE EJEMPLO

https://github.com/rbz-embedded-logics/OPENROAD_TRAINING/tree/main/open_road_flow



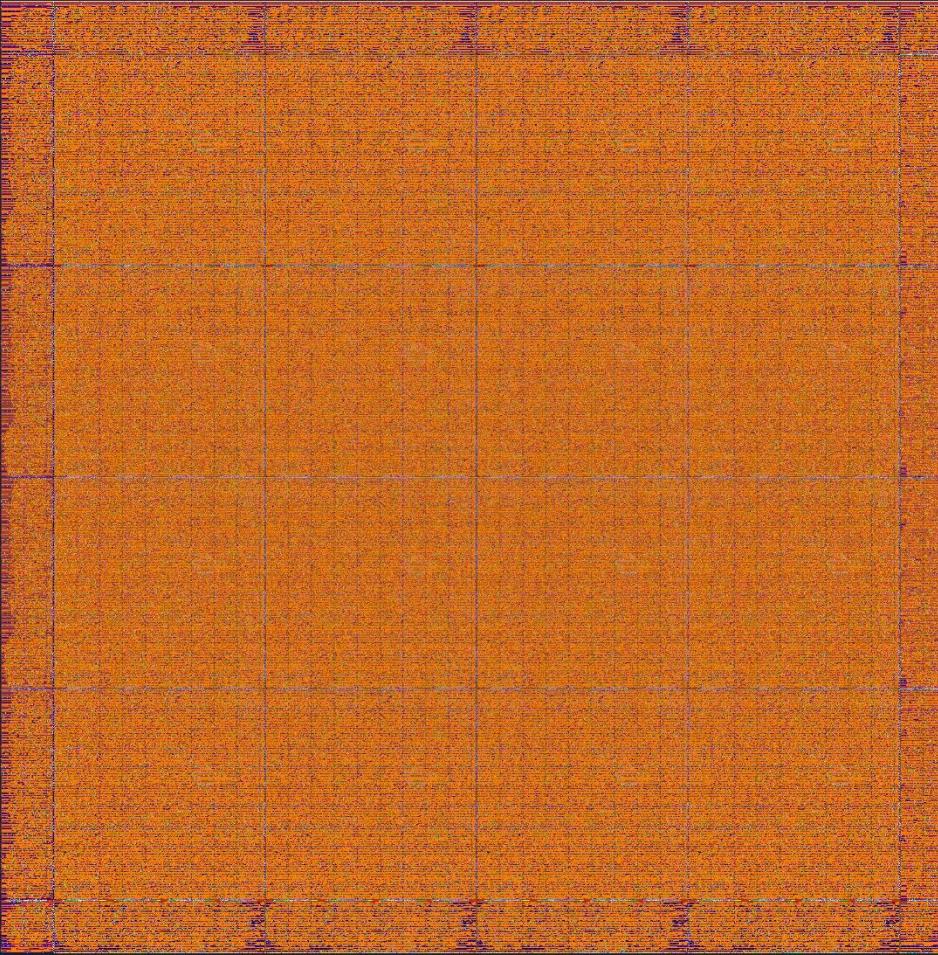
COMPATIBILIDAD CON PDKs



- Open-Source PDKs
 - GF180 - 180nm
 - SKY130 - 130nm
 - IHP SG13G2 – 130nm
 - Nangate45 - 45nm
 - ASAP7 - Predictive FinFET 7nm (ARM)
- PDKs propietarios probados (bajo NDA)
 - GF55 - 55nm
 - GF12 - 12nm
 - Intel22 - 22nm
 - Intel16 - 16nm
 - TSMC65 - 65nm



EJEMPLOS REALIZADOS



Zeroasic Platypus™ eFPGA

Open source:

- Generación del RTL
- RTL a GDSII
- PDK GF12LP
- Descripción del bitstream abierto (VTR)
- Generación de bitstream
- 2k logic elements
- 132 LE, BRAM and DSP in the development pipeline
- Propietario, acceso a la IP bajo demanda, descripción de FPGA y herramientas de generación de bitstream libres



EJEMPLOS REALIZADOS



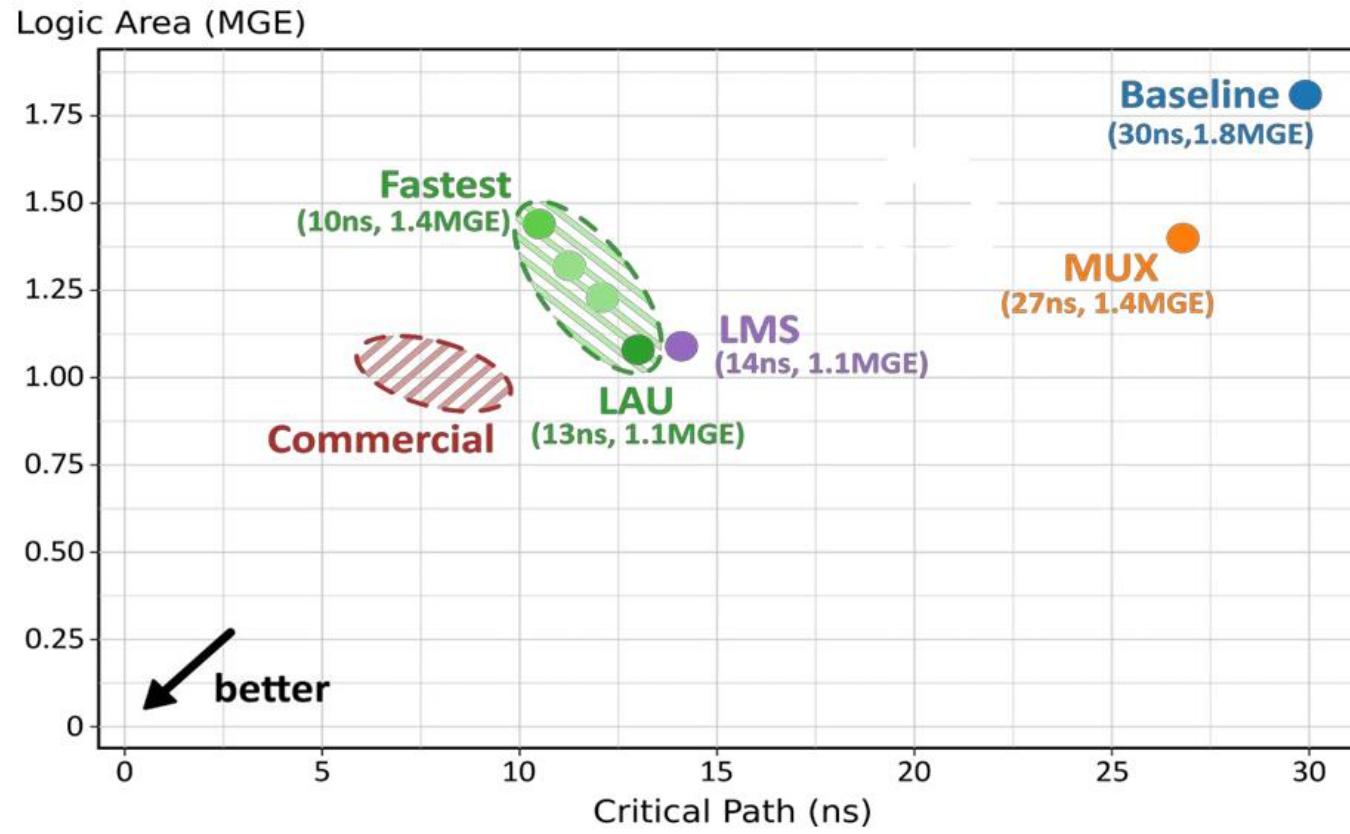
PULP Basilisk

Open source:

- Generación del RTL
- RTL a GDSII
- PDK IHP 130nm
- CVA6 SOC (RISC-V)
- Linux capable
- 60MHz
- 100% libre y publicado en github
- Orientado a la formación



EJEMPLOS REALIZADOS



github.com/pulp-platform/cheshire-ihp130-o



PDK LIBRE

ANNOUNCEMENT

First Open Source PDK Enables Full Manufacturing Chain for Open Hardware

skywater + **Google** + **eFabless**

IHP Open Source PDK

130nm BiCMOS Open Source PDK, dedicated for Analog/Digital, Mixed Signal and RF Design

IHP Open Source PDK project goal is to provide a fully open source Process Design Kit and related data, which can be used to create manufacturable designs at IHP's facility.

As of March 2023, this repository is targeting the SG13G2 process node.

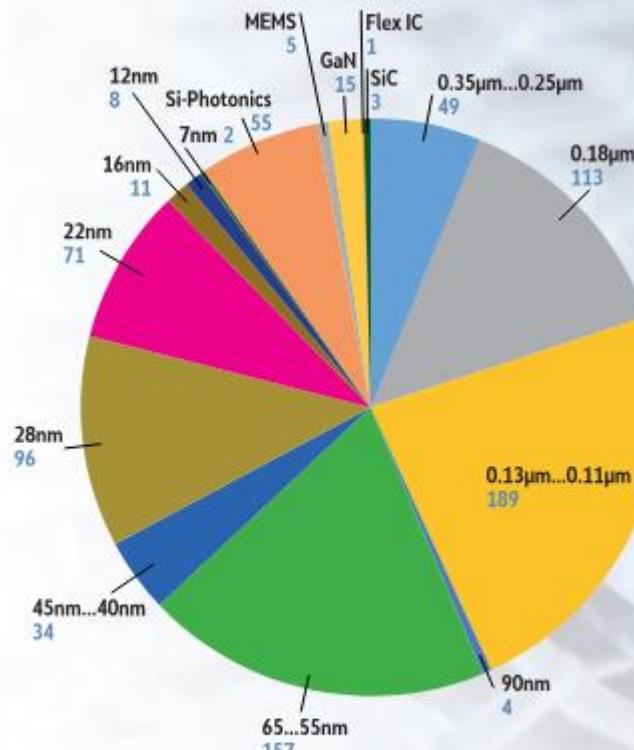
NDA no requerido

PDK disponible en github





PDK LIBRE



UNPARALLELED TECHNOLOGY MIX

EUROPRACTICE provides access to a very diverse range of technologies, encompassing advanced nodes, older technology nodes, and More-than-Moore technologies, each contributing significantly to the overall volume. The older technology nodes, ranging from $0.11\mu\text{m}$ to $0.35\mu\text{m}$, continue to maintain popularity, constituting around 43% of the submitted designs. Among the more advanced nodes, the 65nm technology and its associated nodes are the most popular, with 157 prototypes fabricated.

There is a notable upward trend in the adoption of advanced technologies among EUROPRACTICE users. Specifically, there has been an increase in the number of users prototyping in 12-nm FinFET technologies offered by TSMC and GlobalFoundries, as well as 28-nm technologies provided by TSMC (HPC+) and STMicroelectronics (FD-SOI).

The popularity of More-than-Moore technologies has also slightly increased. This should be attributed in part to the first prototypes manufactured in technologies recently incorporated into the EUROPRACTICE portfolio. This includes Flexible Electronics (FlexIC) by Pragmatic, GaN offered by UMS, and SiC by Fraunhofer IISB.

Europractice report 2023



EXPERIENCIA Y TALENTO

- Herramientas de desarrollo “sencillas” (OpenROAD o SiliconCompiler)
- Creación de comunidades de desarrolladores (SLACK y Github)
- Nuevos lenguajes de alto nivel HLS
- Formación económica
- Python como integrador de herramientas, se está eliminando TCL

The screenshot shows a Slack interface with the channel name '#mpw-7-silicon'. The conversation starts with a message from Deepak (@Matt Venn, @Tim Edwards) stating he has tried the demos as per the webinar on his MPW board and checked GPIO, DLL, serial communication which are working fine. He asks if there is any documentation to start with. The conversation continues with messages from Deepak, Htamas (@Sara N), Sara N, Soumil Jain, Isaac Silbert, and others, discussing GPIO modes, chip recall processes, commercial invoices, and estimated shipment dates for ReRAM projects.



Experiencia IP EDA PDK Fabricación

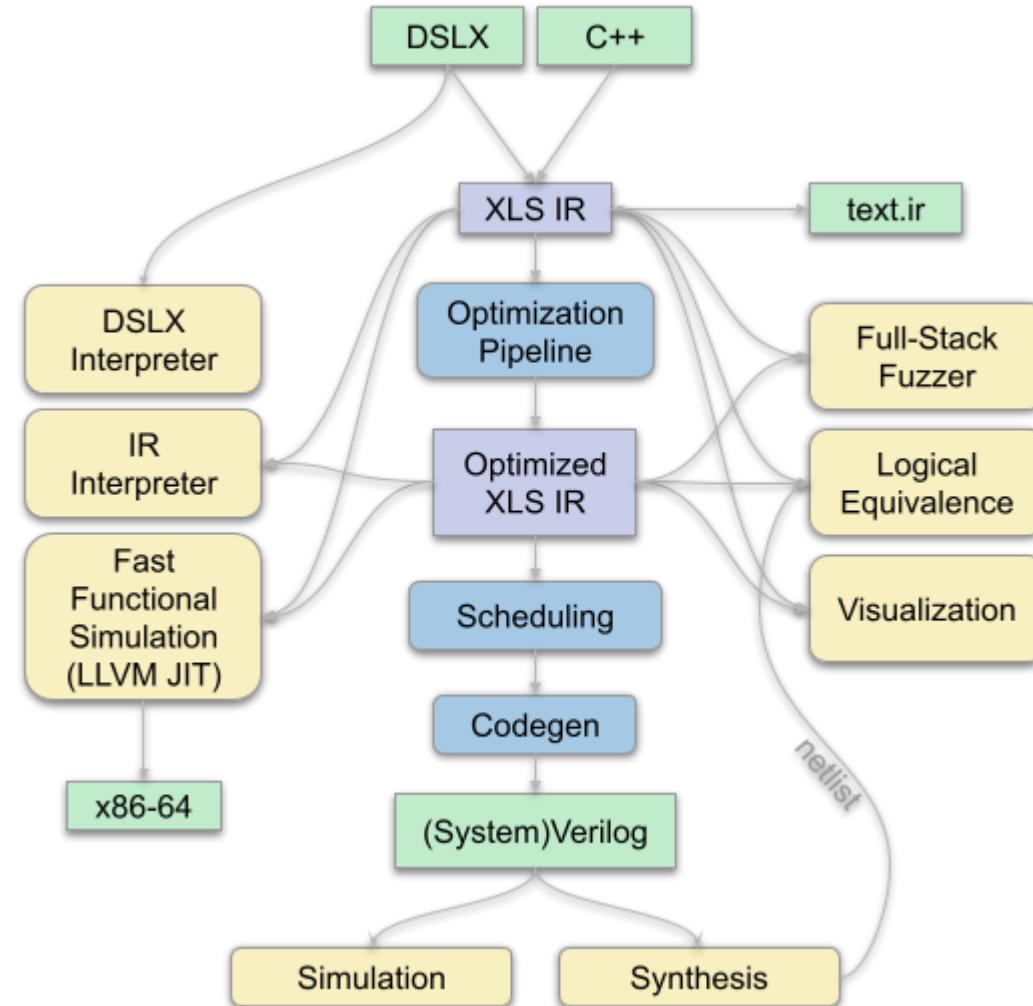




EXPERIENCIA Y TALENTO

- XLS desarrollado por Google (RUST)
- PipelineC (C)
- Amaranth (Python)
- Spinal-HDL (LISP)
- Chisel (Scala)
-

Orientados al desarrollo de sistemas digitales





EXPERIENCIA Y TALENTO

The IEEE Solid-State Circuits Society is pleased to announce its fourth open-source integrated circuit (IC) design contest under the umbrella of its PICO Program (Platform for IC Design Outreach). While this contest is open to anyone (no restrictions), we encourage the participation of pre-college students, undergraduates, and geographical regions that are underrepresented within the IC design community.

The goal of this year's event is to advance the automatic generation and open sharing of analog circuit layout cells to increase our community's design productivity and to catch up with other fields where sharing and automation is a key enabler of progress (e.g., in machine learning).

<https://sscs.ieee.org/technical-committees/tc-ose/sscs-pico-design-contest/>

Usa SKY130, se deben desarrollar herramientas de generación automática y verificar los diseños con herramientas de efabless (CACE)

<https://github.com/efabless/cace>



EXPERIENCIA Y TALENTO

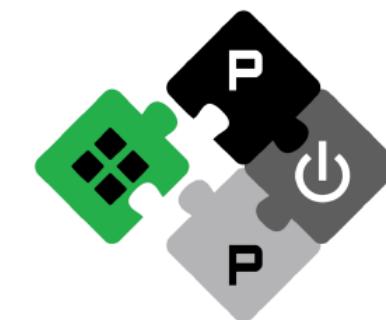


ZERO2ASIC: This course will give you the experience of designing your own microchip using free and open source tools and getting it manufactured on an open source PDK

	Silicon	Boron	Arsenic
	Buy for \$650	Buy for \$950	POA
Access to 6 hours recorded video content & 11 projects	✓	✓	✓
Access to updates of the course material	✓	✓	✓
Recorded solution videos	✓	✓	✓
Access to discord community server	✓	✓	✓
Access to weekly call	✓	✓	✓
Access to the material for the lifetime of the course ①	✓	✓	✓
Guaranteed ASIC manufacture ①	✓	✓	✓
Your ASIC mounted on a PCB breakout board	\$100 + Postage	✓	✓
How many chips will you receive	1	1	100
1 to 1 office hours support	✗	2 hours	4 hours
Application to ChipIgnite - design can be closed source	✗	✗	✓
Custom PCB design consultancy	✗	✗	✓
Team access ①	✗	✗	✓
	Buy for \$650	Buy for \$950	POA



IPs





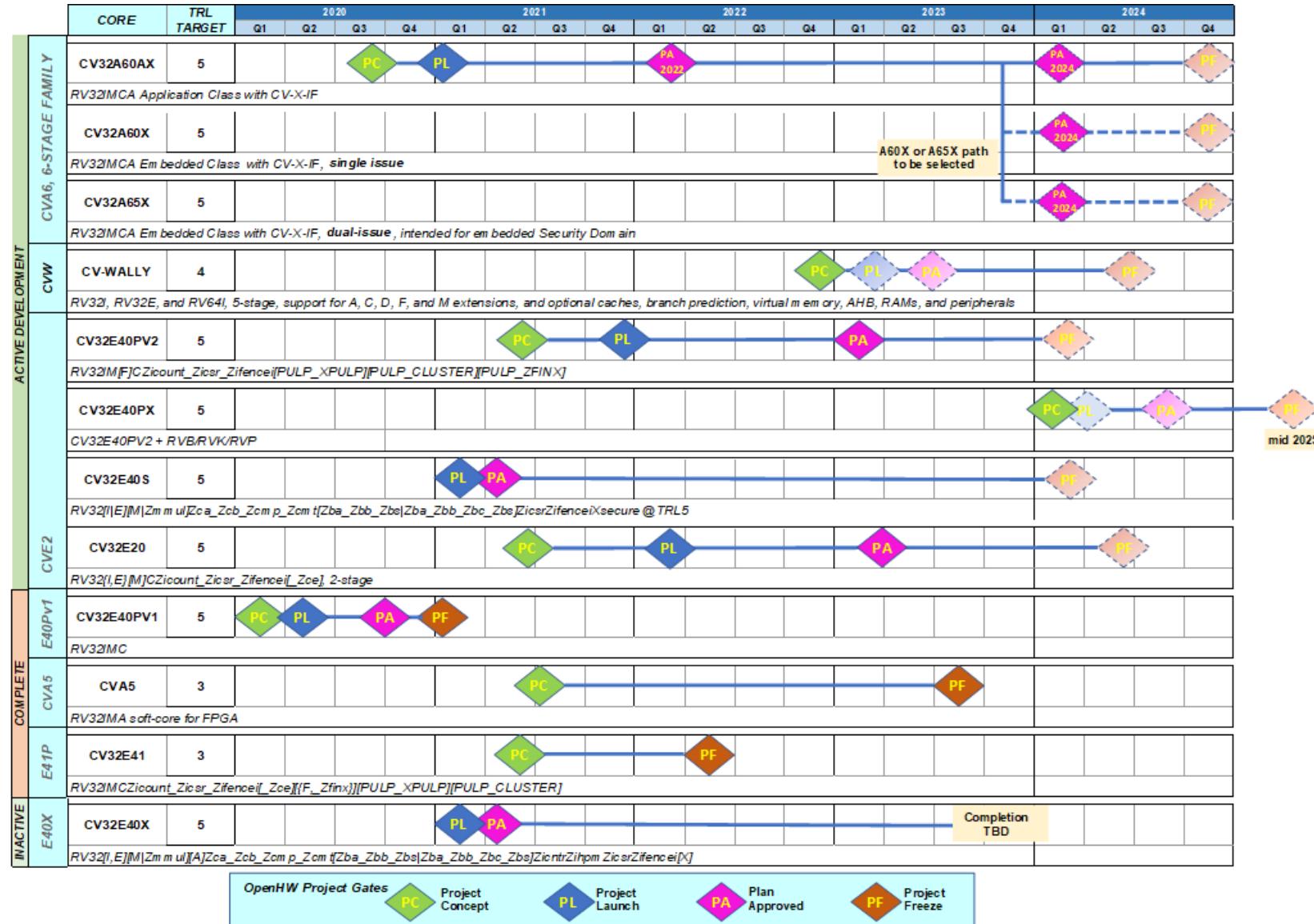
IPs

- Ecosistema muy fragmentado entre varios actores
- Mucha presencia de IPs desarrolladas por entusiastas
- Iniciativa de industrialización a través del Open HW Group
- Adscrito a la fundación Eclipse para demostrar su independencia





IPs





FABRICACIÓN: EFABLESS

chipIgnite

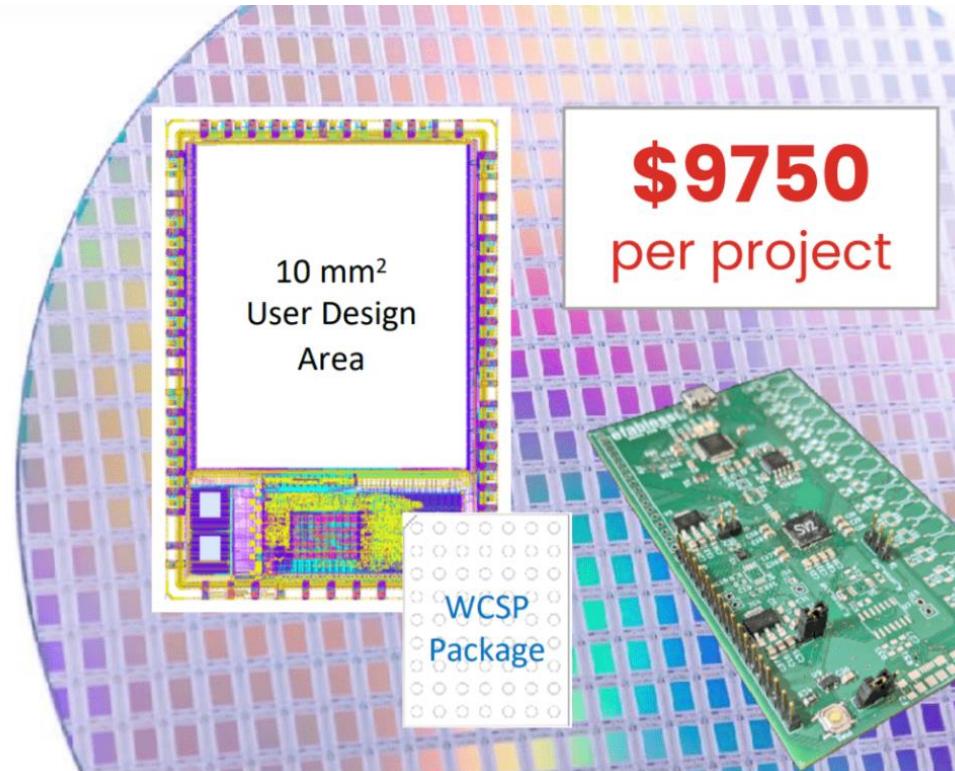
Rapid IC Creation

Shuttle CI 2311

0 of 40 project slots reserved

Tapeout: Nov 15, 2023 23:59 PT

Delivery: Apr 12, 2024





FABRICACIÓN: EFABLESS

	INCLUDES ACCESS TO EDA TOOLS + AUTOMATED DESIGN FLOW	INCLUDES FULL CHIP REFERENCE DESIGN	INCLUDES SILICON FABRICATION	INCLUDES PACKAGING AND EVALUATION BOARD	INCLUDES SOFTWARE / TEST	DESIGN SUPPORT / EXPERTISE NEEDED	TOTAL DEVELOPMENT COST
MPW Service Provider	✗	✗	✓	✗	✗	No support / high-level of expertise needed	\$\$\$
Contract a Design Services Provider	< ----- Depends on service provider ----- >					Experience managing chip development projects	\$\$\$\$\$
Hire an In-house Design Team	< ----- Additional cost required ----- >					No support / high-level of expertise needed	\$\$\$\$
Create your Chip using chipIgnite	✓	✓	✓	✓	✓	Large design community and library of example projects	\$



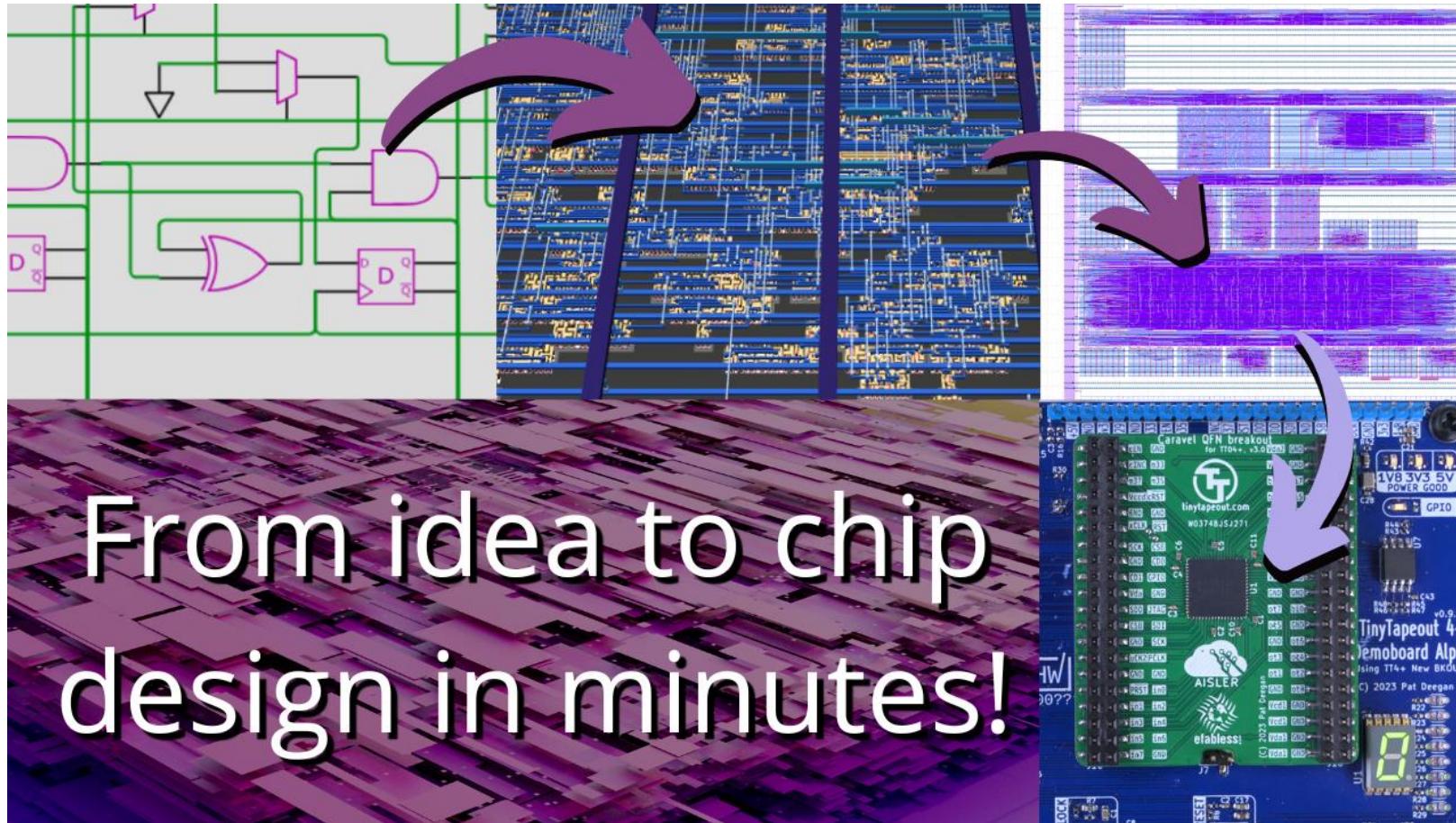
FABRICACIÓN: EFABLESS

PRESS RELEASE: Efabless Raises \$6.3 Million in Series A-1 Extension, Featuring Investments from GlobalFoundries, Synopsys, and New North Ventures

PALO ALTO, Calif., October 10, 2023 (GLOBE NEWSWIRE) – Efabless Corporation, the creator platform for the design, development and commercialization of custom integrated circuits (“ICs” or “chips”), announced the closing of a \$6.3 million extension of its Series A-1 venture funding. Investors in the round include **GlobalFoundries, Synopsys**, New North Ventures and a select group of individuals. The proceeds will be strategically utilized to fortify business development, marketing, and further product development.



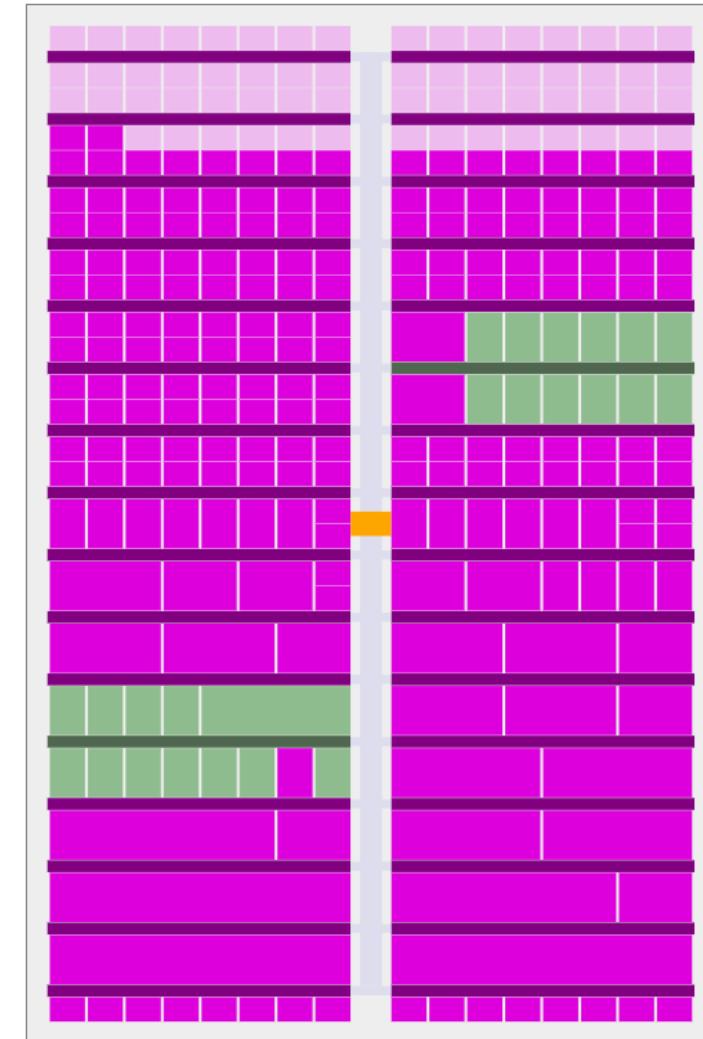
FABRICACIÓN: TINYTAPEOUT





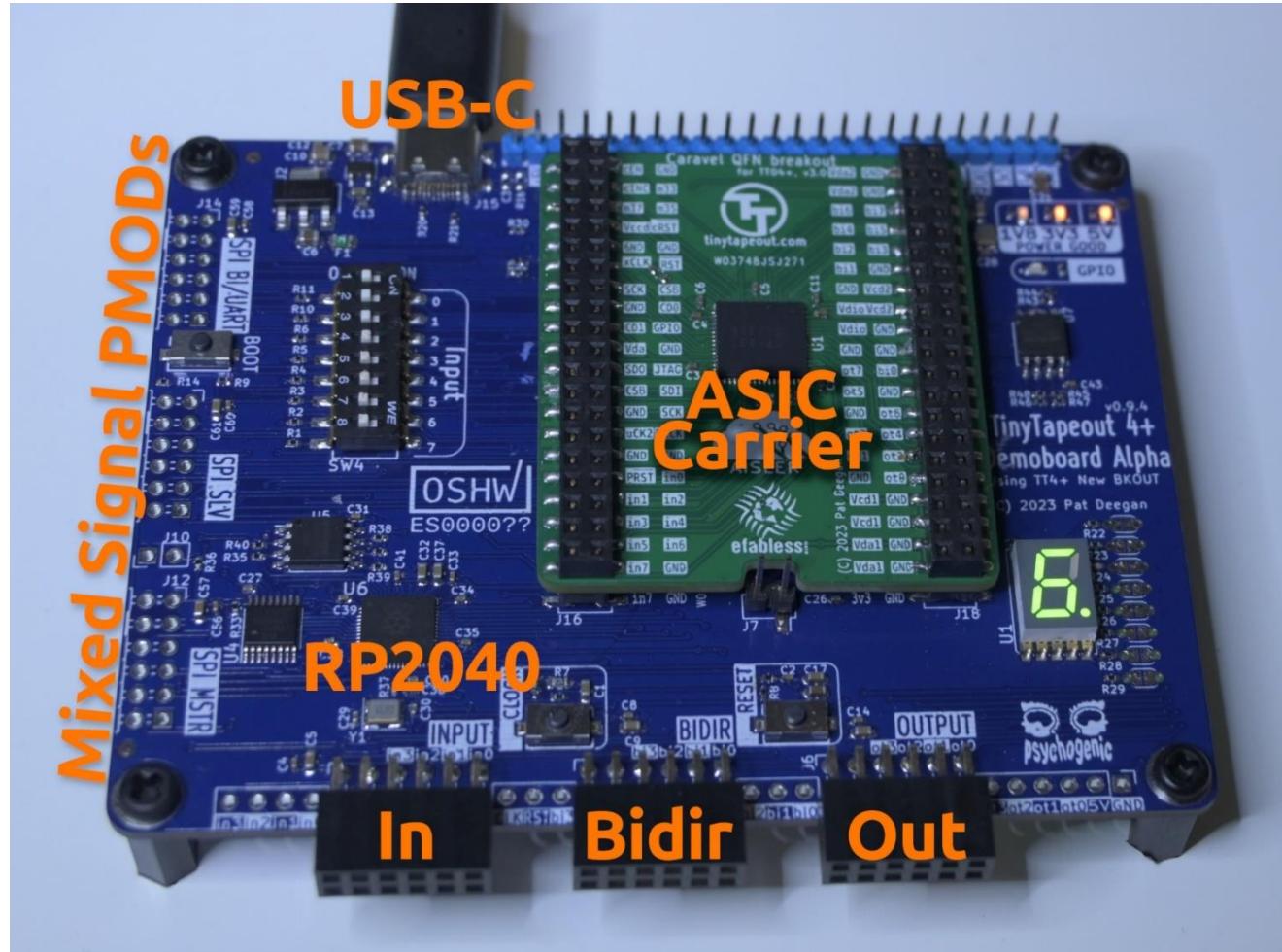
FABRICACIÓN: TINYTAPEOUT

- 160 x 100 um tile + ASIC + demonstration board: The standard price is \$300 plus shipping.
 - However, Efabless is sponsoring a special early bird offer of \$150 (plus shipping), limited to one order per person.
- Each extra tile is \$50, and extra analog pins start from \$40 per pin.
- For each manufacturing run you receive a chip with all designs.
- 24 I/O + clock and enable
- All SW runs on Github via actions



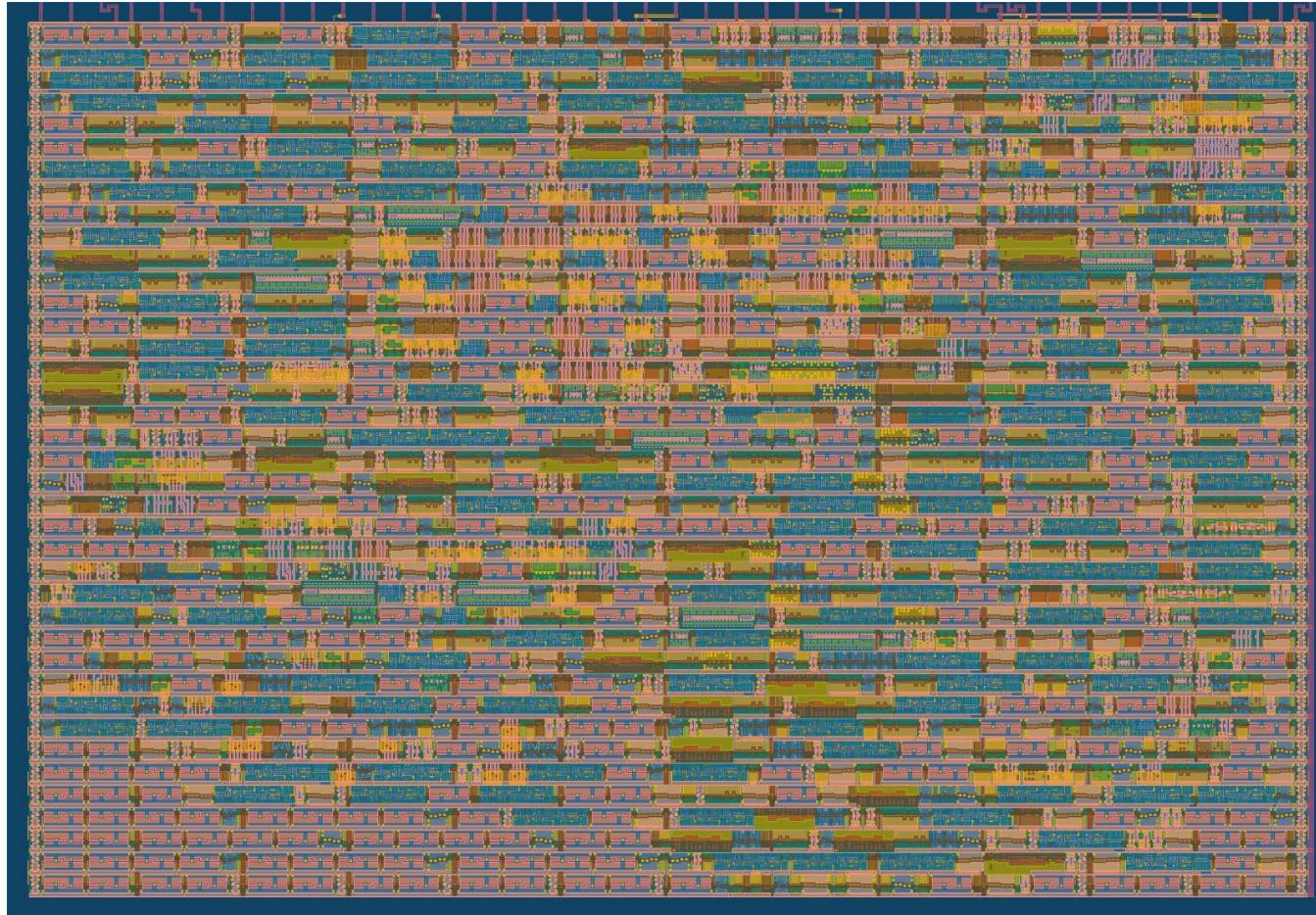


FABRICACIÓN: TINYTAPEOUT





FABRICACIÓN: TINYTAPEOUT



Experiencia > IP > EDA > PDK > Fabricación





FABRICACIÓN: EFABLESS QUIEBRA

Shutdown Notice

Due to funding challenges, Efabless has shut down operations until further notice.

We regret any inconvenience and will provide updates as available.

1 de marzo de 2025

No se renueva la financiación por parte de los inversores y la empresa cierra en una semana. Las fabricaciones pendientes quedan en el limbo, pero hay poca esperanza de recuperarlas.



FABRICACIÓN: EFABLESS QUIEBRA

¿ES EL FIN?



RESILENCIA DEL ECOSISTEMA OPEN SOURCE

Inmediatamente tras el cierre se traslada el chat de Slack a Matrix

Los programas de fabricación en el IHP en Alemania cogen fuerza

Surgen nuevas oportunidades para fabricar:

- CADENCE empieza a ofrecer el servicio de MPW similar al de efabless para universidades norteamericanas
- Tinytapeout traslada los diseños al IHP
- Antiguos empleado de efabless fundan Chipfoundry para retomar el servicio, aumentan los costes a 15k\$ y reducen el alcance del negocio para contener costes
- Wafer.Space se presenta como alternativa de fabricación usando GF180
- Algunas foundries están empezando a valorar el soportar estas herramientas tras contacto de antiguos clientes de efabless



CONCLUSIONES

Fortalezas

- Bajo riesgo por el coste de las herramientas
- Herramientas sencillas de uso y formación asequible
- Comunidad creciente
- Empresas privadas manteniendo herramientas
- Hay comunidades ampliando las herramientas hacia nichos de desarrollo (fotónica, cuántica, HPC, aceleradores, síntesis de FPGAs,...)
- Capacidad de explorar diseños y tecnologías sin revelar información a terceros
- Independencia tecnológica (geopolítica)

Debilidades

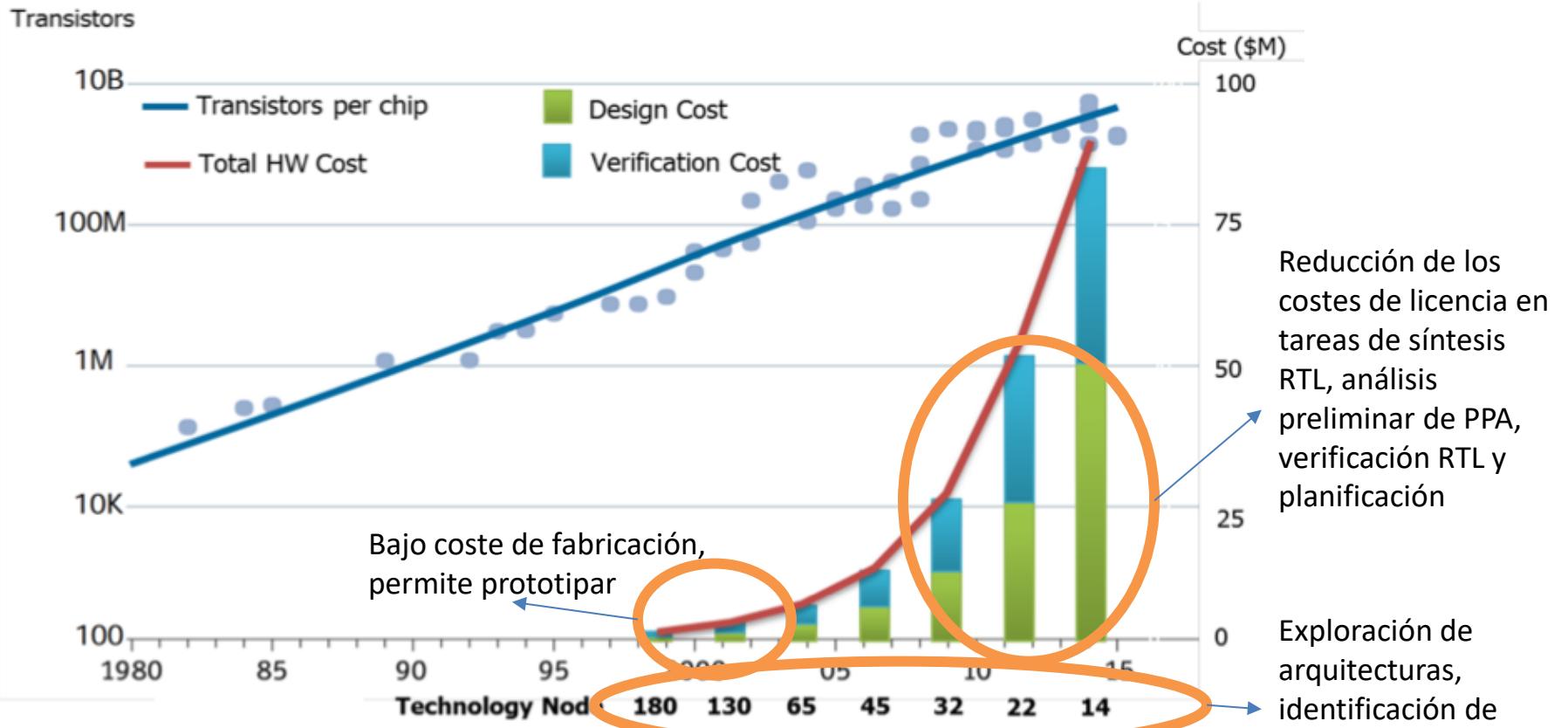
- Diversidad de grado de madurez de las herramientas, aunque las más importantes han demostrado con tapeouts
- Ciclos de desarrollo próximos al SW (CI/CD), requiere mantenimiento continuado de las instalaciones
- No hay un mercado claro de IPs
- Las herramientas de diseño analógico están todavía en fase temprana
- Mucho menos probadas que las herramientas propietarias
- La producción es un punto débil de la cadena



CONCLUSIONES: USOS



Has EDA failed to keep up with Moore's Law?



International Symposium on Physical Design
March 25-28, 2018, Monterey, CA



FLUJO DE TRABAJO

PRÁCTICA 3. DESARROLLOS

https://github.com/rbz-embedded-logics/OPENROAD_TRAINING/tree/main/open_road_flow