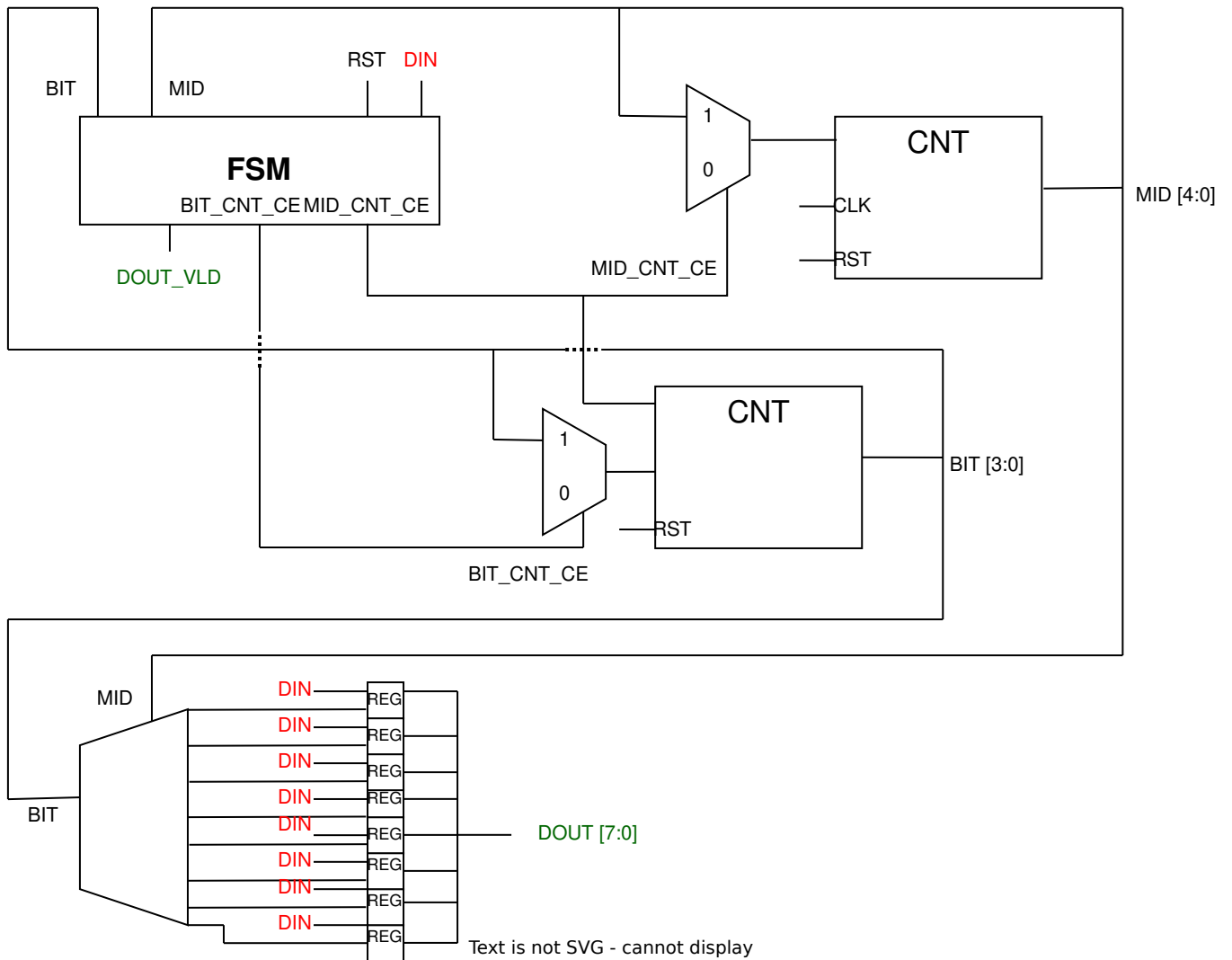


Příloha: Výstupní zpráva

Jméno: Dmitrii Ivanushkin
Login: xivanu00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

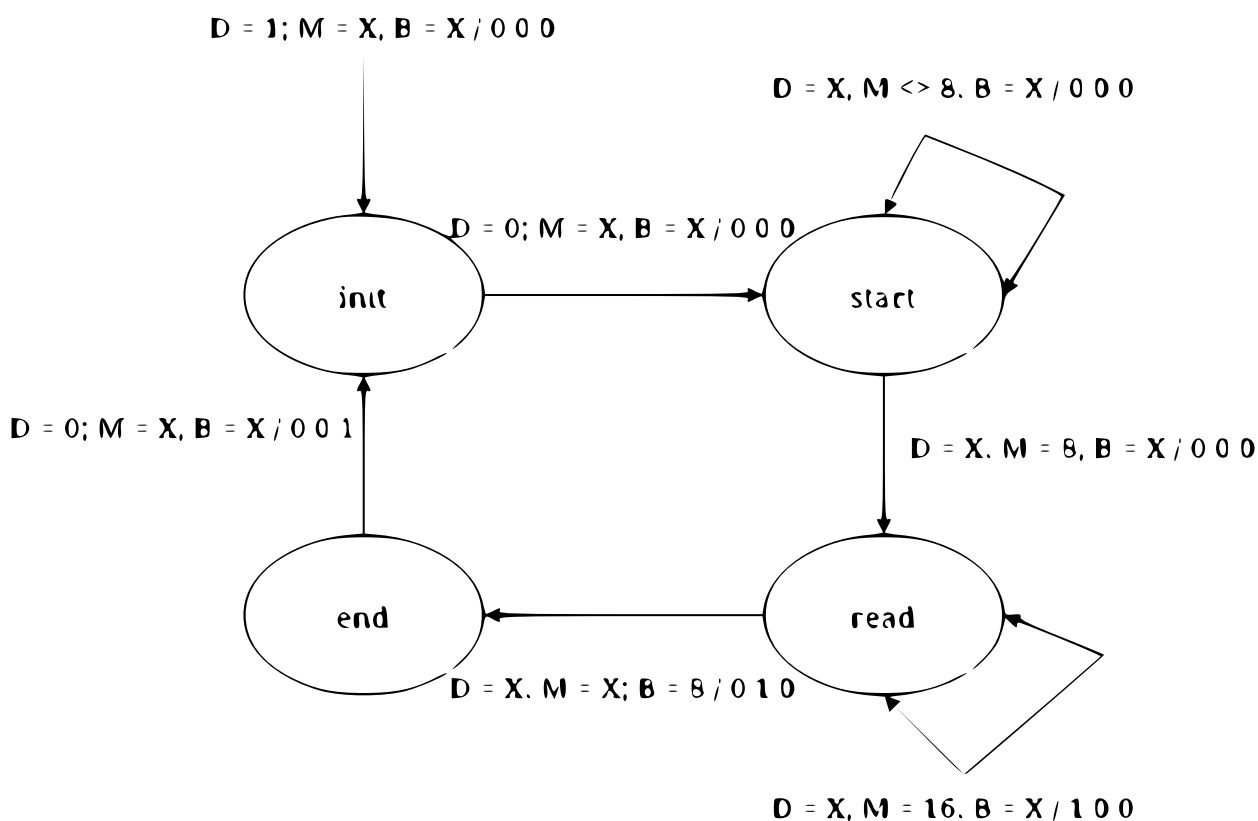


Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: INIT, START, READ, END
- Vstupní signály: D: DIN, M: MID, B: BIT
- Mealyho výstupy: MID_CNT_CE, BIT_CNT_CE, DOUT_VLD



Popis funkce

FSM začíná svůj cyklus když má na vstupu DIN. Poté FSM počká na MID, který po 8 hodinovému cyklu pošle přejde do stavu read, a tam program bude čekat až MID se bude rovnat 16 (můžeme číst data, takže výchoď je MID_CNT_CE) a přejdeme do stavu end s výstupem BIT_CNT_CE (máme nějaký bit). Ve stavu end pošleme na výchoď DOUT_VLD a skončíme program (přejdeme do init až znovu dostaneme DIN)