[文档末尾](#_末尾)

### PCB 布局

在设计中，布局是一个重要的环节。布局结果的好坏将直接影响布线的效果，因此可以这样认为，合理的布局是PCB设计成功的第一步。

布局的方式分两种，一种是**交互式布局**，另一种是**自动布局**，一般是在自动布局的基础上用交互式布局进行调整，在布局时还可根据走线的情况对门电路进行再分配，将两个门电路进行交换，使其成为便于布线的最佳布局。在布局完成后，还可对设计文件及有关信息进行返回标注于原理图，使得PCB板中的有关信息与原理图相一致，以便在今后的建档、更改设计能同步起来, 同时对模拟的有关信息进行更新，使得能对电路的电气性能及功能进行板级验证。

考虑整体美观

一个产品的成功与否，一是要注重**内在质量**，二是兼顾**整体的美观**，两者都较完美才能认为该产品是成功的。

在一个PCB板上，元件的布局要求要均衡，疏密有序，不能头重脚轻或一头沉。

布局的检查

* 印制板尺寸是否与加工图纸尺寸相符？能否符合PCB制造工艺要求？有无定位标记？
* 元件在二维、三维空间上有无冲突？
* 元件布局是否疏密有序，排列整齐？是否全部布完？
* 需经常更换的元件能否方便的更换？插件板插入设备是否方便？
* 热敏元件与发热元件之间是否有适当的距离？
* 调整可调元件是否方便？
* 在需要散热的地方，装了散热器没有？空气流是否通畅？
* 信号流程是否顺畅且互连最短？
* 插头、插座等与机械设计是否矛盾？

---------------------------------------

### PCB布线经验 一

这是个牵涉面大的问题。抛开其它因素，仅就PCB设计环节来说，我有以下几点体会，供大家参考：

1. 要有合理的走向：如输入/输出，交流/直流，强/弱信号，高频/低频，高压/低压等...，它们的走向应该是呈线形的(或分离)，不得相互交融。其目的是防止相互干扰。最好的走向是按直线，但一般不易实现，最不利的走向是环形。对于是直流，小信号，低电压PCB设计的要求可以低些。所以“合理”是相对的。上下层之间走线的方向基本垂直。整个板子的布线要均匀，能不挤的不要挤在一齐。
2. 选择好接地点：小小的接地点不知有多少工程技术人员对它做过多少论述，足见其重要性。一般情况下要求共点地，如：前向放大器的多条地线应汇合后再与干线地相连等等...。现实中，因受各种限制很难完全办到，但应尽力遵循。这个问题在实际中是相当灵活的。每个人都有自己的一套解决方案。如能针对具体的电路板来解释就容易理解。
3. 合理布置电源滤波/退耦电容：一般在原理图中仅画出若干电源滤波/退耦电容，但未指出它们各自应接于何处。其实这些电容是为开关器件(门电路)或其它需要滤波/退耦的件而设置的，布置这些电容就应尽量靠近这些元部件，离得太远就没有作用了。有趣的是，**当电源滤波/退耦电容布置的合理时，接地点的问题就显得不那么明显。在贴片器件的退耦电容最好在布在板子另一面的器件肚子位置，电源和地要先过电容，再进芯片。**
4. 线条有讲究：有条件做宽的线决不做细；高压及高频线应园滑，不得有尖锐的倒角，拐弯也不得采用直角。地线应尽量宽，最好使用大面积敷铜，这对接地点问题有相当大的改善。
5. 一问题虽然发生在后期制作中，但却是PCB设计中带来的，它们是：过线孔太多，沉铜工艺稍有不慎就会埋下隐患。所以，设计中应尽量减少过线孔。同向并行的线条密度太大，焊接时很容易连成一片。所以，线密度应视焊接工艺的水平来确定。焊点的距离太小，不利于人工焊接，只能以降低工效来解决焊接质量。否则将留下隐患。所以，焊点的最小距离的确定应综合考虑焊接人员的素质和工效。焊盘或过线孔尺寸太小，或焊盘尺寸与钻孔尺寸配合不当。前者对人工钻孔不利，后者对数控钻孔不利。容易将焊盘钻成“c”形，重则钻掉焊盘。导线太细，**而大面积的未布线区又没有设置敷铜，容易造成腐蚀不均匀。即当未布线区腐蚀完后，细导线很有可能腐蚀过头，或似断非断，或完全断**。所以，设置敷铜的作用不仅仅是增大地线面积和抗干扰。 以上诸多因素都会对电路板的质量和将来产品的可靠性大打折扣。

---------------------------------------

### PCB布线经验二

PCB设计中，布线是完成产品设计的重要步骤，可以说前面的准备工作都是为它而做的， 在整个PCB中，以布线的设计过程限定最高，技巧最细、工作量最大。PCB布线有单面布线、 双面布线及多层布线。布线的方式也有两种：自动布线及交互式布线，在自动布线之前， 可以用交互式预先对要求比较严格的线进行布线，输入端与输出端的边线应避免相邻平行， 以免产生反射干扰。必要时应加地线隔离，两相邻层的布线要互相垂直，平行容易产生寄生耦合。

　　 自动布线的布通率，依赖于良好的布局，布线规则可以预先设定， 包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布经线，快速地把短线连通， 然后进行迷宫式布线，先把要布的连线进行全局的布线路径优化，它可以根据需要断开已布的线。 并试着重新再布线，以改进总体效果。

　　 对目前高密度的PCB设计已感觉到贯通孔不太适应了， 它浪费了许多宝贵的布线通道，为解决这一矛盾，出现了盲孔和埋孔技术，它不仅完成了导通孔的作用， 还省出许多布线通道使布线过程完成得更加方便，更加流畅，更为完善，PCB 板的设计过程是一个复杂而又简单的过程，要想很好地掌握它，还需广大电子工程设计人员去自已体会， 才能得到其中的真谛。

1 电源、地线的处理

既使在整个PCB板中的布线完成得都很好，但由于电源、 地线的考虑不周到而引起的干扰，会使产品的性能下降，有时甚至影响到产品的成功率。所以对电、 地线的布线要认真对待，把电、地线所产生的噪音干扰降到最低限度，以保证产品的质量。 对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪音所产生的原因， 现只对降低式抑制噪音作以表述：

　　 众所周知的是在电源、地线之间加上去耦电容。

　　 尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线＞电源线＞信号线，通常信号线宽为：0.2～0.3mm,最经细宽度可达0.05～0.07mm,电源线为1.2～2.5 mm对数字电路的PCB可用宽的地导线组成一个回路, 即构成一个地网来使用(模拟电路的地不能这样使用)

　　 用大面积铜层作地线用,在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板，电源，地线各占用一层。

2 数字电路与模拟电路的共地处理

　　现在有许多PCB不再是单一功能电路（数字或模拟电路），而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题，特别是地线上的噪音干扰。

　　 数字电路的频率高，模拟电路的敏感度强，对信号线来说，高频的信号线尽可能远离敏感的模拟电路器件，对地线来说，整个CB对外界只有一个结点，所以必须在PCB内部进行处理数、模共地的问题，而在板内部数字地和模拟地实际上是分开的它们之间互不相连，只是在PCB与外界连接的接口处（如插头等）。数字地与模拟地有一点短接，请注意，只有一个连接点。也有在PCB上不共地的，这由系统设计来决定。

3 信号线布在电（地）层上

　　在多层印制板布线时，由于在信号线层没有布完的线剩下已经不多，再多加层数就会造成浪费也会给生产增加一定的工作量，成本也相应增加了，为解决这个矛盾，可以考虑在电（地）层上进行布线。首先应考虑用电源层，其次才是地层。因为最好是保留地层的完整性。

4 大面积导体中连接腿的处理

　　在大面积的接地（电）中，常用元器件的腿与其连接，对连接腿的处理需要进行综合的考虑，就电气性能而言，元件腿的焊盘与铜面满接为好，但对元件的焊接装配就存在一些不良隐患如：①焊接需要大功率加热器。②容易造成虚焊点。所以兼顾电气性能与工艺需要，做成十字花焊盘，称之为热隔离（heat shield）俗称热焊盘（Thermal），这样，可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电（地）层腿的处理相同。

5 布线中网络系统的作用

　　在许多CAD系统中，布线是依据网络系统决定的。网格过密，通路虽然有所增加，但步进太小，图场的数据量过大，这必然对设备的存贮空间有更高的要求，同时也对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的，如被元件腿的焊盘占用的或被安装孔、定们孔所占用的等。网格过疏，通路太少对布通率的影响极大。所以要有一个疏密合理的网格系统来支持布线的进行。 标准元器件两腿之间的距离为0.1英寸(2.54mm),所以网格系统的基础一般就定为0.1英寸(2.54 mm)或小于0.1英寸的整倍数，如：0.05英寸、0.025英寸、0.02英寸等。

6 设计规则检查（DRC）

　　布线设计完成后，需认真检查布线设计是否符合设计者所制定的规则，同时也需确认所制定的规则是否符合印制板生产工艺的需求，一般检查有如下几个方面：

线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。

电源线和地线的宽度是否合适，电源与地线之间是否紧耦合（低的波阻抗）？在PCB中是否还有能让地线加宽的地方。

对于关键的信号线是否采取了最佳措施，如长度最短，加保护线，输入线及输出线被明显地分开。

模拟电路和数字电路部分，是否有各自独立的地线。

后加在PCB中的图形（如图标、注标）是否会造成信号短路。

对一些不理想的线形进行修改。

在PCB上是否加有工艺线？阻焊是否符合生产工艺的要求，阻焊尺寸是否合适，字符标志是否压在器件焊盘上，以免影响电装质量。

多层板中的电源地层的外框边缘是否缩小，如电源地层的铜箔露出板外容易造成短路。))

---------------------------------------

### Some command in SPECCTRA

Unit mil

Rule pcb (width 8)

Rule net \*\*\*\* (width 8)

Rule pcb (clearance 8 (type wire\_wire))

Rule net (\*\*\*\*(clearance 9(type wire\_smd))

Unselect all routes

Select all routes

Bus diagonal

Select

Fence 1 2 3 4

Route 25

---------------------------------------

### Via in PCB

The via in PCB shall keep a short distance from the pad, so that you can sold your chip easily without connecting with via.

---------------------------------------

### Make a daisy route in PCB

Assign\_pin source U1 (pins 1)

Assign\_pin terminate U2 (pins 2)

Order daisy net netname\*\*\*

-----------------------------------------------------------------------------------------------------------------------

### How to install Cadence:

1. Use ultraedit to open the PSD151All\_license.dat
2. Change the first line to ‘SERVER BEI50018 ANY 5280’

~~~~~~~~Computer name.

---------------------------------------

### ConceptHDL to Capture Translation

If you have problem in create netlist from the symbol that you have generated from conceptHDL to Capture, you may

1. Open the symble in Capture
2. Find whether there are some small red circles in your symbol. If there are, delete them and try again, you may find the symbol works.

---------------------------------------

### Allegro Problem:

When you draw a new package symbol with new padstack for a new SCH symbol, the new padstack(.pad) MUST be included in the SYMBOLS folder with the package(.dra). Otherwise, you are not able to involve the package you drew.

---------------------------------------

### 高速PCB设计EMI规则

1. **高速信号线、时钟线采用走线屏蔽规则**。把高速的时钟线用地线包住。适用范围：在两层或者四层板上，由于PCB的板层的限制导致高速时钟的回流路径不良，在这种情况下使用该条屏蔽规则会取得比较好的效果。
2. **减小高速信号的走线闭环面积规则**  高速信号层必须要用地层隔开！如果不能隔开，就必须使两层的高速信号严格的垂直布线。
3. **减小高速信号的走线开环面积规则** 层内和层间的信号如果够成开环，应该尽量减小开环的面积。
4. **高速信号的特性阻抗连续规则** 进入高速PCB领域，必须要考虑：电路板的叠层设计、电气信号线的特性阻抗、高速互连接口的拓扑结构。所以，信号线在层与层之间切换的时候必须保证特性阻抗的连续(线宽保持一致)，否则由于信号的反射会增加EMI的辐射。适用条件：信号上升沿、下降沿时间小，信号频率高，需要考虑信号完整性、电源完整性、以及信号的电磁辐射。在这种情况下特性阻抗的连续是最基本的条件。
5. **高速PCB设计的布线方向规则** 如果两个信号层相连（中间没有地层），那么这两层的信号线的布线方向需要垂直。
6. **高速PCB设计的拓扑结构规则** 不论是星行拓扑还是菊花链拓扑，拓扑结构的对称是设计的必要条件。
7. **走线长度的谐振规则** 如果布线长度为信号波长的1/4的整数倍时，布线将产生谐振，从而急剧增加电磁波辐射，产生严重的EMI干扰。由于1GHz波长是30cm，所以一般来说不用考虑此规则
8. **信号回流路径规则** 所有高速信号必须要有良好的回流路径，尽可能的保证时钟等高速信号的回流路径最好。
9. **器件的退耦电容摆放** 原则：靠近电源的管脚，并且电容的电源走线和地线所包围的面积最小。 其中退耦电容是指那些103、104的电容 (并非那些用于旁路的10uf，100uf大电容。旁路电容摆放有两个原则，一是靠近电源的输出端，另一个是靠近芯片附近大电流流经的地方。)

--------------------------------------------------

### 带状线和微带线的区别

带状线是夹在电源层和地层之间的信号线，具有很好的抗干扰性能；微带线是在最上层的信号线，下面是地层，上面是空气。

--------------------------------------------------

### Allegro使用记录

1. 芯片封装首先调用当前.brd文件所在目录（一般是/allegro），如果当前.brd文件所在目录没有.dra封装时，Allegro自动调用E:\Cadence\PSD\_15.1\share\pcb\pcb\_lib\symbols目录下的封装文件。
2. 需要换capture封装（换另一个，不是修改）时，可能需要先在原PCB中把该封装删除，然后从capture中更新即可。

--------------------------------------------------

### Allegro 制版

Manufacture->artwork

1. In Available films: choose

bottom,

:BOARD GEOMETRY/OUTLINE

:ETCH/BOTTOM

:PIN/BOTTOM

:VIA CLASS/BOTTOM

silkscreenbottom

:REF DES/SILKSCREEN

:PACKAGE GEOMETRY

:BOARD GEOMETRY/OUTLINE

soldermaskbottom

:VIA CLASS/SOLDERMASK\_BOTTOM

:PIN/SOLDERMASK\_BOTTOM

:BOARD GEOMETRY/OUTLINE

soldermasktop

:VIA CLASS/SOLDERMASK\_TOP

:PIN/SOLDERMASK\_TOP

:BOARD GEOMETRY/OUTLINE

silkScreenTop

:REF DES/SILKSCREEN\_TOP

:PACKAGE GEOMETRY/SILKSCREEN\_TOP

:BOARD GEOMETRY/OUTLINE

TOP

:BOARD GEOMETRY/OUTLINE

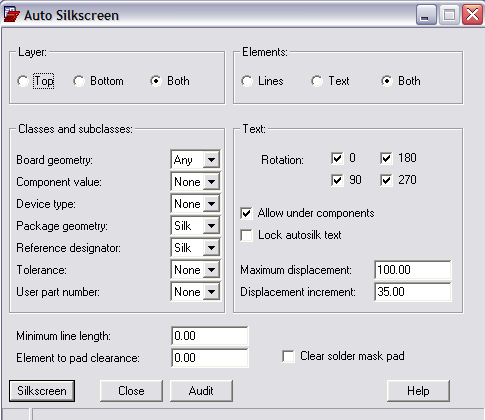
:ETCH/TOP

:PIN/TOP

:VIA CLASS/TOP

(top和bottom的pin 和via class需要加阻焊层)

1. In General parameters->device type: choose gerber RS274X
2. Apertures ->edit->auto->without rotation->ok->ok
3. Undefined line width =5.000 (所有的层都要加一遍)
4. Manufacture->silkscreen 设置如下：



1. Create Artwork.
2. 如果结果不对时，关闭allegro，重新开启。注意备份！
3. the useful files are:

BOTTOM.art

SILKSCREENBOTTOM.art

SILKSCREENTOP.art

Soldermaskbottom.art

Soldermasktop.art

Top.art

Ncdrill1.tap

Art\_aper.txt

--------------------------------------------------

### 在Allegro出gerber文件(VIA标准)

1. Tools/Database check 钩选两项，然后check。
2. Manufacture/ NC / Drill Parameters: 把Format从2-3修改成2-5。
3. Manufacture/ NC / Drill Tape：输入1，然后generate
4. 在右侧Visibility中：Views选择Film:drill\_1to2, 同时钩选Top层和Layer2层。
5. Manufacture/ NC / Drill Legend，选择OK，然后放置在当前层。
6. Manufacture/ Artwork/ Aperture/ delete / Add/ Edit/Auto/ with rotation / ok / ok
7. 钩选drill\_1to2, 点击Create Artwork。
8. 在右侧Visibility中：Views选择Film:drill\_2to5, 同时钩选Layer2～Layer5层。
9. Manufacture/ NC / Drill Legend，选择OK，然后放置在当前层。
10. Manufacture/ Artwork / 钩选drill\_2to5, 点击Create Artwork。
11. 在右侧Visibility中：Views选择Film:drill\_5to6, 同时钩选Layer5层和bot层。
12. Manufacture/ NC / Drill Legend，选择OK，然后放置在当前层。
13. Manufacture/ Artwork / 钩选drill\_2to5, 点击Create Artwork。
14. 至此，drill层都已出完；然后将其余的层也分别Create Artwork。
15. 整理Gerber Release 文件，包括：bot.art, drill.art, drill\_1to2.art, drill\_2to5.art, drill\_5to6.art, layer2.art, layer3.art, layer4.art, layer5.art, maskbot.art, masktop.art, silkbot.art, silktop.art, top.art, spec.doc, ncdrill1.tap, ncdrill2.tap, ncdrill3.tap, ncdrill4.tap, art\_aper.txt, art\_param.txt, nc\_param.txt共22个文件。

--------------------------------------------------

### 在Allegro中加入NCdrill，安装孔

1. 在打开的.brd文件中， Manufacture/Advanced Settings/选中library。
2. Placement List/Mechanical symbols/选中所需要的安装孔或者outline。
3. 新建一个安装孔：打开allegro library expert->New->mechanical symbol

--------------------------------------------------

### 做pcb板

1. 默认的双面板板厚为1.6
2. 选用镀锡板， 水晶板的焊盘是金黄色，容易氧化。
3. 镀锡/铅板在195度以上时，会编程液体；所以使用回流焊接技术的一般都指定裸铜的阻焊层(SMOBC, Solder Mask Over Bare Copper )

做PCB联系方式：[pcb@plpcb-fpc.com](mailto:pcb@plpcb-fpc.com) 010-62526953 王女士 中发二层2152柜台 0.12/cm2

[SJPCB@SJPCB.COM](mailto:SJPCB@SJPCB.COM) 010-82623554 13601114422 许洪芳 中发2156柜台

--------------------------------------------------

### Allegro 画板子的边框shape

1. 外面 BOARD GEOMETRY OUTLINE

2. 里面 ROUTE KEEPIN ALL

--------------------------------------------------

### Allegro颜色调配

1. Display->color/visibility ->palette->read globle->ok
2. 将colors拷到相应的allegro目录下
3. 输入 replay colors

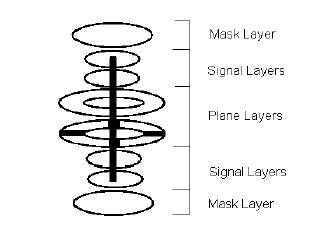
--------------------------------------------------

### Route Keepin

功能：在route keepin内进行器件布局布线。

--------------------------------------------------

### Padstack 结构



--------------------------------------------------

### Cadence中PCB介质的特性

在E:\Cadence\PSD\_15.1\share\pcb\text\material.dat中

--------------------------------------------------

### Cadence PCB 覆铜的方法、电源层、地层的网表指定方法

Edit->split plane->creat->dynamic

--------------------------------------------------

### 调整覆铜和管脚间距的方法

Shape->Global dynamic parameters-> input the clearence you want.

--------------------------------------------------

### 在cadence allegro中只显示覆铜边框

具体操作如下：

setup/user preferences，在categories栏选shape，然后再在category:shape栏勾选no\_shpe\_fill，最后OK就行了。

--------------------------------------------------

### Allegro 导入DXF文件

1. 新建PCB文件

2. 修改PCB文件的单位，一般修改为mm，4位小数点(因为DXF多是mm单位)。

3. File/Import/DXF

4. Select All,Map: Board Geometry/Panel\_top

--------------------------------------------------

### 更换DXF文件层

1. Edit/Change/Line

2. Option: Class=Board Geometry Outline

3. 如需mirror:Edit/move/右键/mirror

--------------------------------------------------

### 新建Panel

1. Setup/Subclasses/Board Geometry/Panel\_Bot

--------------------------------------------------

### 导出PCB特定层

1. 单位换算->mil。两位小数。

2. 选择center(左下)坐标

3. Export/sub-drawing/line

4. 全选。保存到新板子目录下。

5. 在新板子里面import/sub-drawing，然后选择该文件。

--------------------------------------------------

### 使Etch走线在弯角处平滑

如果Etch走线在弯角处断裂，可进行以下操作：setup🡪Drawing option🡪Display🡪选中cline endcaps

--------------------------------------------------

### 在cadence allegro中编辑芯片网表net

具体操作如下：

1. setup/user preferences，在categories拦选Misc，然后钩选logic\_edit\_enable。Ok退出。
2. 菜单 logic/Net Logic 然后选择需要修改的网表。

--------------------------------------------------

### EMI和EMC的电路仿真

为了保证设计的PCB板具有高质量和高可靠性，设计者通常要对PCB板进行热温分析，机械可靠性分析。由于PCB板上的电子器件密度越来越大，走线越来越窄，信号的频率越来越高，不可避免地会引入EMC（电磁兼容）和EMI（电磁干扰）的问题，所以对电子产品的电磁兼容分析显得特别重要。与IC设计相比，PCB设计过程中的EMC分析和模拟仿真是一个薄弱环节   
PCB设计中EMC/EMI分析的对象   
  
在PCB设计中，EMC/EMI主要分析布线网络本身的信号完整性，实际布线网络可能产生的电磁辐射和电磁干扰以及电路板本身抵抗外部电磁干扰的能力，并且依据设计者的要求提出布局和布线时抑制电磁辐射和干扰的规则，作为整个PCB设计过程的指导原则。具体来说，

信号完整性分析包括同一布线网络上同一信号的反射分析，阻抗匹配分析，信号过冲分析，信号时序分析，信号强调分析等；对于邻近布线网络上不同信号之间的串扰分析。

在信号完整性分析时还必须考虑布线网络的几何拓扑结构，PCB绝缘层的电介质特性以及每一布线层的电气特性。

电磁辐射分析主要考虑PCB板与外部的接口处的电磁辐射，PCB板中电源层的电磁辐射，大功率布线网络动态工作时对外的辐射问题。如果电路设计中采用了捆绑于大功率IC上的散热器（例如奔腾处理器外贴的金属散热器），那么这样的散热器在电路动态工作中如同天线一样不停地向外辐射电磁波，因此必须列为EMC分析的重点。现在已经有了抑制电子设备和仪表的EMI的国际标准，统称为电磁兼容（EMC）标准，它们可以作为普通设计者布线和布局时抑制电磁辐射和干扰的准则，对于军用电子产品设计者来说，标准会更严格，要求更苛刻。对于高速数字电路设计，尤其是总线上数字信号速率高于50MHz时，以往采用集总参数的数学模型来分析EMC/EMI特性显得无能为力，设计者们更趋向于采用分布参数的数学模型做布线网络的传输线分析（TALC）。对于多块PCB板通过总线连接而成的电子系统。还必须分析不同PCB板之间的电磁兼容性能。

--------------------------------------------------

### SPECCTRAQuest的优点

在SI的分析中虽然有像反射、串扰、地弹、时序(当然把时序归为SI分析有点勉强)的分析，但我认为最为关键的是时序的分析，因为对于使用CADENCE/SPECCTRAQUEST的分析工具，在时序的分析计算中，就可以把反射、串扰、地弹对飞行时间所造成的影响都考虑进去了。所以在对系统的SI分析中，只要你以时序分析作为主要分析链，并保持一定的time margin, 系统就能够按你所设计的速度正常运行。

--------------------------------------------------

### 将IBIS模型转换为dml model发生错误。

报错：ERROR (line 9) - File\_name string 'vhc244mtc\_450.ibs' is too long, truncating to 12 characters.。将'vhc244mtc\_450.ibs'修改为'vhc244m.ibs'后，仍然报错。

用ultraedit将'vhc244m.ibs'打开， 将[File name] vhc244mtc\_450.ibs 修改为[File name] vhc244m.ibs。

再次转换，成功。

--------------------------------------------------

### 将PowerPCB文件转换为Cadence Allegro文件(参考specctra\_simulation.pdf)

在PowerPCB中对已经完成的PCB板做以下操作：文件->Export。选择ASCII格式\*.asc文件格式，并制定文件名称核路径。然后保存。在弹出窗口中点击‘select all’、在expand Attributes中选择Parts和Nets两项。尤其注意在Format窗口只能选择PowerPCB V3.0以下版本格式，否则allegro不能正确导入。

在allegro中导入\*.asc PCB版图

文件－>import，选择PADS项。在第一栏选择源asc文件的目录；在第二栏制定pads\_in.ini文件（pads\_in.ini所在目录为…\psd\_15.1\tools\pcb\bin中）；制定转换后文件存放目录。

--------------------------------------------------

### PowerPCB文件转换为Cadence Allegro文件后，Pad发生错误。

所有地线，电源线都变为飞线。过孔变为5层过孔。希望能够通过修改设置来改善。

--------------------------------------------------

### PowerPCB将原理图和PCB关联。

1. 快捷工具栏倒数第四个图标：layout/route link property。
2. 选择tag: design
3. ECO to PCB

--------------------------------------------------

### Mentor高速PCB仿真

据张绍营说，mentor高速pcb仿真性能不错。是否强于cadence？

--------------------------------------------------

### PCB仿真建模

SPICE：基于二极管，晶体管参数建模。运算量大。应用于原理仿真，PCB板级仿真不适用。

IBIS：基于芯片驱动和接口电气特性。只应用于传输线的传输。

VHDL-AMS：基于模拟和混和信号建模。

Quantic EMC：西门子的电磁兼容和信号完整性分析。

XTK：Viewlogic公司的信号完整性分析。

--------------------------------------------------

### 高速PCB领域在信号完整性（SI）分析过后，下一个热点应该是电源完整性（PI）和热性能分析。

--------------------------------------------------

一般信号到50MHz的时候，就会产生SI问题。目前在高速PCB仿真中，效果最不理想的是EMC/EMI。这是因为对于高速系统，由于过孔效应的影响，需要对系统进行三维建模才能有效模拟真实环境。然而对于PCB这样一个庞大且复杂的系统，对其进行三维建模非常困难。

--------------------------------------------------

### Cadence 性能

1. Cadence的SPECCTRAQuest就是不错的仿真工具，利用它可以在设计前期进行建模、仿真，从而形成约束规则指导后期的布局布线，提高设计效率。随着Cadence 在今年6月推出的专门针对千兆赫信号的仿真器MGH——它是业界首个可以在几秒之内完成数万BIT千兆赫信号的仿真器——信号完整性技术更臻完善。
2. Cadence已经推出了电源完整性分析软件PI，并推向市场。
3. Cadence 的EMControl就是这样一个类似于专家系统的规则检查工具，同时还提供了客户化的接口，方便客户编写适合于本公司的EMC/EMI检查规则。Mentor Graphics的Quiet Expert可以检查引起EMI问题的不正确的布线结构，找出问题，并给出导致EMI问题的原因和建议的解决方案。
4. Cadence公司的规则管理器Constrain Management（简称CM）已被无缝地集成到其原理图设计工具和PCB设计工具中，硬件工程师在原理图设计完成后，其设计要求（电气性能、DFT、DFM规则等）就被CM自动带到下一个环节，系统根据这些规则进行自动布线。因此自动布线是建立在约束规则驱动基础上的自动布线，但同时必须有一个能很好理解和完成这些约束规则的布线器，Cadence的Specctra能使两者很好地达到统一。
5. 自动布线功能上：在高速电路板中，不能只是看布线器的速度和布通率，这时，还要看它能否接受高速的规则，比如要求从T型接点到各个终端等长，这时Cadence的SPECCTRA能很好的解决高速的布线问题。很多布线器不能接收或只能接受很少的高速规则。
6. 用Cadence的OrCAD画原理图，再用Mentor的PowerPCB做布局布线。但陈兰兵认为，这种方法在高速设计领域不再适合。“数据在不同厂商的工具之间不能实现完全转换，例如：传统的读网表的方法，不可能把原理图中的一些电气属性和要求带到PCB设计中，因而不适合高速设计。”
7. Cadence的并行设计工具也将在下一版本中推出
8. Cadence的VSIC（Virtual System InterConnect）设计方法是一种新的Silicon-Package-Board 协同设计方法，它使得工程师在设计早期就可以考虑整个系统引起的时序或是信号完整性的问题，解决了千兆赫信号设计的一大瓶颈。
9. 在EDA工具市场，EDA厂商和上游厂商的关系直接影响着其工具在某一市场的占有率。在PCB设计工具高端市场，Mentor Graphics和Cadence占据了绝大部分市场份额，但是在计算机主板领域，Mentor却只占有10-20%的市场空间。据介绍，这主要得益于Cadence和上游厂商Intel有着更为紧密的合作关系（Intel提供给下游厂商的原理图参考设计都是用Cadence软件实现的），因而直接影响着下游厂商的态度。

--------------------------------------------------

### 电源完整性（PI） 解释

在电源传输系统（PDS Power Deliver System），由于在不同频段上的阻抗不同，造成在电源层和地层之间供电不连续，产生电源噪声。影响了芯片的正常工作；另外由于电磁辐射，电源噪声还会产生EMC/EMI问题。PI问题不但设计到板级，还设计到芯片级，封装级。

--------------------------------------------------

### 芯片连接线的走向

通常一个系统的连接线始于芯片（silicon）的I/O，经过封装（Package）的bump和substrate到达封装的pin，然后经过PCB，到达另一个芯片的Pin，substrate，bump和芯片的I/O。芯片，封装和电路板是三个不同的领域。

这时无论从信号完整性上来说，还是从设计周期上来说，我们都应该同时考虑Silicon-Package-Board的设计，并协调它们之间的互相联系。比如说，有时在PCB中会有很难解决的时序问题，在Package中却可以很容易地解决。

--------------------------------------------------

### 高速系统的定义

高速数字信号由信号的边沿速度决定，与信号的频率并没有直接的关系。一般认为上升时间小于4倍的传输延迟时可视为高速信号（当信号的互连延迟大于边沿信号翻转阀值时间的20%时）。而平常讲的高频信号是针对信号的频率而言的。

--------------------------------------------------

### 在高速PCB设计中，串扰与信号线的速率、走线的方向有什么关系？需要注意那些设计指标来避免出现的串扰问题？

串扰会影响边沿速率。一般来说，一组总线传输方向相同时，串扰因素会使边沿速率变慢。一组总线传输方向不同时，串扰会使边沿速率变快（why？）。

控制串扰可以通过控制线长、线间距、走线的叠层以及源端的匹配来实现。

--------------------------------------------------

### 对于高速系统，多层电路板在布线时应该注意什么？各层的功能定义有什么原则

要注意电源、地平面的安排；走线层保证阻抗一致；关键信号线尽量走两面都有平面层的走线层。；不要夸平面分割；电源和地就近打过孔与电源和地平面相连。

--------------------------------------------------

### 在多层电路板上如何降低层间的相互干扰、提高信号质量？

　　答：主要是解决好阻抗控制、匹配、走线回流、电源完整性、EMC等方面的问题。降低层间干扰可以减小走线层与平面层的距离，加大走线层间的距离，并且相邻走线层尽量不去走平行走线，方法很多，不能一一列举。  
--------------------------------------------------

针对数字电源、模拟电源、数字地和模拟地，请问在PCB设计中如何对他们进行划分

　　答：电源通过滤波电路相连接，数字与模拟分开。数字和模拟地要看具体的芯片，有些要求分开，单点连接，有些不需要分开。  
--------------------------------------------------

背板只提供了一个地，且为数字地，而插卡上既有模拟部分也有数字部分，那么这种模拟地如何接呢

　　答：看你插卡模拟部分的芯片要求，一般可以把插卡上数字、模拟地分开，在插卡上单点相连，插卡地数字地与背板数字地相连。  
--------------------------------------------------

在高速PCB设计中，如何考虑阻抗匹配的问题？在多层电路板设计中，内部信号层的特性阻抗如何计算？输入阻抗50Ω与输出阻抗75Ω如何匹配？  
　　答：阻抗匹配需要自己根据线宽、线厚、板材结构等计算，有时必须加串联或并联电阻来达到匹配。内部信号层阻抗计算也是一样考虑这些参数。输入阻抗50Ω与输出75Ω不可能完全匹配，只要能保证信号的完整性和时序的问题就可以。  
--------------------------------------------------

在EMC测试中发现时钟信号的谐波超标十分严重，在PCB设计中除在电源引脚上连接去耦电容，还需要注意哪些方面以抑止电磁辐射？  
　　答：可以把时钟信号走在内层，或时钟线上连一小电容到地（当然会影响时钟边沿速率）。  
--------------------------------------------------

在高速PCB设计中，如何去分析某个信号的回路路径？假设一片4层板，中间两层是VCC和GND，走线从TOP到BOTTOM，它的回流路径怎样从BOTTOM SIDE流到TOP SIDE？   
　　答：信号回路总是找电感最小的通路。对数字信号，VCC和GND都是回流平面。对你的情况，TOP层走线的回流在它下面相邻的平面，BOTTOM层走线的回流在它下面相邻的平面，回流路径在VCC与GND间是通过电容相连的。Cadence的EMControl可以帮助客户检查信号的回路路径是否完整。

--------------------------------------------------

### 第三代高速I/O接口

在传统并行同步数字信号的位数和速率将要达到极限的情况下，出现了第三代I/O接口：HyperTansport(AMD)、 Infiniband(intel)、PCI-Express(intel)。这些接口都讲LVDS作为下一代高速信号电平标准。

--------------------------------------------------

### 减少串扰的措施

1. 增加平行线之间的间隔，不要走长的平行线；线间距不小于线宽；
2. 如果空间允许，在两条平行线之间加一条地线。
3. 微带线中导线尽量与地平面接近（小于10mil），
4. 在地平面的边沿尽量不要走线
5. 争取做到负载匹配，通过减小反射的方法来减小串扰
6. 如果需要，可以进行自屏蔽
7. 关键信号线布在中间层（上下都是地平面）；切中间层线与线的间隔要大于表层
8. 差分线一定要平行等长。
9. 走线要充分考虑回流路径，不要‘跨越’地平面

--------------------------------------------------

### 减少EMI措施

1. 在top和bottom的覆铜区域上每隔1/20波长的距离打孔接地。
2. 减小传输线分布电感，增加分布电容。即减少Z0。
3. 当信号换层时，如果参考平面是GND1和GND2，那么在信号过孔的旁边多打一些GND1-GND2过孔；如果参考平面是电源层和地层，那么在信号过孔的旁边加一些电容。
4. 器件的布局：按照器件的功能和类型、按照电源的类型、按照共地和转换点。
5. 一定要让电源层和地层尽量的接近。

--------------------------------------------------

### PCB布线规则

1. 高频信号靠近地平面
2. 电源层和地层设计满足20H规则。即地平面的边缘比电源平面大20H（H是电源层和地层之间的距离）
3. 将时钟信号走在中间层
4. 地平面完整，不要被割断。
5. 信号走线尽量不换层；如果一定要换层要保证其回路的参考平面一致；如果不一致，需要加过孔（地对地）或电容（电源对地）。
6. 走线长度（英寸）数值上大于信号的上升时间（纳秒），就应该考虑加串联电阻了。
7. 减小走线的不连续性。例如线宽不要突变，拐角不要小于90度，不要形成环。
8. 重要信号周围加上保护地线。
9. 对于跨地信号，想办法保证回流面积。

--------------------------------------------------

### 电源完整性问题

1. 旁路电容的过孔打在焊盘上。

--------------------------------------------------

### 叠层需要考虑的因素

1. 铺铜层一定要成对设置，比如6层板的2，5层或者3，4层。这是考虑到工艺平衡的问题，因为不平衡的铺铜可能会导致PCB板的变形
2. 最好每一个信号层都能和至少一个铺铜层紧邻
3. 缩短电源层和地层的间隔。
4. 在很高速的情况下，可以加入多余的地层来隔离。但是不要加电源层，因为电源层会带来很多的高频噪声干扰。

--------------------------------------------------

### DRC规则检查

1. 线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。
2. 电源线和地线的宽度是否合适，电源与地线之间是否紧耦合（低的波阻抗）？
3. 在PCB中是否还有能让地线加宽的地方。对于关键的信号线是否采取了最佳措施，如长度最短，加保护线，输入线及输出线被明显地分开。
4. 模拟电路和数字电路部分，是否有各自独立的地线。后加在PCB中的图形（如图标、注标）是否会造成信号短路。对一些不理想的线形进行修改。
5. 在PCB上是否加有工艺线？
6. 阻焊是否符合生产工艺的要求，阻焊尺寸是否合适，字符标志是否压在器件焊盘上，以免影响电装质量。
7. 多层板中的电源地层的外框边缘是否缩小，如电源地层的铜箔露出板外容易造成短路。

--------------------------------------------------

### 均匀的四层板和非均匀四层板的选择

均匀的四层板电源层和地层较近，可以降低电源的阻抗，减小电源噪声干扰。但是信号层和参考层较远，信号回流面积大，不利于EMI；

非均匀的四层板电源层和地层较远，电源阻抗较高，但是可以通过增加旁路电容来缓解。信号层与参考层较近，信号回流面积小，有利于EMI。

通常，对于高速信号，非均匀的四层板总体性能要好一些。

--------------------------------------------------

### 六层板中信号分布

Top

VCC

Innerplane1

Innerplane2

GND

Bottom

--------------------------------------------------

### 八层板中信号分布

Top

GND

Innerplane1

GND

VCC

Innerplane2

GND

Bottom

--------------------------------------------------

### 关于过孔

一般来说如果通孔的深度大于通孔的直径的6倍时，就无法保证孔壁能够均匀镀铜。所以一个50mil的六层板所能够提供的最小通孔是8mil。

--------------------------------------------------

### 怎样合理使用通孔

1. 对于电源和地的通孔，可是使用孔径较大的通孔以减小阻抗；对于信号线的通孔可以使用孔径较小的通孔。
2. 使用较薄的PCB板有利于减小过孔的寄生参数
3. 少用通孔
4. 遵守就近原则
5. 信号换层附近放置一些过孔。
6. 对于密度较大的电路板，可以使用微型过孔

--------------------------------------------------

### 在allegro中GND的ratsnest没有显示

选择logic->net schedual，然后点击GND，随便点两个地线，然后鼠标右键选择done。即可显示所有GND。

--------------------------------------------------

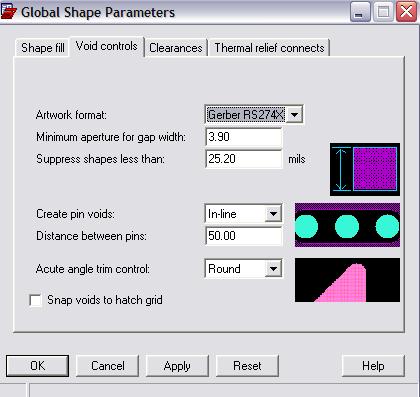
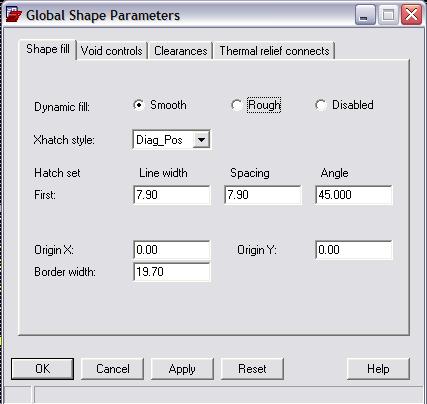
### 在allegro中做via的方法(一般使用默认的<via>即可，不用此方法)

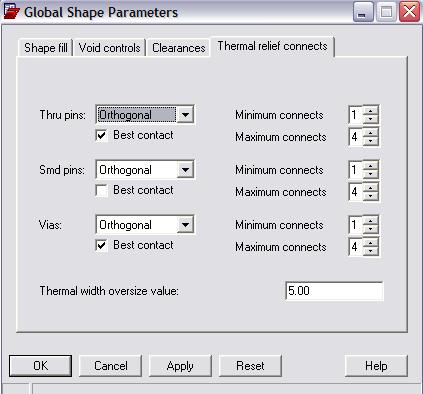
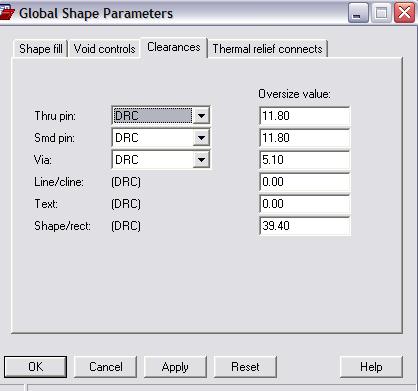
setup-> via->auto define B/B via

--------------------------------------------------

### VIA的形态和连接方式的设置

Shape-> Global Dynamic Params…->按照以下图片进行设置





其中Thermal width oversize value: 为与via连接的十字线宽。

--------------------------------------------------

allegro中symbol的字体设置为：40 40 0 0 0 0

--------------------------------------------------

### 怎样在Allegro中编辑元件封装的属性

在ref deg 中，选择silkscreen to，然后根据具体元件选择事R\*，U\*和C\*。然后在setup 中选择text size.增加17，然后编辑为40 40 0 0 0。然后保存。

在allegro PCB中，选择place –>update symbols。然后选择reset symbol text locations. 这样如果没有ref deg的器件就会增加ref。

--------------------------------------------------

### Allegro中过孔的设置

1. Allegro中过孔可以为10/20mil，对于高密度板可以为8/18mil。8为过孔，18为焊盘。
2. 钻孔(drill)和电镀（plating）
3. 在allegro中设置via的方法：setup->constraints->set value->选择自己的via。
4. 另外，现在工艺过孔最小可以是8mil，线宽最小4mil。

--------------------------------------------------

### Pin上的高亮和取消高亮

有时候，管脚会显示高亮。取消高亮的方法是：Display->dehighlighten

--------------------------------------------------

### Allegro功能键F1~F8设置方法, 设置快捷键，alias

修改E:\Cadence\PSD\_15.1\share\pcb\text\env文件。

--------------------------------------------------

### 设置allegro光标 cursor

setup->user preferences->Ui->pcb\_cursor->infinite

--------------------------------------------------

### Allegro设置选中线为实心高亮线

setup🡪user preferences-🡪display🡪选中display\_nohilitfont

--------------------------------------------------

### 设置allegro光标cursor 颜色color

Desplay🡪color/visibility🡪把调色板最左上角的颜色调成白色；把modify按键左边的颜色调成白色。就可以使光标变成白色了。

--------------------------------------------------

### Capture中拷贝元件库的的问题

在Capture中拷贝元件库的时候，当从一个库考到另外一个，会忽然出现很多。这是因为Capture对某一个库取了很多alias名字，每个alias名字都对应某一个元件。只要在options->package properties->part aliases中将所有alias删除，然后点击整个项目，然后保存项目，就可以将alias删除了。

--------------------------------------------------

### Capture中元件库中pin number不显示，看不见。

解决方法：打开symbol，在空白处双击鼠标。将pin number visble属性改为true。

--------------------------------------------------

### 在Allegro中元件的silkscreen\_top层设置：

为package\_geometry->silkscreen\_top

--------------------------------------------------

### 在allegro中的symnol package中加入元件说明value

add->text->component value->silkscreen top->\*\*\*，即可！

--------------------------------------------------

### 修改测量measure的单位

dimension->parameters->dimension text->unit & decimal places

--------------------------------------------------

### Capture中使用page-off连接两张Schematic的方法

必须在两页中都用page-off来连接；如果只在一页中连接page-off是无效的。

--------------------------------------------------

### Orcad Capture中hierarchy block使用方法

1. hierarchy block的功能是把一个目录生成一个block，供顶层文件调用（当然也可以由其他文件调用，嵌套）。
2. 方法：place->hierarchy block；primitive中选择default；reference中填入任意的名字，这个名字将显示在block的上方；implementation type中选择schematic view；implementation name填入你文件目录名（该目录将被转化为block）；如果你所选择文件不在本文件内，可以通过path and filename中来选择。
3. 然后用鼠标拖动，在schematic中画出一个方框。方框则为所选择目录的hierarchy block。
4. 在同一文件目录里，如果两个port name 相同(两个port name在不同的page里)，那么这两个管脚是连在一起的。
5. 在顶层文件内，block内部的管脚的默认网表（从原目录内带来的网表）没有任何意义，没有连接关系。只有在顶层内做的的网表才有意义。

--------------------------------------------------

### PCB板上0欧姆电阻的作用

1, 在电路中没有任何功能，只是在PCB上为了调试方便或兼容设计等原因。

2, 可以做跳线用，如果某段线路不用，直接不贴该电阻即可（不影响外观）

3, 在匹配电路参数不确定的时候，以0欧姆代替，实际调试的时候，确定参数，再以具体数值的元件代替。

4, 想测某部分电路的耗电流的时候，可以去掉0ohm电阻，接上电流表，这样方便测耗电流。

5, 在布线时,如果实在布不过去了,也可以加一个0欧的电阻

6, 在高频信号下，充当电感或电容。（与外部电路特性有关）电感用，主要是解决EMC问题。如地与地，电源和IC Pin间

7, 单点接地（指保护接地、工作接地、直流接地在设备上相互分开,各自成为独立系统。）

8, 熔丝作用

--------------------------------------------------

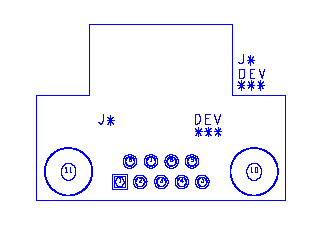
### 上拉电阻和下拉电容的作用

* 在数据输入端接50欧姆的下拉电阻好象是用来缓冲电流的作用，防止输入电流过大，损坏芯片；接下拉电阻一来可以增加驱动能力，二来可以避免输出悬空造成的不确定状态
* 数据输出端接100P的电容，好象是滤除数字电路中的高次谐波的作用，防止干扰其他外围芯片；

--------------------------------------------------

### 串口驱动Max3232调试记录

1. pin1与pin3之间、pin4与pin5之间的电容为0.1uf (100nf, 104电容)，电容无极性。
2. pin2接0.1uf电容，通电后pin2电压为5V+左右。
3. Pin6接0.1uf电容，通电后pin6电压为-5V-左右。
4. 供电电压为3.3V。
5. DB9串口：pin2为RXD (data goes to PC)，pin3为TXD (data comes from PC)，pin5接GND。
6. DB9经常会被画反，(可能：如果pin5没有接地，数据可以发送到pc，但不能从pc端发数据给目标板。)
7. 注意：DB9的封装有可能画反。即Pin2与pin4画反，从PCB板上向下看为。



--------------------------------------------------

### DDR内存布板应该注意的问题

1. 与DDR 相关的所有引线不能大于2英寸
2. DDR一般的终端为22欧姆

--------------------------------------------------

### Capture 中DRC检测中 Check SDT Compatibility 的报错：

ERROR [DRC0016] User properties exist on an object that is not a part instance GND: SCHEMATIC1, MSP430\_System (20.80, 5.40)

解决方法：把该点的连线删掉，重新画一遍。问题解决。

--------------------------------------------------

### 多Parts的元件需要注意的问题：

像74lcx32这样具有多个parts的元件，在原理图输入的时候，要注意将A，B，C，D四个Parts都使用完后，再用新的元件；另外，A，B，C，D四个parts上每个都有一对电源和地，只需要接一个即可

--------------------------------------------------

### 将maly3中PowerPCB中的pcb 库导出

1. 点击右键，选择select componets
2. 选择所有元件
3. 点击右键，选择save to library…

--------------------------------------------------

### 在Orcad Capture中为所有电阻，电容制定pin number

由于在原来的原理图中，电阻和电容的pin number是空的，不能生成网表。可以按照以下方法解决：

1. 选中一个电容（以电容为例）
2. 点击右键，选择edit part
3. 在弹出的窗口中，双击管脚，设定管脚的pin number
4. 关闭，选择update all, yes。

--------------------------------------------------

### 电路板时灵时不灵

这时应该从硬件方面入手，软件出问题的可能性不大。主要是电路虚焊，而且虚焊的管脚只有一根左右。如果错误现象为：有输出，但输出是错误的，那么可能是数据线虚焊；如果错误现象为没有输出，可能是控制线虚焊。

--------------------------------------------------

2005-8-3

### 画一个具有多个part的symbol应该注意的问题

具有多个part的symbol通常电源和地的管脚是隐藏的，一定要注意，把他们引出来！！！！否则会造成无电源线的情况。

--------------------------------------------------

### 电路板焊接、铜网

电路板焊接是可以用铜网罩住电路板，然后刷一层焊锡膏（松香和焊锡的混和溶剂）。将元件贴在电路板上，送入炉子里烤，然后就可以了。

其中，铜网是从用pastemask层生成的。铜网的孔与实际焊盘的大小相等（大了，小了都不好）。值得注意的是：在制作铜网的时候，较大的焊盘需要用十字来分割成几个小孔。因为如果焊锡太多了，在加热过程中，焊锡会鼓起将芯片顶起！！！

--------------------------------------------------

### 在PowerPCB加裸露铜。

覆铜后，在铜的属性中选择silkscreem top。这样，就编程裸露在外面的铜。可以焊接上散热片。

--------------------------------------------------

### PowerPCB制版规范(可能out of date)

1概述  
本文档的目的在于说明使用PADS的印制板设计软件PowerPCB进行印制板设计的流程和一些注意事项，为一个工作组的设计人员提供设计规范，方便设计人员之间进行交流和相互检查。

2设计流程  
PCB的设计流程分为网表输入、规则设置、元器件布局、布线、检查、复查、输出六个步骤.  
2.1网表输入  
网表输入有两种方法，一种是使用PowerLogic的OLE PowerPCB Connection功能，选择Send Netlist，应用OLE功能，可以随时保持原理图和PCB图的一致，尽量减少出错的可能。另一种方法是直接在PowerPCB中装载网表，选择File->Import，将原理图生成的网表输入进来。

2.2规则设置  
如果在原理图设计阶段就已经把PCB的设计规则设置好的话，就不用再进行设置这些规则了，因为输入网表时，设计规则已随网表输入进PowerPCB了。如果修改了设计规则，必须同步原理图，保证原理图和PCB的一致。除了设计规则和层定义外，还有一些规则需要设置，比如Pad Stacks，需要修改标准过孔的大小。如果设计者新建了一个焊盘或过孔，一定要加上Layer 25。  
注意：  
PCB设计规则、层定义、过孔设置、CAM输出设置已经作成缺省启动文件，名称为Default.stp，网表输入进来以后，按照设计的实际情况，把电源网络和地分配给电源层和地层，并设置其它高级规则。在所有的规则都设置好以后，在PowerLogic中，使用OLE PowerPCB Connection的Rules From PCB功能，更新原理图中的规则设置，保证原理图和PCB图的规则一致。  
2.3元器件布局  
网表输入以后，所有的元器件都会放在工作区的零点，重叠在一起，下一步的工作就是把这些元器件分开，按照一些规则摆放整齐，即元器件布局。PowerPCB提供了两种方法，手工布局和自动布局。

2.3.1手工布局  
1.工具印制板的结构尺寸画出板边（Board Outline）。  
2.将元器件分散（Disperse Components），元器件会排列在板边的周围。  
3.把元器件一个一个地移动、旋转，放到板边以内，按照一定的规则摆放整齐。  
2.3.2自动布局  
PowerPCB提供了自动布局和自动的局部簇布局，但对大多数的设计来说，效果并不理想，不推荐使用。  
2.3.3注意事项  
a.布局的首要原则是保证布线的布通率，移动器件时注意飞线的连接，把有连线关系的器件放在一起  
b.数字器件和模拟器件要分开，尽量远离  
c.去耦电容尽量靠近器件的VCC  
d.放置器件时要考虑以后的焊接，不要太密集  
e.多使用软件提供的Array和Union功能，提高布局的效率  
2.4布线  
布线的方式也有两种，手工布线和自动布线。PowerPCB提供的手工布线功能十分强大，包括自动推挤、在线设计规则检查（DRC），自动布线由Specctra的布线引擎进行，通常这两种方法配合使用，常用的步骤是手工—自动—手工。

2.4.1手工布线  
1.自动布线前，先用手工布一些重要的网络，比如高频时钟、主电源等，这些网络往往对走线距离、线宽、线间距、屏蔽等有特殊的要求；另外一些特殊封装，如BGA，自动布线很难布得有规则，也要用手工布线。  
2.自动布线以后，还要用手工布线对PCB的走线进行调整。  
2.4.2自动布线  
手工布线结束以后，剩下的网络就交给自动布线器来自布。选择Tools->SPECCTRA，启动Specctra布线器的接口，设置好DO文件，按Continue就启动了Specctra布线器自动布线，结束后如果布通率为100%，那么就可以进行手工调整布线了；如果不到100%，说明布局或手工布线有问题，需要调整布局或手工布线，直至全部布通为止。

2.4.3注意事项  
a.电源线和地线尽量加粗  
b.去耦电容尽量与VCC直接连接  
c.设置Specctra的DO文件时，首先添加Protect all wires命令，保护手工布的线不被自动布线器重布  
d.如果有混合电源层，应该将该层定义为Split/mixed Plane，在布线之前将其分割，布完线之后，使用Pour Manager的Plane Connect进行覆铜  
e.将所有的器件管脚设置为热焊盘方式，做法是将Filter设为Pins，选中所有的管脚，修改属性，在Thermal选项前打勾  
f.手动布线时把DRC选项打开，使用动态布线（Dynamic Route）  
2.5检查  
检查的项目有间距（Clearance）、连接性（Connectivity）、高速规则（High Speed）和电源层（Plane），这些项目可以选择Tools->Verify Design进行。如果设置了高速规则，必须检查，否则可以跳过这一项。检查出错误，必须修改布局和布线。  
注意：  
有些错误可以忽略，例如有些接插件的Outline的一部分放在了板框外，检查间距时会出错；另外每次修改过走线和过孔之后，都要重新覆铜一次。

2.6复查  
复查根据“PCB检查表”，内容包括设计规则，层定义、线宽、间距、焊盘、过孔设置；还要重点复查器件布局的合理性，电源、地线网络的走线，高速时钟网络的走线与屏蔽，去耦电容的摆放和连接等。复查不合格，设计者要修改布局和布线，合格之后，复查者和设计者分别签字。

2.7设计输出  
PCB设计可以输出到打印机或输出光绘文件。打印机可以把PCB分层打印，便于设计者和复查者检查；光绘文件交给制板厂家，生产印制板。光绘文件的输出十分重要，关系到这次设计的成败，下面将着重说明输出光绘文件的注意事项。

a.需要输出的层有布线层（包括顶层、底层、中间布线层）、电源层（包括VCC层和GND层）、丝印层（包括顶层丝印、底层丝印）、阻焊层（包括顶层阻焊和底层阻焊），另外还要生成钻孔文件（NC Drill）b.如果电源层设置为Split/Mixed，那么在Add  
Document窗口的Document项选择Routing，并且每次输出光绘文件之前，都要对PCB图使用Pour  
Manager的Plane Connect进行覆铜；如果设置为CAM  
Plane，则选择Plane，在设置Layer项的时候，要把Layer25加上，在Layer25层中选择Pads和Vias  
c.在设备设置窗口（按Device Setup），将Aperture的值改为199  
d.在设置每层的Layer时，将Board Outline选上  
e.设置丝印层的Layer时，不要选择Part Type，选择顶层（底层）和丝印层的Outline、Text、Line  
f.设置阻焊层的Layer时，选择过孔表示过孔上不加阻焊，不选过孔表示家阻焊，视具体情况确定  
g.生成钻孔文件时，使用PowerPCB的缺省设置，不要作任何改动  
h.所有光绘文件输出以后，用CAM350打开并打印，由设计者和复查者根据“PCB检查表”检查

--------------------------------------------------

### POWERPCB中设置颜色方案

1. 选择default palette
2. 将调色板第一行的第二个（bottom）设置为浅蓝色；第五个（top层）设置为浅红色。

--------------------------------------------------

### 在POWERPCB中引入图片（logo）

有两种方法：

1. 用auto CAD生成.dxf文件，然后在powerpcb中import
2. 使用bmp2asc软件，将图片转化成.asc文件，然后在powerpcb中import

--------------------------------------------------

### 在PowerPCB的silkscreen top中引入图片logo

运行BMP2ASC.EXE。按照BMP2ASC ST.bmp ST.asc 2 26 -12230 -1371 格式输入。26是代表丝印层。-12230和-1371代表坐标。2 代表线宽。可以将st.bmp转换成ST.asc。然后在powerpcb中import这个ST.asc文件。即可！

--------------------------------------------------

### 在powerpcb中生成方孔

在padstack中选中slotted，slotted的length选择较大值就会挖一个长坑。

--------------------------------------------------

### 在PowerPCB中设置铜网和铜皮

在PowerPCB中可以通过设置覆铜的线宽和线间距来调整是覆成铜网还是铜皮。

* Shift+点击铜皮外框－>ctrl+Q－>选择线宽，比如说5。
* Setup－>preferences－>grids－>hatch grids－>copper选择10则覆成铜网，选择5覆成铜皮

--------------------------------------------------

### GERBER文件描述

大多数工程师都习惯于将PCB文件设计好后直接送PCB厂加工，而国际上比较流行的做法是将PCB文件转换为GERBER文件和钻孔数据后交PCB厂，为何要“多此一举”呢？  
 因为电子工程师和PCB工程师对PCB的理解不一样，由PCB工厂转换出来的GERBER文件可能不是您所要的，如您在设计时将元件的参数都定义在PCB文件中，您又不想让这些参数显示在 PCB成品上，您未作说明，PCB厂依葫芦画瓢将这些参数都留在了PCB成品上。这只是一个例子。若您自己将PCB文件转换成GERBER文件就可避免此类事件发生。  
 GERBER文件是一种国际标准的光绘格式文件，它包含RS-274-D和RS-274-X两种格式，其中RS-274-D称为基本GERBER格式，并要同时附带D码文件才能完整描述一张图形；RS-274-X称为扩展GERBER格式，它本身包含有D码信息。常用的CAD软件都能生成此二种格式文件。  
 如何检查生成的GERBER正确性？您只需在免费软件Viewmate V6.3中导入这些GERBER文件和D码文件即可在屏幕上看到或通过打印机打出。  
 钻孔数据也能由各种CAD软件产生，一般格式为Excellon，在Viewmate中也能显示出来。没有钻孔数据当然做不出PCB了。

--------------------------------------------------

### 表贴9012封装

C

\_ ×\_

| |

×－×

B E

--------------------------------------------------

### 三极管常用型号

90XX系列

型号用途极性Pcm(mW)Icm(mA)BVcbe(v)BVceo(v)ft(MHz)代换

9011伴音中放NPN60050 35 30 150 3DG6

9012音频功放PNP60050040 20 150 3CX204

9013音频功放NPN60050040 20 150 3DG12B

9014行场推动NPN60010030 20 100 3DG12B

9015行振荡PNP60010030 20 150 3DG8B

9016 中放 NPN 600 50 30 20 500 3DG79B.3DG56B

9018 高放 NPN 60050 30 15 600 3DG79B.3DG56B

CS8050 NPN 1000 1000 25

CS8550 PNP 1000 1000 25

--------------------------------------------------

### 如何用完用表确定三极管BEC极

中间的一个管脚是B!

先用黑笔接一脚，再用红笔测另外两脚电阻，如果两次阻值都很大或者都很小，则黑笔接的是B极，阻值小，是NPN管；阻值大，是PNP管；确定了B极后，测一次另外两脚之间的阻值，再反测一次，对NPN管，阻值大的那次黑笔接的是E极，红笔接的是C极；对PNP管，阻值小的那次黑笔接的是E极，红笔接的是C极。

### 插针式9013三极管封装

平面面对着你的时候，左边开始依次是e\b\c。9013是这样的，9014印象中也是这样的。

--------------------------------------------------

### c945p 的b，c，e管脚分布

NPN 1,2,3脚分别为BCE

前面的2S有时不写.

A-PNP,高频;

B-PNP,低频;

C-NPN,高频;

D-NPN,低频.

--------------------------------------------------

### 在Orcad中为所有电阻，电容制定pin number

由于在原来的原理图中，电阻和电容的pin number是空的，不能生成网表。可以按照以下方法解决：

1. 选中一个电容（以电容为例）
2. 点击右键，选择edit part
3. 在弹出的窗口中，双击管脚，设定管脚的pin number
4. Options/Package properties->取消Pin number visible
5. 关闭，选择update all, yes。

--------------------------------------------------

### 问题：在PowerPCB中引入新的网表，并不会替换旧的网表。

解决：在PowerPCB中，不是更新Update网表，而是添加网表。所以原有的网络名称被保留。如果想要更新，则需要进入ECO，然后选择需要更新的pin，然后选择delete net (delete connection 可能也可以)，然后再引入网表，问题可以基本解决。

--------------------------------------------------

### Orcad生成Allegro网表和PADS网表

生成allegro网表：Tools/Creat Netlist…/others/accel.dll ，扩展名为.net。

生成PowerPCB网表：Tools/Creat Netlist…/others/pads2k.dll ，扩展名为.asc。

--------------------------------------------------

### POWERPCB线宽显示太细，没法调粗。

修改设置：setup/preferences/minimum display width->8

--------------------------------------------------

### 问题：PowerPCB中引入orcad生成的网表，发现某些封装不能够被识别

解决方法：在PowerPCB中打开对应的封装，然后另存为，名字不变。然后ok，ok，ok

--------------------------------------------------

2005-9-23

### 阻焊层的作用

1. 阻焊层是电路板上绿色或棕色的那一层。它是绝缘的。在阻焊层上面一般有丝印层。阻焊层包着铜皮和铜线，防止他们裸露在外面。
2. 一般来说阻焊层只要略大于焊盘即可。如果小于焊盘，会将芯片管脚盖住一部分。
3. 阻焊层相当于在管脚处开窗。

--------------------------------------------------

2005-9-26

### 在Allegro中填充焊盘

Setup->drawing opthings->display->Filled pads

--------------------------------------------------

2005-9-28

### Allegro中显示和隐藏指定net

Display/Show rats/all

Display/Bland rats/net 然后选择GND。这样就把GND这个net的飞线隐藏了。

--------------------------------------------------

2005-10-12

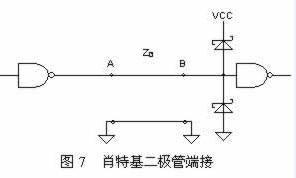
### 用来固定分立元件的胶状物质叫：热溶胶

--------------------------------------------------

2005-11-9

### 如何进行阻抗匹配来保持较好的信号完整性

* 在驱动端（源端）采用串联匹配：匹配电阻值>=用传输线的特性阻抗－驱动端的输出阻抗。匹配阻抗稍大是为了使反射波轻微的过阻尼。其特点是功耗较小，可以有效的减小信号的过冲和发射；可提供限流作用，从而减小地弹噪声。串行匹配的缺点：由于电阻分压作用，到达负载端的信号幅度会减小；信号的上升和下降时间都会延长，因此不太适合高频时钟信号；另外，在2TD时间内（TD为信号从源端到负载端的传输延迟），由于反射信号的影响，线上的电平为不确定态。
* 在负载端采用并行匹配：1. 在负载端下拉一个大小为Z0的匹配电阻，但是为了维持TTL电平，要求驱动端必须提供电流高达48mA，一般的芯片很难达到要求（不可取）。2. 采用戴维南并行匹配：在负载端同时加上上拉电阻和下拉电阻。两个电阻的并联阻值等于传输线特性阻抗。但是这种电路直流功耗较大（不可取）。3. 主动并行匹配：在负载端加一个电阻并上拉到Vbias，Vbias的电压值在VCC和地之间，使其具有吸电流和灌电流的能力。4. 并行AC匹配：在负载端下拉电容电阻串联网络（先电容、后电阻）。电容必须大于100pf，一般选择0.1uf的多层陶瓷电容，电阻小于等于传输线特性阻抗Z0。这种方法无直流功耗。5. 二极管并行匹配：采用肖特基二极管或快速开关硅管进行端接。条件是二极管的开关速度是至少比信号上升时间块4倍。如果在系统调试的时候出现振铃，可以很方便的加入两个二极管进行VCC->信号，信号->地的端接。缺点：不适用高速系统。



--------------------------------------------------

2005-12-9

### 修改机器名后Cadence license问题

1. 我的电脑->右键->属性->高级->环境变量设置->修改CDS\_LIC\_FILE变量相应的位置为你的机器名
2. 修改lisence.dat中你的机器名
3. 运行program->license Manager tools->start/stop/reread->点击reread->点击start server。
4. Over

--------------------------------------------------

2005-12-30

### 在PowerPCB上加滴泪teardrops

1. Setup🡪Preferences🡪Routing tag🡪Generate Teardrops
2. Setup🡪Preferences🡪teardrops tag🡪Choose display tear drops🡪choose auto adjust🡪apply

技巧：当选择上面两个选项，apply后，pcb的过孔基本就都变成滴泪状的了。如果你在某个管脚上不希望用滴泪，可以在布线的时候在距离其焊盘很近的地方点一下，Powerpcb就不会把这个焊盘弄成滴泪了。

--------------------------------------------------

2006-1-10

### Allegro计算差分线阻抗

Setup🡪Constraints🡪Electrical constraint sets…🡪DiffPair Values🡪Calculator…

然后，选择不同的layer，小圆点表示将最终求哪个量，一般选择Differential impedance.然后修改Line width线宽和imary gap线间距，然后就可以算出差分阻抗和单线的阻抗。

--------------------------------------------------

2006-01-17

### EMI问题

首先，对于大脑里面一定要清楚一个概念－－在高频里面，自由空间的阻抗是377欧姆，对于一般的EMI中的空间辐射来说，是由于信号的回路到了可以和空间阻抗相比拟的地步，因而信号通过空间“辐射”出来。了解了这一点，要做的就是把信号回路的阻抗降下来。

控制信号回路的阻抗，主要的办法是缩短信号的长度，减少回路的面积，其次是采取合理的端接，控制回路的反射。其实控制信号回路的一个最简单的办法就是对重点信号进行包地处理（在两边最近的距离走地线，尤其是双面板要特别注意，因为双面微带模型阻抗有150欧姆，和自由空间布相上下，而包地可以提供几十欧姆的阻抗），请注意由于走线本身在高频里面也是有阻抗的，所以最好采用地平面或者地线多次接过孔到地平面。我很多的设计都是在采用包地以后，避免了时钟信号的辐射超标。

另外就是要避免信号穿越被分割的区域，很多工程师信号对地进行分割，但有时候又忘记了，把线布过了这些区域，结果造成信号回路绕过很大的区域，无形中增加了布线长度。

对于EMI传导的部分，重点是要用好旁路电容和去藕电容。旁路电容（提供一条交流短路线）一定要以最短的连线布置在芯片电源管脚和地线（平面）上。去藕电容要放在电流需求变化最大的地方，避免因为走线的阻抗（电感），让噪声从电源和地线上耦合出去。当然，合理串联使用磁珠，可以“吸收”（转换成热能）这些噪声。电感有时也可以用来滤除噪声，但是请注意电感本身也是有频率响应范围的，而且封装也决定其频率响应……

--------------------------------------------------

### TUBE, TRAY, REEL

是元件的包装方式，tube是管装，就是一个塑料管里面一个个首尾相接装进去的。tray是盘装，是一个个方形塑料盘，每个盘子里有放置元件的凹槽，一排排的，装满后一层一层叠起来。还有一种是reel，料卷，和放电影的胶卷盘一模一样。

--------------------------------------------------

### 电阻的标称值

精度为5％的碳膜电阻，以欧姆为单位的标称值：

1.0 5.6 33 160 820 3.9K 20K 100K 510K 2.7M

1.1 6.2 36 180 910 4.3K 22K 110K 560K 3M

1.2 6.8 39 200 1K 4.7K 24K 120K 620K 3.3M

1.3 7.5 43 220 1.1K 5.1K 27K 130K 680K 3.6M

1.5 8.2 47 240 1.2K 5.6K 30K 150K 750K 3.9M

1.6 9.1 51 270 1.3K 6.2K 33K 160K 820K 4.3M

1.8 10 56 300 1.5K 6.6K 36K 180K 910K 4.7M

2.0 11 62 330 1.6K 7.5K 39K 200K 1M 5.1M

2.2 12 68 360 1.8K 8.2K 43K 220K 1.1M 5.6M

2.4 13 75 390 2K 9.1K 47K 240K 1.2M 6.2M

2.7 15 82 430 2.2K 10K 51K 270K 1.3M 6.8M

3.0 16 91 470 2.4K 11K 56K 300K 1.5M 7.5M

3.3 18 100 510 2.7K 12K 62K 330K 1.6M 8.2M

3.6 20 110 560 3K 13K 68K 360K 1.8M 9.1M

3.9 22 120 620 3.2K 15K 75K 390K 2M 10M

4.3 24 130 680 3.3K 16K 82K 430K 2.2M 15M

4.7 27 150 750 3.6K 18K 91K 470K 2.4M 22M

5.1 30

精度为1％的金属膜电阻，以欧姆为单位的标称值：

10 33 100 332 1K 3.32K 10.5K 34K 107K 357K

10.2 33.2 102 340 1.02K 3.4K 10.7K 34.8K 110K 360K

10.5 34 105 348 1.05K 3.48K 11K 35.7K 113K 365K

10.7 34.8 107 350 1.07K 3.57K 11.3K 36K 115K 374K

11 35.7 110 357 1.1K 3.6K 11.5K 36.5K 118K 383K

11.3 36 113 360 1.13K 3.65K 11.8K 37.4K 120K 390K

11.5 36.5 115 365 1.15K 3.74K 12K 38.3K 121K 392K

11.8 37.4 118 374 1.18K 3.83K 12.1K 39K 124K 402K

12 38.3 120 383 1.2K 3.9K 12.4K 39.2K 127K 412K

12.1 39 121 390 1.21K 3.92K 12.7K 40.2K 130K 422K

12.4 39.2 124 392 1.24K 4.02K 13K 41.2K 133K 430K

12.7 40.2 127 402 1.27K 4.12K 13.3K 42.2K 137K 432K

13 41.2 130 412 1.3K 4.22K 13.7K 43K 140K 442K

13.3 42.2 133 422 1.33K 4.32K 14K 43.2K 143K 453K

13.7 43 137 430 1.37K 4.42K 14.3K 44.2K 147K 464K

14 43.2 140 432 1.4K 4.53K 14.7K 45.3K 150K 470K

14.3 44.2 143 442 1.43K 4.64K 15K 46.4K 154K 475K

14.7 45.3 147 453 1.47K 4.7K 15.4K 47K 158K 487K

15 46.4 150 464 1.5K 4.75K 15.8K 47.5K 160K 499K

15.4 47 154 470 1.54K 4.87K 16K 48.7K 162K 511K

15.8 47.5 158 475 1.58K 4.99K 16.2K 49.9K 165K 523K

16 48.7 160 487 1.6K 5.1K 16.5K 51K 169K 536K

16.2 49.9 162 499 1.62K 5.11K 16.9K 51.1K 174K 549K

16.5 51 165 510 1.65K 5.23K 17.4K 52.3K 178K 560K

16.9 51.1 169 511 1.69K 5.36K 17.8K 53.6K 180K 562K

17.4 52.3 174 523 1.74K 5.49K 18K 54.9K 182K 576K

17.8 53.6 178 536 1.78K 5.6K 18.2K 56K 187K 590K

18 54.9 180 549 1.8K 5.62K 18.7K 56.2K 191K 604K

18.2 56 182 560 1.82K 5.76K 19.1K 57.6K 196K 619K

18.7 56.2 187 562 1.87K 5.9K 19.6K 59K 200K 620K

19.1 57.6 191 565 1.91K 6.04K 20K 60.4K 205K 634K

19.6 59 196 578 1.96K 6.19K 20.5K 61.9K 210K 649K

20 60.4 200 590 2K 6.2K 21K 62K 215K 665K

20.5 61.9 205 604 2.05K 6.34K 21.5K 63.4K 220K 680K

21 62 210 619 2.1K 6.49K 22K 64.9K 221K 681K

21.5 63.4 215 620 2.15K 6.65K 22.1K 66.5K 226K 698K

22 64.9 220 634 2.2K 6.8K 22.6K 68K 232K 715K

22.1 66.5 221 649 2.21K 6.81K 23.2K 68.1K 237K 732K

22.6 68 226 665 2.26K 6.98K 23.7K 69.8K 240K 750K

23.2 68.1 232 680 2.32K 7.15K 24K 71.5K 243K 768K

23.7 69.8 237 681 2.37 7.32K 24.3K 73.2K 249K 787K

24 71.5 240 698 2.4K 7.5K 24.9K 75K 255K 806K

24.3 73.2 243 715 2.43K 7.68K 25.5K 76.8K 261K 820K

24.7 75 249 732 2.49K 7.87K 26.1K 78.7K 267K 825K

24.9 75.5 255 750 2.55K 8.06K 26.7K 80.6K 270K 845K

25.5 76.8 261 768 2.61K 8.2K 27K 82K 274K 866K

26.1 78.7 267 787 2.67K 8.25K 27.4K 82.5K 280K 887K

26.7 80.6 270 806 2.7K 8.45K 28K 84.5K 287K 909K

27 82 274 820 2.74K 8.66K 28.7K 86.6K 294K 910K

27.4 82.5 280 825 2.8K 8.8K 29.4K 88.7K 300K 931K

28 84.5 287 845 2.87K 8.87K 30K 90.9K 301K 953K

28.7 86.6 294 866 2.94K 9.09K 30.1K 91K 309K 976K

29.4 88.7 300 887 3.0K 9.1K 30.9K 93.1K 316K 1.0M

30 90.9 301 909 3.01K 9.31K 31.6K 95.3K 324K 1.5M

30.1 91 309 910 3.09K 9.53K 32.4K 97.6K 330K 2.2M

30.9 93.1 316 931 3.16K 9.76K 33K 100K 332K

31.6 95.3 324 953 3.24K 10K 33.2K 102K 340K

32.4 97.6 330 976 3.3K 10.2K 33.6K 105K 348K

--------------------------------------------------

### PCB、PWB、FPC的定义和区别

PCB:是英文Printed circuit board的缩写，正式译文是印制电路板或印制线路板，或印刷线路板；包括印制线路图形和印制元件；

PWB:是英文Printed wire board的缩写，正式译文是印刷线路板，是英国人早期的叫法，因为当时线路板上只有线路图，而没有印制元件等，所以属于较为原始的板子；由于传统好多英国人和部分香港人还称线路板为PWB；

FPC:是柔性线路板简称，又称软板，英文是Flexible printed board的缩写。

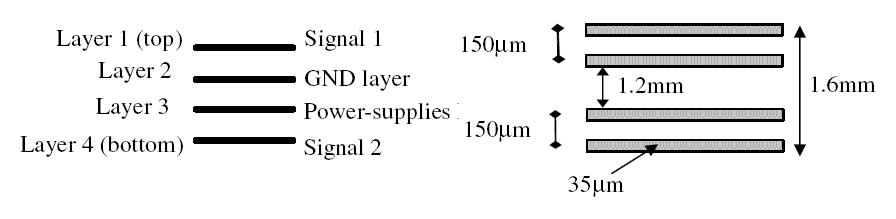
--------------------------------------------------

### Intel flash and AMD flash 的区别

二者的读操作是完全兼容的；只有写操作会有不同。

--------------------------------------------------

### 4-Layer PCB Stack up Definition(Stackup)



--------------------------------------------------

### Some documents needed for HW design

DC Specification: which specify what the Min and max output voltage/current is when the pin outputs high and low. And what is the threshold of voltage when the pin is in input status.

We need ST’s support and related documentations. Especially any development experience of 7100 is urgently needed.

1. The latest data sheet. We have rev-B now.

2. The SCH and PCB in EDA file(not pdf) of the reference design. (Orcad capture cis / powerpcb or allegro are preferred.)

3. The experience of development of 7100 and your suggestion

4. Application note.

5. Any demo or successful case of IPTV based on 7100.

6. Can we get the reference board?

7. Is there STi7100 reference software? What features can be shown in this version?

8. What is current state of Linux/SH4 running on STi7100?

9. Bug list, difference between versions of 7100 in software and hardware

10. User guide

11. Design guide

--------------------------------------------------

### PCB default Stackup

1-2 2-3 3-4 4-5 5-6 6-7 7-8 8-9 9-10 10-11 11-12

1.6mm四层板 0.36 0.71 0.36

2.0mm四层板 0.36 1.13 0.36

2.5mm四层板 0.40 1.53 0.40

3.0mm四层板 0.40 1.93 0.40

1.6mm六层板 0.24 0.33 0.21 0.33 0.24

2.0mm六层板 0.24 0.46 0.36 0.46 0.24

2.5mm六层板 0.24 0.71 0.36 0.71 0.24

3.0mm六层板 0.24 0.93 0.40 0.93 0.24

1.6mm八层板 0.14 0.24 0.14 0.24 0.14 0.24 0.14

2.0mm八层板 0.24 0.24 0.24 0.24 0.24 0.24 0.24

2.5mm八层板 0.40 0.24 0.36 0.24 0.36 0.24 0.40

3.0mm八层板 0.40 0.41 0.36 0.41 0.36 0.41 0.40

1.6mm十层板 0.14 0.14 0.14 0.14 0.14 0.14 0.14 0.14 0.14

2.0mm十层板 0.24 0.14 0.24 0.14 0.14 0.14 0.24 0.14 0.24

2.5mm十层板 0.24 0.24 0.24 0.24 0.21 0.24 0.24 0.24 0.24

3.0mm十层板 0.24 0.33 0.24 0.33 0.36 0.33 0.24 0.33 0.24

2.0mm 12层板 0.14 0.14 0.14 0.14 0.14 0.14 0.14 0.14 0.14 0.14 0.14

2.5mm 12层板 0.24 0.14 0.24 0.14 0.24 0.14 0.24 0.14 0.24 0.14 0.24

3.0mm 12层板 0.24 0.24 0.24 0.24 0.24 0.24 0.24 0.24 0.24 0.24 0.24

--------------------------------------------------

### Snake Lines in powerPCB (蛇行走线)

1. To maintain the same length for Data and Address Lines
2. Acted as an inductor.
3. Should obey the ‘3W’ rules. i.e. The interval is 2 time of wire width, which can counteract 78% of the mutual induction.

--------------------------------------------------

### PowerPCB 快捷键

命令字符命令 含义及用途

C 补充格式， 在内层负片设计时用来显示Plane 层的焊盘及Thermal。使用方法是， 从键盘上输入C 显示， 再次输入C 可去除显示。

D 打开/关闭当前层显示， 使用方法是， 从键盘上输入D 来切换。建议设计时用D 将Display Current Layer Last＝ＯＮ 的状态下。. DO 贯通孔外形显示切换。ＯＮ时孔径高亮显示， 焊盘则以底色调显示。使用方法是， 从键盘上输入DＯ 来切换。

E 布线终止方式切换， 可在下列３ 种方式间切换。End No Via 布线时Ｃtrl+点击时配线以无VIA 方式终止End Via 布线时Ｃtrl+点击时配线以VIA 方式终止End Test Point 布线时Ｃtrl+点击时配线以测试PIN 的VIA 方式终止使用方法是， 从键盘上输入E 来切换。

I 数据库完整性测试， 设计过程中发现系统异常时， 可试着敲此键。

L <n> 改变当前层到新的n 层（F4也可换层）

<n> 可为数字或是名字， 如(L 2) or (L top)。

N <s> 用来让NET 高亮显示，<s>为要显示的信号名。可以堆栈方式逐个显示信号， 如N GND 会高亮显示整个GND。N-会逐个去除信号N 将会去除所有的高亮信号

O <r> 选择用外形线来显示焊盘与配线。

PO 自动敷铜外形线on/off 切换。

Q 快速测量命令。可以快速.测量dx，dy 和d 。注意精确测量时将状态框中的Snaps to the design grid 取消。

QL 快速测量配线长度。可对线段、网络、配线对进行测量。测量方式如下： 首先选择线段、网络或者配线对， 然后输入QL 就会得到相关长度报告。

R <n> 改变显示线宽到 <n>, 如, R 50。RV 在输出再使用文件 Reuse 时， 用于切换参数设定。有关详细信息请参见 "To Make a Like Reuse in Object Mode" SPD 显示 split/mixed planes 层数据， 该命令控制 split/mixed planes 参数对话框中的一个参数。SPI 显示 plane 层的thermal 。该命令控制 split/mixed planes 参数对话框中的一个参数。SPO 显示 split/mixed planes 层的外形线。该命令控制 split/mixed planes 参数对话框中的一个参数。T 透明显示切换。在复杂板子设计时很有用。Text 文字外形线显示切换。

W <n> 改变线宽到<n>， 如W 5 。

数字键盘命令：

7 全部显示 8 向上移动一个栅格 9 缩小 4 向左移动一个栅格 6 向右移动一个栅格 1 刷新 2向下移动一个栅格 3 放大 0中心显示 。 删除被选目标

双击鼠标左键进入走线模式（也可以F2）

POWERPCB快捷键分享

设置通孔显示模式：D+O

设置铜只显示外框形式：P+O

改变当前层：L（如改当前层为第二层，为L2）

测量：从当前位置开始测量：Q

改变线宽：W

设置栅格：G

对找元件管脚或元件：S

寻找绝对坐标点：S（n）(n)

改变走线角度：AA任意角，AD斜角，AO直角

取消当前操作：UN，如UN(1)为取消前一个操作

重复多次操作：RE

设计规则检查：打开:DRP,关闭：DRO，忽略设计规则：DRI，

以无过孔形式暂停走线：E

锁定当前操作层对：PL(n)(n)

选择当前过孔使用模式： 自动过孔选择：VA

埋孔或盲孔：VP

通孔模式：VT

保存：CTRL+S

打开：CTRL+O

新建：CTRL+N

选择全部：CTRL+A

全屏显示：CTRL+W

移动：CTRL+E

翻转：CTRL+F

任意角度翻转：CTRL+I

高亮：CTRL+H

查询与修改：CTRL+Q

45度翻转：CTRL+R

增加走线：F2

锁定层对：F4

选择网络：F6

选择管脚对：F5

--------------------------------------------------

### 有源晶振管脚分布



--------------------------------------------------

### Capture (Orcad)中为Hierarchical Port增加IREF Page连接

1. 选中\*.dsn
2. Tools\Annotate\Add intersheet reference\确定
3. Prefix < suffix >
4. OK

--------------------------------------------------

### Cadence script设置

将编写的脚本拷贝至D:\Cadence\PSD\_15.1\share\pcb\text\script

--------------------------------------------------

### Capture库管理

1. 进入control panel🡪administrator tool🡪data sources(ODBC)🡪system DSN tab🡪Add🡪driver do Microsoft access(\*.mdb)
2. Capture🡪Options🡪CIS Configuration File🡪

--------------------------------------------------

### PCB制作工艺术语

1. BGA PAD公差+/-1mil。一般来说etch的间隔(pad to via, pad to trace, via to trace, etc.)为4mil的pcb可以大批量生产。如果BAG公差为1.5mil, 需要计算最小间隔，如果超过4mil，即可。
2. 因为特性阻抗是平滑的，如果能够保证在800-1750范围内是50Ohm，那么在1750～1900范围内也不会下降太多。
3. Fiducial Mark点。为光学定位点。在SMT时用来对准PCB。PCB上器件间距为12mil。如果Fiducial Mark点公差为3mil，那么元件间距最差可能为12－3=9mil。而通常，元件间距只有超过10mil才是安全可量产的。所以，公差应尽量保持在+/-1.5mil上；另外，同一元件的Pin间距安全距离为5mil以上。
4. 工具孔为拼板边上，制作PCB时打在工艺边上，用来固定的孔；工艺条连接着邮票孔。

--------------------------------------------------

### CIS CONFIG

VPTN Part number

Value value

PCB\_FOOTPRINT PCB FOOTPRINT

FOOTPRINTOLD FOOTPRINTOLD

DESCRIPTION DESCRIPTION

SPEC\_SHEETS SPEC\_SHEETS

PART\_TYPE PART TYPE

PART\_NUMBER manufacture’s part number

Manufacture Manufacture

--------------------------------------------------

### Capture快捷键

C: 以光标所指为新的窗口显示中心 W: 画线On/Off

P: 快速放置元件 R: 元件旋转90°

N: 放置网络标号 J : 放置节点On/Off

F: 放置电源 H: 元件标号左右翻转

G: 放置地 V: 元件标号上下翻转

B: 放置总线On/Off Y: 画多边形

E: 放置总线端口 T: 放置TEXT

PageUp : 上移一个窗口 Ctrl+ PageUp : 左移一个窗口

PageDn : 下移一个窗口 Ctrl+ PageDn : 右移一个窗口

Ctrl+F: 查找元件 Ctrl+E: 编辑元件属性

Ctrl+C: 复制 Ctrl+V: 粘贴

Ctrl+Z: 撤消操作

--------------------------------------------------

### Capture occurrence and instance

交互布局/黄色属性/CIS属性

近日做个项目,做PCB,工具ORCAD+ALLEGRO15.5.原理图由于画的不规范,导网表到ALLEGRO后,交互布局时发现有的元件可以交互选择,有的却不可以.百思不得解.后感觉可能是在不经意的修改中造成了元件属性A和B的不同（正常情况B和A的属性完全相同)，试试选中dsn文件，然后在菜单Design中选择：Remove Occurrence Properties，选择Yes！保留A属性.(如果我需要B属性而非A属性怎么办呢？同样选中dsn，然后执行菜单Accessories>Transfor Occ. prop. to Instance>Push Occ. Prop to Instance. ).使A.B属性一致.再导网表到ALLEGRO PCB.问题解决.

--------------------------------------------------

### PCB EMC设计

参考华为资料：[E:\sz\Personal\VIA\_SPEC\VIA\_Flows\Design\_Spec\PCB设计指南\华为内部资料-PCB的EMC设计指南.pdf](file:///E:\sz\Personal\VIA_SPEC\VIA_Flows\Design_Spec\PCB设计指南\华为内部资料-PCB的EMC设计指南.pdf)。

--------------------------------------------------

### VIA PCB 元器件库标准

参考VIA内部目录：[E:\sz\Personal\VIA\_SPEC\VIA\_Flows\Design\_Spec\PCB设计指南\元器件PCB封装参数设置](file:///E:\sz\Personal\VIA_SPEC\VIA_Flows\Design_Spec\PCB设计指南\元器件PCB封装参数设置)。

--------------------------------------------------

### PCB SMT钢网厚度

Titan的钢网厚度是0.12mm，如果有0.4mm pitch芯片的话，会开成0.1mm

--------------------------------------------------

### 3w规则和3H规则

为了减少线间串扰，应保证线间距足够大，当线中心距不少于3倍线宽时，则可保持70%的电场不互相干扰，称为3W规则。如要达到98%的电场不互相干扰，可使用10W规则。

3W原则是与3H原则配合使用的（其实主要是3H原则，3w原则可以减小磁场干扰，3H原则可以减小电场干扰），如果信号频率很高（或者说上升沿或下降沿时间很短），主要还是特别留意满足3H原则（设信号线到参考层的距离为H,则线间距应不小于3H）

--------------------------------------------------

### DDR/DDR2布线

1. 时钟：差分布线，差分阻抗100ohm~120ohm。线宽、间距根据叠层结构仿真计算出来。与其他走线满足3w规则。误差长度在30mil以内
2. 地址，片选及其他控制线：单端50ohm；按菊花链拓扑结构连接；可比DDR CLK线长1000~2500mil，绝对不能短。
3. DDR数据线，DQS，RDM线：单端50ohm。最好在同一层。数据线与时钟线的线长差控制在50mil内。特别注意DQS走线，要满足3w规则

--------------------------------------------------

### 注重DDR电路的信号完整性

目前很多高清数字机顶盒都采用了DDR存储器， DDR是Double Data Rate的缩写，意为双倍数据速率。普通的SDRAM只是在时钟的上升沿进行一次数据传输，而DDR SDRAM可以在时钟的上升及下降沿各进行一次数据传输，从而达到双倍数据传输速率的效果。

数字机顶盒工作时有大量的数据在DDR和CPU之间高速传输，要想确保产品能长期稳定地工作，首先要可靠地传输各种信号，当DDR数据速率高达几百Mb/s时，数据窗口非常短，使得PCB布局和布线成为新的挑战，若设计不合理将会破坏信号完整性，使数据、地址和控制信号产生畸变或定时错误，严重时将导致系统误工作甚至崩溃。笔者曾多次遇到高清数字机顶盒莫名其妙的死机现象，调试非常困难，其根本原因是信号完整性问题。

DDR信号的特点

以海力士公司的HY5DU561622CT为例，介绍DDR信号的基本特点。该芯片时钟脉冲频率200MHz，时钟周期为5ns，如图1所示。由于数据是在CK的上升和下降沿触发，使数据传输周期缩短了一半，每引脚的最大数据传输率达400Mb/s。为了确保数据的正确传输，要求CK的上下沿间距要有精确的控制。但因为温度、器件性能变化等原因，CK上下沿间距可能发生变化，这时与其反相的/CK就能起到纠正偏差的作用，当CK出现上升快下降慢的情况时，相应的/CK则是上升慢下降快，起到触发时钟校准的作用，这是DDR采用差分时钟的优点。

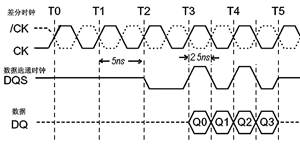


图1 DDR读操作时序图

DDR与普通SDRAM的另外一个差别是增加了数据选通脉冲DQS信号，在接收端使用DQS来读出相应的数据DQ，上升沿和下降沿都有效。 DQS和DQ都是三态信号，在PCB走线上双向传输，读操作时，DQS信号的边沿在时序上与DQ的信号边沿处对齐，而写操作时，DQS信号的边沿在时序上与DQ信号的中心处对齐。

信号完整性的概念

信号完整性（Signal Integrity，简称SI）指**信号在电路中以正确的时序和幅度做出响应的能力**，可理解为信号在**线路上的传输质量**。信号完整性问题与信号时序、信号在传输线上的传输延迟、信号波形的失真程度等密切相关。高速DDR设计应全面考虑信号完整性问题，破坏信号完整性的主要原因有**反射、串扰和地弹等**。在高频 PCB设计中要认真考虑**时钟线、信号线、电源分配和地线回路，还要考虑噪声容限、负载匹配和传输线**效应等因素，随着信号工作频率的不断提高，信号完整性问题已经成为设计高速DDR电路关注的焦点。下面具体分析信号完整性问题的产生及解决方法。

避免对信号完整性的影响

1 反射

反射（Reflection）会使合成信号形成过冲，导致信号波形在逻辑门限附近波动，如图2所示。信号在跳变的过程中可能跨越逻辑电平门限，多次跨越逻辑电平门限则会导致逻辑功能紊乱。**产生反射的原因是信号传输线两端的阻抗不匹配**。

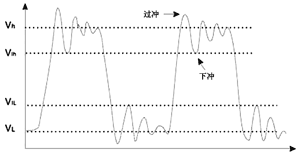


图2 反射导致过冲示意图

消除反射的根本办法是使阻抗具有良好的**匹配**，负载阻抗与传输线的特性阻抗相差越大反射也越大，所以应尽可能使信号传输线的**特性阻抗与负载阻抗**相等。同时还要注意PCB上的传输线**不能出现突变或拐角**，尽量保持传输线各点的阻抗连续，否则在传输线的各段之间也将会出现反射。

2 串扰

信号之间由于电磁场的相互耦合而产生的不期望的噪声信号称为串扰（Crosstalk）。串扰是指没有直接连接的信号线之间的耦合现象。由于高频信号沿着传输线是以电磁波的形式传输的，信号线会起到天线的作用，电磁场的能量会在传输线的周围发射，当高速变化的信号沿传输线A传播时，信号线周围的空间就存在时变的电磁场，如图3所示。这种时变的电磁场会使周围的传输线B产生感生电压，这就是串扰，PCB板层的参数、信号线的间距、驱动端和接收端的电气特性以及信号线端接方式对串扰都有一定的影响。串扰会随着时钟频率的升高和设计尺寸的减小而加大，信号沿的变化率越快，产生的串扰也越大。串扰超出一定的值会使数字信号出现误码，可能引发电路误动作，严重时会导致系统无法正常工作甚至崩溃。

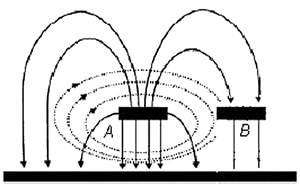


图3 串扰的形成示意图

在高速信号系统设计中，反射属于单信号线现象，当然包括地平面问题。但串扰不同，它是两条信号线之间以及地平面之间的耦合，所以又称为三线系统。形成串扰的根本原因是信号变化引起周边的电磁场发生变化，所以解决串扰的方法主要从减少干扰源强度和切断干扰路径两个方面进行，在设计时要注意以下几点。

● 在数字电路中，通常的时钟信号都是边沿变化快的信号，对外串扰大。所以在设计中，时钟线宜用地线包围起来，并要尽量使用低电压差分时钟信号。

● 在布线空间允许的条件下，在串扰较严重的两条线之间插入一条地线或地平面，可以起到隔离的作用而减小串扰。

● 信号不要形成环路，若无法避免则应使环路面积尽量小。

● 在布线空间许可的前提下，加大相邻信号线之间的间距，减小信号线的平行长度，时钟线尽量与关键信号线垂直而不要平行。

● **闲置不用的输入端不要悬空**，而是将其接地或接电源（电源在高频信号回路中也是地），因为悬空的线有可能等效于发射天线，接地就能抑制发射。实践证明，用这种办法消除串扰有时能立即见效。

3 地弹

地弹（Ground Bounce）通常包括电压跌落和接地反弹，当系统同时转换多个引脚的逻辑状态时，会产生较大的瞬态电流，导致电源线上和地线上电压的波动，电源电压跌落和接地反弹使信号沿出现平台，如图4所示。反弹是噪声来源之一，还可能使时序发生偏移。反弹的噪声影响着阈值的判断，严重时会使系统产生误动作。

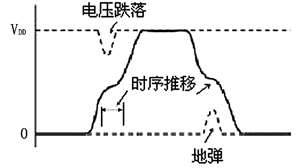


图4 地弹的形成示意图

要抑制反弹的影响，首先是想办法减小电源的摆幅，尽量选用性能好的电源，布局时可对系统进行分割，尽量减小系统中的各种电源之间的互相影响，如数字电源和模拟电源恰当地分区，高速部分与低速部分恰当地分区，分割的目的是要重点保护高速部分。DDR部分是高速接口，对它谨慎处理是保证信号完整性的关键，低速部分的信号完整性相对容易达到要求。

**抑制反弹的另一办法是降低PCB端的分布电感量**。由于电感会随导体的增长而增大，随导体宽度增长而减少，所以高速DDR电路接地回路应尽量宽广，减少其接地端回路的电感量。尽量在PCB的顶层和底层大面积铺铜，这些措施对解决反弹都能起到积极有效的作用。

要抑制反弹还有一个比较简单的方法是选择合适的位置放置去耦电容，必要时可选用高频低阻抗电容，加上适当的去耦电容能有效地抑制电源和地线上的反弹噪声。

**如何测试DDR电路**

DDR总线走线数量多、速度快。以海力士HY5DU561622CT为例，该芯片共有66个引脚， 操作时序复杂，DDR总线容易出现信号完整性问题，诸如时钟信号丢失、信号严重变形、上电时序出错、操作时序违规、协议违规、数据电平错判等。

测量信号的实际质量对判定信号完整性十分重要，就时域测量范围来看，可用示波器观察信号的形态：包括差分时钟波形，信号的上升时间、下降时间、幅值、振铃和过冲等参数。就频域测量范围来看，我们可用频谱仪测定基波和谐波等信息。DDR电路信号众多，必须同时分析多个信号才能确定总线的状态和其他信号时序的正确性，只凭示波器或频谱仪是监测不了的，使用逻辑分析仪是追踪信号完整性的有效途径。逻辑分析仪具有定时分析和状态分析两种分析模式。定时分析是用逻辑分析仪的内部时钟来采集数据，这种分析模式适合于分析各信号线在时间上的相关性。状态分析是采用系统的状态时钟来采集数据，这种分析模式捕获的是总线上的实际数据，有利于对实际数据的判断和协议的分析。

如何使用逻辑分析仪测试DDR的上电时序呢？DDR上电和初始化的过程是:首先VDD上电 ，接着VDDQ上电 ，然后VREF和VTT上电 ，这阶段保持CKE为低电平，满足规定的延迟后，CKE才转为高电平。当各种供电和差分时钟都已进入稳定后，才可以执行操作指令，接着设置模式寄存器，再写入操作参数。这些都必须按照规定的时序进行，如图5所示。

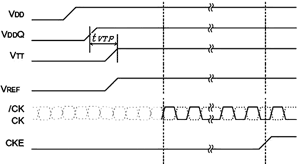


图5 DDR上电时序

测试时可同时把以上信号分别接到逻辑分析仪的不同通道，正确设置有关参数，就可捕获和查看各信号的建立时间、保持时间和延迟，判断上电时序是否正确。逻辑分析仪能同时查看几十路信号，从全局观察和分析信号完整性问题。逻辑分析仪可在复杂的逻辑行为下触发和观察DDR的数据流，还可在发生逻辑故障时触发来观察产生该故障时的信号情况。

结语

设计高清数字机顶盒有许多不同的存储器可选方案。与其他存储器选择相比，DDR的优势是很明显的。但要注意DDR是一个高速而复杂的接口，对系统稳定性具有关键的影响，以前可忽视的信号完整性问题此时此时显得非常重要，在PCB设计中要认真细致考虑反射、串扰和地弹等问题。要确保机顶盒能长期稳定而可靠地工作，研究和测判信号完整性非常关键。

--------------------------------------------------

### PCB Zo特性阻抗计算方法

Zo=sqrt(L/C)，增大电容的方法有：

1. 加宽走线
2. 减小信号层与参考层之间的距离
3. 增加介电常数

因此在评估PCB板阻抗时，如果减小参考层之间的距离，为了保持Zo不变，需要减小走线宽度。

--------------------------------------------------

### Capture常见错误及解决

Capture报错：在生成netlist的时候:

Unable to open c:\Cadence\PSD\_14.2\tools\capture\allegro.cfg for reading. Please correct the above error(s) to proceed

处理办法：

点生成netlist，点setup，修改路径为capture\allegro.cfg所在路径

报错：

Spawning... "C:\Cadence\PSD\_15.1\tools\capture\pstswp.exe" -pst -d "F:\gcht\CC2430\Projects\mysch.dsn" -n "C:\CADENCE\PSD\_15.1\TOOLS\PROJECTS" -c "C:\Cadence\PSD\_15.1\tools\capture\allegro.cfg" -v 3 -j "CC2430\_DEMO"

#1 Error [ALG0012] Property "PCB Footprint" missing from instance U3: SCHEMATIC1, PAGE1 (2.00, 2.10).

#2 Error [ALG0012] Property "PCB Footprint" missing from instance C2: SCHEMATIC1, PAGE1 (2.30, 0.30).

#17 Aborting Netlisting... Please correct the above errors and retry.

Exiting... "C:\Cadence\PSD\_15.1\tools\capture\pstswp.exe" -pst -d "F:\gcht\CC2430\Projects\mysch.dsn" -n "C:\CADENCE\PSD\_15.1\TOOLS\PROJECTS" -c "C:\Cadence\PSD\_15.1\tools\capture\allegro.cfg" -v 3 -j

错误解释

Error [ALG0012] Property "PCB Footprint" missing from part <Part Reference>: <Schematic> , <Page> (<LocationX> , <LocationY)>

A PCB Footprint (JEDEC\_TYPE in Allegro) is required for all parts in Allegro. Therefore all parts without this property are listed before aborting the netlisting. You can add the PCB Footprint property by selecting the part listed, then choosing Edit Properties from the pop-up menu and placing a value, such as dip14\_3, on the part.

在Allegro中，每个器件都需要一个PCB封装。所以在取消列出网表之前，软件会列出所有没有此项的器件。你可以选择列出的器件添加PCB封装，然后选择Edit Properties来编辑器件的值。

在导出Netlist 之前，只需要保证每个器件都是由封装的即可

[DRC0011] Reference is invalid for this part

The reference for the part is invalid. For example, this occurs when a part reference like U?A has not been updated. Update the part reference。

Reference项不可随意修改。

Allegro

Pin numbers do not match. Check device file.

原因：原理图中的晶振给了两个管脚，而其封装却是四个管脚。

原理图与PCB封装对应原则：

除了PCB Footprint的名字要写对以外，还有一点，就是原理图的元件的管脚数目一定要和封装的管脚数目是一样的。这里说的管脚，包括了原理图中可能没有现实的Power Pins,不包括封装中的machanical pins；另外，原理图和封装的对应关系是依靠pin number来建立的，所以两者的相应的pin number一定要一样，而pin number是不是数字并没有关系。

--------------------------------------------------

### CIS生成网表问题

小弟在用16.3的CIS生成网络表,提示错误如下: Catatlog file XMLPARSER.XML does not exist. This file should be there in either the<cdsroot>/share/cdssetup/smi/spsmi or in the CDS\_SITE. Error in initialising SMI error messaging system

请问这是什么问题,是安装的问题吗?

答案: 重装软件能暂时解决问题 但下次保不准还会出现 正确的解决方法是 重新修改path路径就是%CDSROOT%\tools\bin;%CDSROOT%\tools\libutil\bin;%CDSROOT% \tools\fet\bin;%CDSROOT%\tools\pcb\bin;%CDSROOT%\tools\specctra \bin;%CDSROOT%\tools\PSpice;%CDSROOT%\tools\PSpice\Library;%CDSROOT% \tools\Capture;%CDSROOT%\OpenAccess\bin\win32\opt;放到最前面 然后增加D:\Cadence\SPB\_16.3\share\cdssetup\smi\spsmi; 再次产生网表时360会报错 什么信任什么的…… 确定 确定…… 之后软件退出 重启后OK！ just it is

--------------------------------------------------

### 高精度PCB板板厂

中山达进电路板有限公司(可做高精度PCB)

--------------------------------------------------

### 1oz mil

1oz(盎司)=1.35mil=0.03429mm；0.5oz=0.675mil=0.017145mm (from Internet)

1oz=1.378mil=0.03429mm, 0.5oz=0.689mil (from SD)

--------------------------------------------------

### PCB有卤和无卤之分

无卤指的介质是环保材料，如果是在国外销售的产品都需要是无卤；无卤价格贵一些，对于高密度板（比如任意阶孔PCB），也要采用无卤介质。对于普通PCB，有卤和无卤在性能上无差别

--------------------------------------------------

### 3阶PCB

1-2, 1-3,1-4,2-3,2-4,孔

--------------------------------------------------

### Capture unable to place database part无法调用库里元件

在对应Capture.ini文件中增加Dir1=I:\CAD\CIS\DATABASE\

如:

[Part Library Directories]

Dir0=d:\Cadence\SPB\_15.5.1\tools\Capture\Library\

Dir1=I:\CAD\CIS\DATABASE\

--------------------------------------------------

### Win7及以上版本Orcad无法生成网表问题

右键，选择用管理员身份运行程序

--------------------------------------------------

### Allegro设置PCB库

PADS: Setup\User Perferences Editor\padpath Items\expand, 选择Alen的1PAD\_LIBRARY

PSM: Setup\User Perferences Editor\psmpath Items\expand, 选择Alen的1Other\_Symbols和1VTC\_Symbols\_Hangzhou两个库

--------------------------------------------------

### 使用orcad进行pspice仿真

PSpice/Edit Simulation Settings/Configuration Files, Library(Category), Browse chooses lib库里对应的pspice库文件。

pspice lib库: C:\Cadence\SPB\_16.6\tools\pspice\library

原理图 olb库: C:\Cadence\SPB\_16.6\tools\capture\library\pspice

--------------------------------------------------

### Mentor HyperLynx培训

1. 在传输线的匹配方法中，串联电阻匹配是最简单、效果最好的方法。
2. HyperLynx中，在叠层设置中可以计算差分线的差分阻抗。差分线的差分阻抗受差分线的长短影响不大，主要受PCB叠层结构（介质厚度，介电常数），差分线的间距、线的粗细影响。
3. 在HyperLynx中测量总线的crosstalk中，只要仿真三根线即可（旁边两根对中间的影响）。在LineSim中，可以调整设计的拓扑结构，串联电阻匹配；在BoardSim中只可以验证和找到问题，并不能解决问题。因为BoardSim没有布线和修改的功能，只能验证。
4. crosstalk受叠层的结构影响较大。
5. EMC：EMI主要由共模电流引起（例如高频信号跨层）。主要是差模信号（如时钟，总线等）的高频分量在产生EMC干扰。
6. EMC问题需要关注20次以内的谐波；而SI只需要关注5次以下的谐波。EMC关注的是频域内的问题；而SI关注时域的波形；EMC关注的是电流的问题；而SI关注的是电压的问题。
7. SPICE模型精度高，由芯片厂家在生产芯片时使用，但仿真速度慢。并且涉及内部IO的具体结构，容易泄露知识产权。是电路级别的仿真。
8. IBIS内部由‘激励－>相应’的表格构成。是行为级别的仿真。通用的是3.2版本，最高为4.1版本。
9. VHDL-AMS：数模混和行结构。
10. 采用pull-up和pull-down结构进行阻抗匹配，需要消耗较大的功率。
11. Intel主要采用PCI-Express串行差分传输。(2.5GB/s)
12. AMD主要采用HyperTransport串行差分传输。（12.8GB/s）
13. 类似高速串行接口还有：10 Gigabit Ethernet，RapidIO等。
14. 在上G的传输速率的电路板上，每个过孔要产生0.5~1dB的衰减。（一般的衰减容限为10～15dB）
15. 在上G的电路板中，介质对信号的影响要大于趋肤效应。

--------------------------------------------------

### 电烙铁的温度

使用含铅的焊锡丝：温度调整到350度左右；使用无铅的焊锡丝：温度调整到380～400度。不使用电烙铁的时候，将烙铁调整到200度以下。这样可以使烙铁寿命延长三倍。

--------------------------------------------------

### Padstack教程

在ALLEGRO中，建立PCB封装是一件挺复杂的事，而要建立FOOTPRINT，首先要有一个PAD，所以就要新建PADSTACK。焊盘可以分两种，表贴焊盘和通孔焊盘，表贴焊盘结构相对简单，下面首先分析**表贴焊盘**的成分：

regular pad：常规焊盘，就没什么多说了；

thermal relief：热焊盘，它的中文翻译有N多种，但很好理解，就是为了防止散热过快而设计的焊盘；热焊盘对于手工焊的阻散热效果好，对于自动焊接（适用波峰焊，回流焊）没有什么效果，但是要注意，有时候没有热焊盘也会导致一些墓碑效应。现代的PCB工艺倾向于摒弃热焊盘

tips：via不需要thermal relief，因为它根本就不用于焊接；

anti pad：隔离焊盘，用于通孔焊盘在不连接周围铜皮时使用

solder mask：焊接掩膜，这是一个阴层，即到时候上绿油的时候，该掩膜范围内是不上阻焊的绿油的

paste mask：上锡掩膜，SMD打件时，钢网开口就是根据这个掩膜

下面增加几点经验参数设置：

　　1、soldermask一般比regular pad大4mil，即0.1个毫米，变相增加了上锡焊盘的面积

　　2、通孔焊盘的pastemask设置为空（null），及通孔焊盘不需要钢网开孔

　　3、Allegro中看到通孔焊盘有三个圈，从小到大一般为通孔开孔，焊盘外径和焊盘标记（drill legend）的圈

　　最后，小结一下焊盘的制作方法：

　　表面贴装焊盘：regularpad设置为对应封装的land pattern的尺寸

　　　　　　　　   thermal relief和anti pad都设置为比regular pad大10个mil，即0.25个毫米

　　　　　　　　　solder mask设置为比regular pad大4mil，即0.1mm

　　　　　　　　　paste mask设置为与regular pad一般大

　　通孔类焊盘：内层和底层与上层用同样设置，paste mask设置为null

　　过孔（特例）：它的solder mask需设置为null，因为它不需要焊接，孔径又小，直接用绝缘漆覆盖即可

--------------------------------------------------

--------------------------------------------------

--------------------------------------------------

### 末尾