### [模拟电路总结末尾](#_模拟电路总结末尾)

-----------------------------------------------------------------------------------------------------------------------------------

### The Art of Electronics

-----------------------------------------------------------------------------------------------------------------------------------

### JFET的miller效应

由于JFET管的栅—漏电容的存在，使得JFET做源随器的时候，不能输入过高频率（miller效应）。解决方法

1. 降低输入阻抗，一般为50ohm
2. 在栅-漏之间加LC电路，使得在高频处谐振。

-----------------------------------------------------------------------------------------------------------------------------------

### BJT的miller效应

BJT的射随器，由于Cbc的存在，而导致高频下，输入阻抗变低。

1. 共基和电流源做集电极负载这两种电路miller效应不明显。
2. miller效应产生，由于输入电压变换Vb，集电极电压变换βVb（由于电流的放大）。导致电容两边电压变化为β＋1倍，相当于等下基极电容为(β+1)Cbc，这个电容不可忽略，在高频下将严重降低输入阻抗

-----------------------------------------------------------------------------------------------------------------------------------

### FET管

1. JFET只有耗尽型(Vgs为0时，就有电流流过管子)
2. JFET没有功率管，只有MOSFET才有功率管
3. FET的放大倍数不稳定(管子与管子之间)

-----------------------------------------------------------------------------------------------------------------------------------

### BJT管

1. 射随器的基极偏置可以通过“自举电路”来提升交流输入阻抗
2. 共射放大器为了解决-2.1mV/℃的温漂，可以在发射机增加RC并联电路，增加R可以提升Vb的电压，减少温漂的影响；增加C为了降低交流阻抗，提高gm，进而提高放大倍数。
3. 共射放大器使用电流源做集电极负载，可以增加放大器倍数。
4. 射随器适合做输入和输出缓冲的电路。

-----------------------------------------------------------------------------------------------------------------------------------

### CMOS管缺点

1. CMOS是互补金属氧化物半导体，由一个PMOS和NMOS串联组成。
2. CMOS优点是近似为0的静态功耗，功耗只消耗在寄生电容上。
3. CMOS缺点是及其容易被静电破坏。

-----------------------------------------------------------------------------------------------------------------------------------

### MOS管

1. 功率MOS管(VMOS, TMOS, DMOS)等，可以承受很大的电压1000V，很大的电流280A，以及很小的导通电阻0.02ohm。
2. 对于有可能有ESD风险/输入饱和的器件，需要上拉和下拉ESD二极管。
3. 功率MOS管没有热损耗和二次击穿问题。温度稳定性好：负温度。二次击穿是指：双极型功率管在电流较大时，随着BE结温度的升高，会出现电流错乱的情况。这个电流错乱会引起局部的热损耗。因此双极型功率管需要工作在安全区范围之内。
4. 由于MOS管存在动态栅极电流，而I=C\*ΔV/Δt，可能在DG间产生一个大的电压突变。因此通常在栅极串联一个电阻，阻值在100ohm~10K，在速度和保护之间寻找一个折中方案。尤其当栅极的输入信号来自其他电路时。
5. MOS管栅极悬空，也会导致管子由于静电损坏。
6. 厂商通常将 功率MOS管的管体和源极连接在一起，形成一个漏(二极管负)-源(二极管正)二极管。说明：a. 功率mos管不能双向使用；b. 源漏之间的电压不能超过一个二极管的压降。

-----------------------------------------------------------------------------------------------------------------------------------

### 运算放大器

1. 反馈电路损耗了运放的增益；但是在线性度，平坦度等性能方面有了提高。
2. 运算放大器的开环增益被认为是无限大，因此放大倍数往往取决于反馈。当然这一推论在非常细致的电路中不适用。
3. 运放输出接三极管基极，需要在基极反接二极管到GND，因为运放很容易输出-5V，而Vbe反偏超过5V就会损毁三极管。

-----------------------------------------------------------------------------------------------------------------------------------

### 运放的两个黄金规则

1. 输出不论做什么，都是为了使输入差为0
2. 流入运放的电流为0

-----------------------------------------------------------------------------------------------------------------------------------

### 稳压管

1. 齐纳稳压二极管使用电阻驱动，会有抖动；可以使用电流源来驱动稳压二极管。

-----------------------------------------------------------------------------------------------------------------------------------

### 晶体振荡器电路



1. Cp is shunt capacitance, the capacitance because of package and holder.



1. 如图所示为推荐的晶振振荡电路图。晶振处于并联谐振模式。反相器在芯片内体现为一个AB型放大器，它将输入的电量相移大约180°后输出；并且由晶振，R1，C1和C2组成的π型网络产生另外180°的相移。所以整个环路的相移为360°。这满足了保持振荡的一个条件。其它的条件，比如正确起振和保持振荡，则要求闭环增益应≥1。
2. 反相器附近的电阻Rf产生负反馈，它将反相器设定在中间补偿区附近，使反相器工作在高增益线性区域。电阻值很高，范围通常在500Kohm~2Mohm内。
3. 对晶振来讲，C1和 C2 组成负载电容。和晶振来匹配最好的电容(CL)，晶振厂家都有说明。C1和 C2的计算式为 CL=(C1\*C2)/(C1+C2)+Cs。这里CS是PCB的漂移电容（stray capacitance），用于计算目的时，典型值为5pf。现在C1和C2选择出来满足上面等式。通常选择的C1和C2是大致相等的。C1和/或C2的数值较大，这提高了频率的稳定性，但减小了环路增益，可能引发起振问题。
4. R1是驱动限流电阻，主要功能是限制反相器输出，这样晶振不会被过驱动（over driven）。R1、C1组构成分压电路，这些元器件的数值是以这样的方式进行计算的：反相器的输出接近rail-to-rail值，输入到晶振的信号是rail-to-rail的60%，通常实际是令R1的电阻值和的C1容抗值相等，即R1 ≈ XC1。这使晶振只取得反相器输出信号的一半。要一直保证晶振消耗的功率在厂商说明书规定范围内。过驱动会损坏晶振。请参考晶振厂商的建议。
5. 理想情况下，反相器提供180°相移。但是，反相器的内在延迟会产生额外相移，而这个额外相移与内在延迟成比例。 为保证环路全相移为n360°。 π 型网络应根据反相器的延迟情况， 提供小于180°的相移。R1的调整可以满足这一点。使用固定大小的C1和C2，闭环增益和相位可随R1变化。如果上述两个条件均得到了满足，在一些应用中，R1可以忽略掉。
6. 一些芯片内置了全部这些外部器件(Rf, R1, C1, and C2)，因此消除了电路设计师的烦恼。这种情况下，只要把晶振连接在XTAL和XTAL引脚上即可。
7. 选择ESR小的晶振，有利于解决起振问题。较小的ESR可以增加环路增益。
8. 在PCB板上缩短线路可以减小漂移电容。这也有利于解决晶振起振和振荡频率的问题。
9. 在工作的温度下和工作的电压范围内经常性测试一下电路，以确保晶振起振和持续振荡。必要的时候调整元器件的数值。
10. 为了取得最好效果，晶振的设计，用至少0.4 Vdd（峰峰值）的电平驱动时钟反相器。调节晶振不能满足要求。为了获得进一步的设计协助，请联系晶振制造商。
11. 为了优化R1，我们推荐先计算C1和C2（前面已经解释过如何计算）。将R1替换成电位计，将其初始值设置到大约XC1。如果需要，调节电位计的设置，直到晶振起振并在稳态条件下保持振荡。
12. The power dissipated in crystal must be limited, otherwise the crystal may fail due to excessive mechanical vibration.

-----------------------------------------------------------------------------------------------------------------------------------

### Quartz crystal晶体名词解释

Shunt (holder) capacitance：the capacitance of electrodes, holder, and leads. Typical value ranges from 2pF to 7pF

Drive Level: The max. power dissipated in the crystal.

-----------------------------------------------------------------------------------------------------------------------------------

### 音频测试中常用的单位

dBm0

dBr

Pa

dBPa

dBPa/V

dBSPL

dBV/Pa

1/3oct, 1/12oct, 1/24oct, 1/48oct

ARL

SLR

RLR

STMR: side tone mask ratio, 从receiver听到自己的说话声叫side tone。

HATS: Head and Torso Simulator

-----------------------------------------------------------------------------------------------------------------------------------

### 人工耳

在规定的频带内，人工耳与人耳阻抗接近。

TYPE1：完全耦合无泄漏

TYPE3.1分两种，没有孔的是低泄漏；有很多小孔的是高泄漏。

ERP: Ear Reference Point

-----------------------------------------------------------------------------------------------------------------------------------

### 人工嘴

发声方向和辐射图形与平均人嘴相似。

MRP: Mouth Reference Point

-----------------------------------------------------------------------------------------------------------------------------------

### 音频测试方法及分析

[E:\sz\Personal\VIA\_SPEC\VIA\_Flows\Standard\Acoustic Test\GSM 手机音频测试方法详解.pdf](file:///C:\Myfolder\Personal\VIA_SPEC\VIA_Flows\Standard\Acoustic%20Test\GSM%20手机音频测试方法详解.pdf)

-----------------------------------------------------------------------------------------------------------------------------------

### 反馈放大电路的四种类型和特点

电压串联负反馈-压控电压源：具有输出稳压特性

电压并联负反馈-流控电压源：具有输出稳压特性，输入阻抗大

电流串连负反馈-压控电流源：具有输出稳流特性

电流并联负反馈-流控电流源：具有输出稳流特性

判断电压还是电流反馈方法：另输出负载RL=0, 如果反馈电压Vf=0，则也为

-----------------------------------------------------------------------------------------------------------------------------------

### 负反馈电路的优点和缺点

缺点

1. 电压增益降低1/(1+AF)倍。

优点：

1. 通带带宽增加(1+AF)倍。因为电压增益降低(1+AF)倍，因此由于非线性造成的衰减也降低(1+AF)倍。
2. 电压负反馈输出电阻降低(1+AF)倍；电流负反馈输出电阻增加(1+AF)倍。
3. 串联负反馈输入电阻增加(1+AF)倍；并联负反馈输入电阻降低(1+AF)倍。
4. 电压负反馈使得输出更加稳定。

-----------------------------------------------------------------------------------------------------------------------------------

### 负反馈选取原则

1. 要稳定静态工作点,应引入直流负反馈。(通过增加电阻进行反馈)
2. 要改善交流性能，应引入交流负反馈。(通过电容进行反馈，降低交流阻抗)
3. 要稳定输出电压，应引入电压负反馈；()
4. 要稳定输出电流，应引入电流负反馈。()
5. 要提高输入电阻，应引入串联负反馈；
6. 要减小输入电阻，应引入并联负反馈。

-----------------------------------------------------------------------------------------------------------------------------------

### 东南大学模拟电路课件

<http://edept.seu.edu.cn/Extend/ElecDesign/chapter/md/education_md_index/education_md.html>

<http://edept.seu.edu.cn/Ecircuit/index.aspx>

-----------------------------------------------------------------------------------------------------------------------------------

### 电容小结

Capacitor

1. 陶瓷电容分为两类：

第一类：温度-容值性能好，容值几乎不随温度的改变而改变。比如NPO电池

第二类：高容值电容。这一类电容容值比较高，但是随温度升高会有15%的变化。

1. 另外，电容还有高Q电容：从材料上：瓷片之间的金属采用铜来代替镍；从结构上：尽量降低ESR和ESL。
2. 为什么陶瓷电容的容值不能做的像钽电容一样高？因此陶瓷电容内部是一层层的瓷片，每一层的瓷片电容并联，等效电容相加。由于金属镍不够光滑，介质Ba2TiO3的颗粒较大，在瓷片电容表面形成颗粒，电压高时，会发生击穿；新的工艺可以让颗粒做的越小，使得更多的电容并联在一起。
3. 100uF的陶瓷电容只能用在耳机上做隔直作用。不能用来做储能电容，也不能做滤波电容。因为100uF电容的DC特性差。加4V的直流偏置后，容值仅为几uF~几十uF。
4. 100uF的陶瓷电容(0.1ohm)的ESR比100uF的钽电容(2ohm)小很多很多，二者不再一个数量级；因此陶瓷100uF电容的热性能和耐压性能都要比钽电容要好很多。

-----------------------------------------------------------------------------------------------------------------------------------

### 增加过孔VIA对PCB的影响

1. 过孔的电容导致PCB走线阻抗不连续：产生6~7ohm瞬态阻抗不连续。
2. 如果参考平面变化，使得阻抗控制线的回流路径发生变化。走线的表征阻抗可能发生变化。
3. 过孔所引起的衰减与整个走线自身产生的衰减相比是微不足道的。

对于过孔设计的建议：

1. 尽量减少过孔德数量
2. 布线换层时，优选阻抗连续的平面进行切换，要有相同的参考地。
3. 对于低于1GHz的信号，优先考虑内层布线，减小辐射影响，而非避免过孔。

-----------------------------------------------------------------------------------------------------------------------------------

### 什么是FET/MOS的RDS(ON)

RDS(ON)欧姆 是场效应管FET漏极D与源极S之间导通时D、S之间的电阻，单位是欧姆，ON表示导通

-----------------------------------------------------------------------------------------------------------------------------------

### MOS驱动综述和自举电路

在使用MOS管设计开关电源或者马达驱动电路的时候，大部分人都会考虑MOS的导通电阻，最大电压等，最大电流等，也有很多人仅仅考虑这些因素。这样的电路也许是可以工作的，但并不是优秀的，作为正式的产品设计也是不允许的。

下面是我对MOSFET及MOSFET驱动电路基础的一点总结，其中参考了一些资料，非全部原创。包括MOS管的介绍，特性，驱动以及应用电路。

1，MOS管种类和结构 MOSFET管是FET的一种（另一种是JFET），可以被制造成增强型或耗尽型，P沟道或N沟道共4种类型，但实际应用的只有增强型的N沟道MOS管和增强型的P沟道MOS管，所以通常提到NMOS，或者PMOS指的就是这两种。 至于为什么不使用耗尽型的MOS管，不建议刨根问底。对于这两种增强型MOS管，比较常用的是NMOS。原因是导通电阻小，且容易制造。所以开关电源和马达驱动的应用中，一般都用NMOS。下面的介绍中，也多以NMOS为主。 MOS管的三个管脚之间有寄生电容存在，这不是我们需要的，而是由于制造工艺限制产生的。寄生电容的存在使得在设计或选择驱动电路的时候要麻烦一些，但没有办法避免，后边再详细介绍。 在MOS管原理图上可以看到，漏极和源极之间有一个寄生二极管。这个叫体二极管，在驱动感性负载（如马达），这个二极管很重要。顺便说一句，体二极管只在单个的MOS管中存在，在集成电路芯片内部通常是没有的。

2，MOS管导通特性 导通的意思是作为开关，相当于开关闭合。 NMOS的特性，Vgs大于一定的值就会导通，适合用于源极接地时的情况（低端驱动），只要栅极电压达到4V或10V就可以了。 PMOS的特性，Vgs小于一定的值就会导通，适合用于源极接VCC时的情况（高端驱动）。但是，虽然PMOS可以很方便地用作高端驱动，但由于导通电阻大，价格贵，替换种类少等原因，在高端驱动中，通常还是使用NMOS。(需要给NMOS加自举电路)

3，MOS开关管损失 不管是NMOS还是PMOS，导通后都有导通电阻存在，这样电流就会在这个电阻上消耗能量，这部分消耗的能量叫做导通损耗。选择导通电阻小的MOS管会减小导通损耗。现在的小功率MOS管导通电阻一般在几十毫欧左右，几毫欧的也有。 MOS在导通和截止的时候，一定不是在瞬间完成的。MOS两端的电压有一个下降的过程，流过的电流有一个上升的过程，在这段时间内，MOS管的损失是电压和电流的乘积，叫做开关损失。通常开关损失比导通损失大得多，而且开关频率越快，损失也越大。 导通瞬间电压和电流的乘积很大，造成的损失也就很大。缩短开关时间，可以减小每次导通时的损失；降低开关频率，可以减小单位时间内的开关次数。这两种办法都可以减小开关损失。

4，MOS管驱动 跟双极性晶体管相比，一般认为使MOS管导通不需要电流，只要GS电压高于一定的值，就可以了。这个很容易做到，但是，我们还需要速度。 在MOS管的结构中可以看到，在GS，GD之间存在寄生电容，而MOS管的驱动，实际上就是对电容的充放电。对电容的充电需要一个电流，因为对电容充电瞬间可以把电容看成短路，所以瞬间电流会比较大。选择/设计MOS管驱动时第一要注意的是可提供瞬间短路电流的大小。 第二注意的是，普遍用于高端驱动的NMOS，导通时需要是栅极电压大于源极电压。而高端驱动的MOS管导通时源极电压与漏极电压（VCC）相同，所以这时栅极电压要比VCC大4V或10V。如果在同一个系统里，要得到比VCC大的电压，就要专门的升压电路了。很多马达驱动器都集成了电荷泵，要注意的是应该选择合适的外接电容，以得到足够的短路电流去驱动MOS管。 上边说的4V或10V是常用的MOS管的导通电压，设计时当然需要有一定的余量。而且电压越高，导通速度越快，导通电阻也越小。现在也有导通电压更小的MOS管用在不同的领域里，但在12V汽车电子系统里，一般4V导通就够用了。 MOS管的驱动电路及其损失，可以参考Microchip公司的AN799 Matching MOSFET Drivers to MOSFETs。讲述得很详细，所以不打算多写了。

5，MOS管应用电路 MOS管最显著的特性是开关特性好，所以被广泛应用在需要电子开关的电路中，常见的如开关电源和马达驱动，也有照明调光。

现在的MOS驱动，有几个特别的需求，

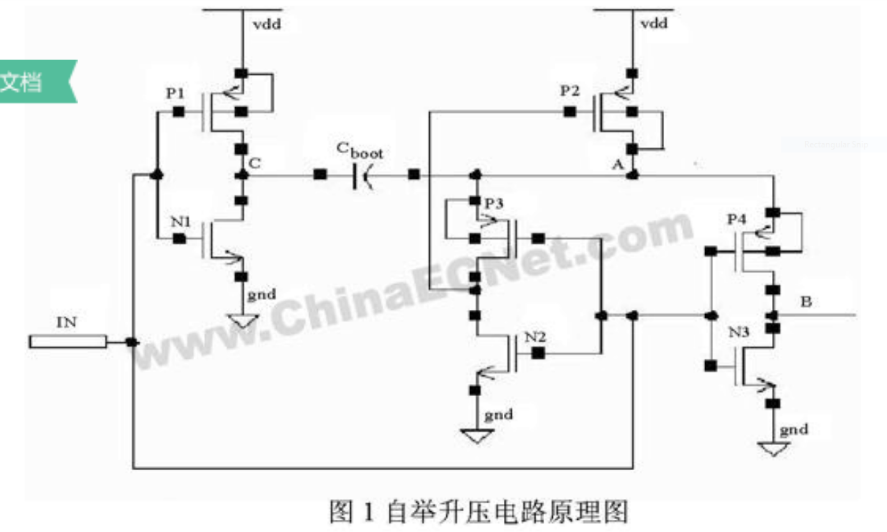
1. 低压应用 当使用5V电源，这时候如果使用传统的图腾柱结构，由于三极管的be有0.7V左右的压降，导致实际最终加在gate上的电压只有4.3V。这时候，我们选用标称gate电压4.5V的MOS管就存在一定的风险。 同样的问题也发生在使用3V或者其他低压电源的场合。
2. 宽电压应用 输入电压并不是一个固定值，它会随着时间或者其他因素而变动。这个变动导致PWM电路提供给MOS管的驱动电压是不稳定的。 为了让MOS管在高gate电压下安全，很多MOS管内置了稳压管强行限制gate电压的幅值。在这种情况下，当提供的驱动电压超过稳压管的电压，就会引起较大的静态功耗。 同时，如果简单的用电阻分压的原理降低gate电压，就会出现输入电压比较高的时候，MOS管工作良好，而输入电压降低的时候gate电压不足，引起导通不够彻底，从而增加功耗。
3. 双电压应用 在一些控制电路中，逻辑部分使用典型的5V或者3.3V数字电压，而功率部分使用12V甚至更高的电压。两个电压采用共地方式连接。 这就提出一个要求，需要使用一个电路，让低压侧能够有效的控制高压侧的MOS管，同时高压侧的MOS管也同样会面对1和2中提到的问题。

在这三种情况下，图腾柱结构无法满足输出要求，而很多现成的MOS驱动IC，似乎也没有包含gate电压限制的结构。

-----------------------------------------------------------------------------------------------------------------------------------

### MOS自举升压电路

自举升压电路的原理图如图1所示。所谓的自举升压原理就是，在输入端IN输入一个方波信号，利用电容Cboot将A点电压抬升至高于VDD的电平，这样就可以在B端输出一个与输入信号反相，且高电平高于VDD的方波信号。具体工作原理如下。



当VIN为高电平时，NMOS管N1导通，PMOS管P1截止，C点电位为低电平。同时N2导通，P2的栅极电位为低电平，则P2导通。这就使得此时A点电位约为VDD，电容Cboot两端电压UC≈VDD。由于N3导通，P4截止，所以B点的电位为低电平。这段时间称为预充电周期。 当VIN变为低电平时，NMOS管N1截止，PMOS管P1导通，C点电位为高电平，约为VDD。同时N2、N3截止，P3导通。这使得P2的栅极电位升高，P2截止。此时A点电位等于C点电位加上电容Cboot两端电压，约为2VDD。而且P4导通，因此B点输出高电平，且高于VDD。这段时间称为自举升压周期

实际上，B点电位与负载电容和电容Cboot的大小有关，可以根据设计需要调整。具体关系将在介绍电路具体设计时详细讨论

-----------------------------------------------------------------------------------------------------------------------------------

### 泰勒级数展开

泰勒公式一句话描述：就是用多项式函数去逼近光滑函数(光滑的意思是有多阶导数)

f(x)=f(x0)+f'(x0)\*(x-x0)+f''(x0)/2!\*(x-x0)^2+...+f(n)(x0)/n!\*(x-x0)^n （泰勒公式，最后一项中n表示n阶导数）

f(x)=f(0)+f'(0)\*x+f''(x)/2!\*x^2+...+f(n)(0)/n!\*x^n （麦克劳林公式公式，最后一项中n表示n阶导数）

泰勒中值定理：若函数f(x)在开区间（a，b）有直到n+1阶的导数，则当函数在此区间内时，可以展开为一个关于（x-x.)多项式和一个余项的和：

f(x)=f(x.)+f'(x.)(x-x.)+f''(x.)/2!•(x-x.)^2,+f'''(x.)/3!•(x-x.)^3+……+f(n)(x.)/n!•(x-x.)^n+Rn

其中Rn=f(n+1)(ξ)/(n+1)!•(x-x.)^(n+1),这里ξ在x和x.之间，该余项称为拉格朗日型的余项。

（注：f(n)(x.)是f(x.)的n阶导数，不是f(n)与x.的相乘。）

-----------------------------------------------------------------------------------------------------------------------------------

### BB工程师出路

mos都说不清楚的话，如果是bb工程师或者经理的话，是可以一杆子打死了。

因为bb的内容就那么点，基本元器件，电源，信号完整性电源完整性，基本器件都说不明白，难道就是整天抄图么？

而且现在分工很细，电源工程师，audio，display，touch，esd，emc在好多公司都分出去了。

所以有次别人问我，你要做哪个的时候，我也有点懵……我想当架构师啊……你们缺不……

说这个工作简单吧，出个死机或者低温偶尔不启动的问题搞到死，说bb的工作复杂吧，最后跟别人解释原因就是，哎呀，有个nmos的低温漏电过大，跟spec不符，charge pump输出能力不够，没打开nmos，别人表面说，哦，内心是你这sb，怎么选的nmos。

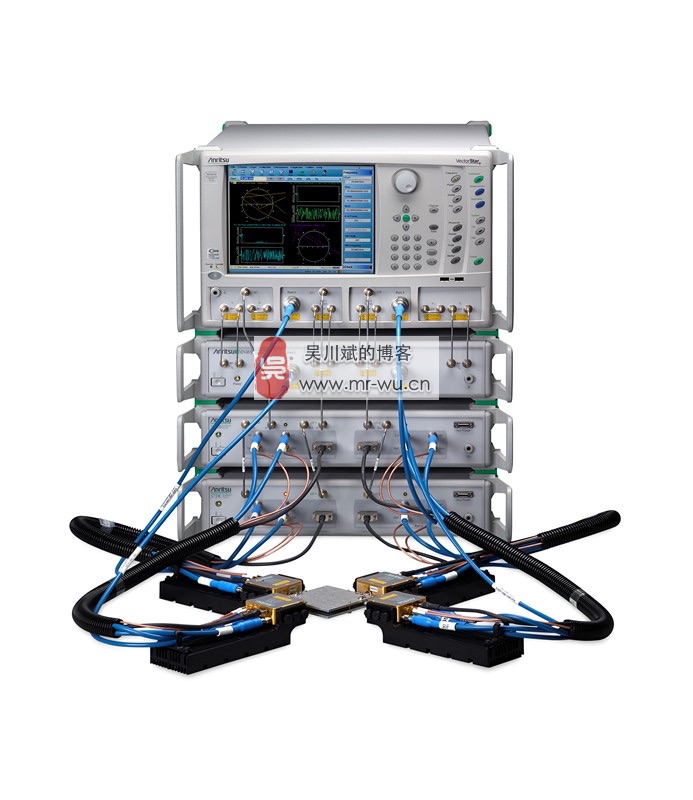
bb的工作也很扯淡，活杂碎，啥都得懂点，好多事情还不是技术方面的，比如协调大家解决个啥问题啊，比如还得帮射频的一帮坑货画原理图（这事太招人讨厌了），比如预估一下schedule啊，原理图pcb工具别人不会用也会找你，等等，从这个角度讲，bb比较容易出研发侧的项目经理。

-----------------------------------------------------------------------------------------------------------------------------------

### 华为是如何进行信号完整性分析的

华为是如何进行信号完整性及电源完整性仿真分析的

ME7838A4 4 端口宽频矢量网络分析仪



华为公司互联设计部（早期的名称为CAD部）为了开发高速电路，随后为了解决电路电源稳定性问题，先后开展了信号完整性和电源完整性的分析、研究工作，取得了一定成绩，在一定程度上，解决了产品开发中所遇到的问题，现将情况简介如下：

1. 关于信号完整性在华为的历程

华为公司互联设计部从1997年开始就意识到高速电路是需要深入研发的一个领域。从此成立了专门的团队投入到信号完整性分析的研究上面来。当时首先的切入点就是IBIS模型的测试建模和仿真对比。以此开始了最初的仿真和测试并积累了经验。99年初，华为的信号完整性技术首先在某宽带交互产品上面获得成功应用，解决了50Mbps的并行总线的过冲和串扰问题，并推出了第一块1.25Gbps的高速串行总线背板。2002年，互联设计部建设完成了国内第一个高速设计实验室，配置了完备的时域和频域测试和仿真环境，并在这个实验室里面，完成了3.125Gbps以上的高速背板研发工作。

2003年之后，华为的互联设计面向差异化方向发展，逐步建立起了射频无源微带器件设计、芯片封装选型和设计、低成本单板设计等多种业务。

2. 输入/输出缓冲信息规范模式（IBIS）数据库的建立

早期，华为信号完整性（SI）工程师在信号完整性分析时，最大的问题是能否及时得到精确的元器件IBIS(Input/Output Buffer Information Specification)仿真模型。由于华为在设计线路板时使用了越来越多的高密度器件，使得这项工作变得十分困难，加上只有少数芯片供应商能提供IBIS模型，即使有模型，其质量也是勉勉强强。所以很多工程师说他们要花一半的时间用于模型的获取、调试和验证模拟上。

为了解决这个问题，华为设立了自己的模型小组作为EDA库管理的一部分。他们是元器件方面的专家，从供应商那里获得Spice模型后可以在其基础上建立起行为级IBIS模型。如果是从供应商那里自己得到的IBIS模型，则对其准确性和语法进行检查。大约有20%的元件不能立即得到Spice或IBIS模型，工程师们就直接从测量数据或产品规格中生成默认的模型，通常会将该模型与Spice模拟或测量的数据相比较，以确保其准确性。

这样，华为的模型小组逐渐建立起自己的一个初具规模的IBIS模型数据库，为提高信号完整性的仿真效率，和保证其质量奠定了关键性的基础。

-----------------------------------------------------------------------------------------------------------------------------------

### 负反馈类型判断方法

1. 电压反馈与电流反馈

按取样方式划分，反馈可分为电压反馈和电流反馈。

（1） 电压反馈：对交变信号而言，若基本放大器、反馈网络、负载三者在取样端是并联连接，则称为并联取样，又称电压反馈。

（2） 电流反馈：对交变信号而言，若基本放大期、反馈网络、负载三者在取样端是串联连接，则称为串联取样，又称电流反馈。

（3） 电流反馈和电压反馈的判定：在确定有反馈的情况下，则不是电压反馈，就必定是电流反馈，所以只要判定是否是电压反馈或者判定是否是电流反馈即可。通常判定电压反馈较容易。

判定方法一：输出短路法。

判定方法二：按电落结构判定。

2. 串联反馈和并联反馈

按比较方式划分，可分为串联反馈和并联反馈。

（1） 串联反馈：对交流信号而言，信号源、基本放大期、反馈网络三者在比较端是串联连接，则称为串联反馈。

（2） 并联反馈：对交流信号而言，信号源、基本放大期、反馈网络三者在比较端是并联连接，则称为并联反馈。

（3） 串联反馈和并联反馈的判定方法：对交变分量而言，若信号源的输出端和反馈网络的比较端接于同一个放大器件的同一个电极上，则为并联反馈；否则为串联反馈。

2. 直流反馈和交流反馈

3. 按反馈信号的频率分，可以分为直流反馈和交流反馈。

（1） 支流反馈：若反馈环路内，直流分量可以流通，则该反馈环可以产生直流反馈。直流反馈主要作用于静态工作点。

（2） 交流反馈：若反馈环路内，交流分量可以流通，则该反馈环可以产生交流反馈。交流反馈主要用来改善放大期的性能；交流正反馈主要用来产生振荡。

若反馈环路内，直流分量和交流分量都可以流通，则该反馈环既可以产生直流反馈又可以产生交流反馈。

4. 负反馈和正反馈

按反馈极性分，可分为负反馈和正反馈。

若反馈信号使净输入信号减弱，则为负反馈；若反馈信号使净输入信号增强，则为正反馈。负反馈多用于改善放大期的功能；正反馈多用于振荡电路。

-----------------------------------------------------------------------------------------------------------------------------------

### 什么是THD+N

简称THD。

总谐波失真是指用信号源输入时，输出信号比输入信号多出的额外谐波成分。谐波失真是由于系统不是完全线性造成的，它通常用百分数来表示。所有附加谐波电平之和称为总谐波失真。一般说来，1000Hz频率处的总谐波失真最小，因此不少产品均以该频率的失真作为它的指标。但总谐波失真与频率有关，必须在20-20000Hz的全音频范围内测出。

总谐波失真表明功放工作时，由于电路不可避免的振荡或其他谐振产生的二次，三次谐波与实际输入信号叠加，在输出端输出的信号就不单纯是与输入信号完全相同的成分，而是包括了谐波成分的信号，这些多余出来的谐波成分与实际输入信号的对比，用百分比来表示就称为总谐波失真。一般来说，总谐波失真在1000赫兹附近最小，所以大部分功放表明总谐波失真是用1000赫兹信号做测试，但有些更严格的厂家也提供20－20000赫兹范围内的总谐波失真数据。总谐波失真在1％以下，一般耳朵分辨不出来，超过10％就可以明显听出失真的成分。这个总谐波失真的数值越小，音色就更加纯净。一般产品的总谐波失真都小于1％@1kHz，但这个数值越小，表明产品的品质越高。

介绍音频功率放大器的文章中，有时会看到“THD+N”，THD+N是英文Total Hormonic Distortion +Noise 的缩写，译成中文是“总谐波失真加噪声”。它是音频功率放大器的一个主要性能指标，也是音频功率放大器的额定输出功率的一个条件。

理想的音频功率放大器，若不考虑该功率放大器的增益大小，输入一定频率的正弦波信号，其输出也应该是没有失真（波形没有变形）、没有噪声的正弦波信号。但真实的音频功率放大器的输出音频信号总会有一点失真，并且叠加了噪声（在正弦波上叠加了高频杂波）。这种失真是较小的，从波形图中也难看出来，只有用失真仪才能测出。波形的失真是由于在正弦波上加了多种高次谐波造成的（如3次谐波、5次谐波等）所以称为总谐波失真。理想的音频功率放大器没有谐波失真及噪声，所以THD+N=0%。实际的音频功率放大器有各种谐波造成的失真及由器件内或外部造成的噪声，它有一定的THD+N的值。这个值一般在0.00n%-10%之间(n=1～9)。

THD+N性能指标

THD+N表示失真+噪声，因此THD+N自然越小越好。但这个指标是在一定条件下测试的。同一个音频功率放大器，若改变其条件，其THD+N的值会有很大的变动。

这里指的条件是，一定的工作电压VCC(或VDD)、一定的负载电阻RL、一定的输入频率FIN（一般常用1KHZ）、一定的输出功率Po下进行测试。若改变了其中的条件，其THD+N值是不同的。例如，某一音频功率放大器，在VDD=3V、FIN=1kHz、RL=32Ω、Po=25mW条件下测试，其TDH+N=0.003%，若将RL改成16欧，使Po增加到50mW，VDD及FIN不变，所测的TDH+N=0.005%。

一般说，输出功率小（如几十mW）的高质量音频功率放大器（如用于MP3播放机），它的THD+N指标可达10-5，具有较高的保真度。输出几百mW的音频功率放大器，要用扬声器放音，其THD+N一般为10-4；输出功率在1～2W，其THD+N更大些，一般为0.1～0.5%.THD+N这一指标大小与音频功率放大器的结构类别有关（如A类功放、D类功放），例如D类功放的噪声较大，则THD+N的值也较A类大。

这里特别要指出的是资料中给出的THD+N这个指标是在FIN=1kHz下给出的，在实际上音频范围是20Hz～20kHz，则在20Hz～20kHz范围测试时，其THD+N要大得多。例如，某音频功率放大器在1kHz时测试，其TDH+N=0.08%。若FIN改成20Hz-20kHz,，其他条件不变，其THD+N变为小于0.5%。

输出额定功率的条件

过去有用“不失真输出功率是多少”这种说法来说明其输出功率大小。这话的意思指的是输出的峰峰值没有“削顶”现象出现，即Vout(P-P)=Vcc-（上压差+下压差）这种说法是不科学的。即使不产生削顶，它也有一定的失真。较科学的说法是THD+N在某一指标下可输出的功率是多少。即在一定的Vcc电压、一定的负载电阻RL时、一定的THD+N下可输出多少功率。这输出功率一般是在这条件下的最大输出功率，称为额定功率。音频功率的额定功率主要取决于Vcc的大小。在THD+N不变条件下，如Vcc=5V，RL=4Ω时，输出额定功率为2W；若Vcc=3V、RL=4Ω时，输出额定功率降为0.7W。当然，若额定功率为2W，如果增加输入电压使输出超出2W，则其TDH+N必然大于额定值时的THD+N值。

输出功率在100mW左右的音频功率放大器常用THD+N=0.1%作为额定输出功率的条件。例如，某立体声耳机的音频功率放大器，在THD+N=0.1%，输出功率为80mW。这80mW可看作该音频功放的额定输出功率。

输出功率达几百毫瓦的常用THD+N=1%为条件。如某音频功率放大器在Vcc=5V、THD+N=1%时可输出330mW。这330mW也可看作是在Vcc=5V时的额定输出功率。从上面可以看出；这里的THD+N=0.1%、1%的值仅仅作为输出额定功率的一个条件。实际应用时比额定输出功率要小，其THD+N的值也要小得多。例如，Vcc=5V，额定输出功率为330mW时，其条件是THD+N=1%。若同样在Vcc=5V，输出功率降为120mW时，其THD+N的典型值仅为0.02%。

-----------------------------------------------------------------------------------------------------------------------------------

### Line Regulation of DC/DC

Line regulation is the capability to maintain a constant output voltage level on the output channel of a power supply despite changes to the input voltage level. Line regulation is expressed as percent of change in the output voltage relative to the change in the input line voltage

-----------------------------------------------------------------------------------------------------------------------------------

### Load Regulation of DC/DC

Load regulation is the capability to maintain a constant voltage (or current) level on the output channel of a power supply despite changes in load.

For switching power supplies, the primary source of regulation error is switching ripple rather than control loop inefficiency. In such cases Load Regulation is defined without normalizing to Voltage at Nominal Load and then has the units of volts.

LoadRegulation,volts = Voltage(FullLoad) - Voltage(MinimumLoad)

-----------------------------------------------------------------------------------------------------------------------------------

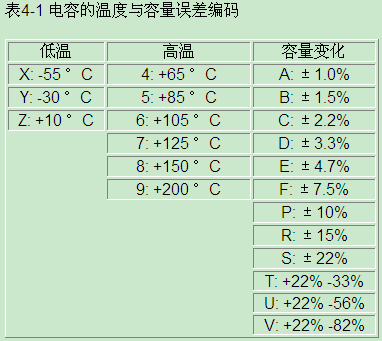
### X5R, X7R

这类参数描述了电容采用的电介质材料类别，温度特性以及误差等参数，不同的值也对应着一定的电容容量的范围。具体来说，就是：

X7R常用于容量为3300pF~0.33uF的电容，这类电容适用于滤波，耦合等场合，电介质常数比较大，当温度从0°C变化为70°C时，电容容量的变化为±15%；

Y5P与Y5V常用于容量为150pF~2nF的电容，温度范围比较宽，随着温度变化，电容容量变化范围为±10%或者+22%/-82%。

对于其他的编码与温度特性的关系，大家可以参考表4-1。例如，X5R的意思就是该电容的正常工作温度为-55°C~+85°C，对应的电容容量变化为±15%。



一 NPO电容器

NPO是一种最常用的具有温度补偿特性的单片陶瓷电容器。它的填充介质是由铷、钐和一些其它稀有氧化物组成的。NPO电容器是电容量和介质损耗最稳定的电容器之一。在温度从-55℃到+125℃时容量变化为0±30ppm/℃，电容量随频率的变化小于±0.3ΔC。NPO电容的漂移或滞后小于±0.05%，

相对大于±2%的薄膜电容来说是可以忽略不计的。其典型的容量相对使用寿命的变化小于±0.1%。NPO电容器随封装形式不同其电容量和介质损耗随频率变化的特性也不同，大封装尺寸的要比小封装尺寸的频率特性好。下表给出了NPO电容器可选取的容量范围。

NPO电容器适合用于振荡器、谐振器的槽路电容，以及高频电路中的耦合电容。

二 X7R电容器

X7R电容器被称为温度稳定型的陶瓷电容器。当温度在-55℃到+125℃时其容量变化为15%，需要注意的是此时电容器容量变化是非线性的。

X7R电容器的容量在不同的电压和频率条件下是不同的，它也随时间的变化而变化，大约每10年变化1%ΔC，表现为10年变化了约5%。

X7R电容器主要应用于要求不高的工业应用，而且当电压变化时其容量变化是可以接受的条件下。它的主要特点是在相同的体积下电容量可以做的比较大。下表给出了X7R电容器可选取的容量范围。

三 Z5U电容器

Z5U电容器称为”通用”陶瓷单片电容器。这里首先需要考虑的是使用温度范围，对于Z5U电容器主要的是它的小尺寸和低成本。对于上述三种陶瓷 单片电容起来说在相同的体积下Z5U电容器有最大的电容量。但它的电容量受环境和工作条件影响较大，它的老化率最大可达每10年下降5%。

尽管它的容量不稳定，由于它具有小体积、等效串联电感（ESL）和等效串联电阻（ESR）低、良好的频率响应，使其具有广泛的应用范围。尤其是在退耦电路的应用中。下表给出了Z5U电容器的取值范围。

Z5U电容器的其他技术指标如下:工作温度范围 +10℃ --- +85℃ 温度特性 +22% ---- -56% 介质损耗 最大 4%

四 Y5V电容器

Y5V电容器是一种有一定温度限制的通用电容器，在-30℃到85℃范围内其容量变化可达+22%到-82%。

Y5V的高介电常数允许在较小的物理尺寸下制造出高达4.7μF电容器。

Y5V电容器的取值范围如下表所示

Y5V电容器的其他技术指标如下:工作温度范围 -30℃ --- +85℃ 温度特性 +22% ---- -82% 介质损耗 最大 5%

贴片电容器命名方法可到AVX网站上找到。

NPO,X7R及Y5V电容的特性及主要用途

NPO的特性及主要用途

属1类陶瓷介质，电气性能稳定，基本上不随时间、温度、电压变化，适用于高可靠、高稳定的高额、特高频场合。

特性：

电容范围 1pF～0.1uF (1±0.2V rms 1MHz)

环境温度： -55℃～+125℃ 组别：CG

温度特性： 0±30ppm/℃

损耗角正切值： 15x10-4

绝缘电阻： ≥10GΩ

抗电强度： 2.5倍额定电压 5秒 浪涌电流：≤50毫安

X7R的特性及主要用途

属2类陶瓷介质，电气性能较稳定，随时间、温度、电压的变化，其特性变化不明显，适用于要求较高的耦合、旁路、源波电路以及10兆周以下的频率场合。

特性：

电容范围 300pF～3.3uF (1.0±0.2V rms 1KHz)

环境温度： -55℃～+125℃ 组别：2X1

温度特性： ±15%

损耗角正切值： 100Volts: 2.5% max

50Volts: 2.5% max

25Volts: 3.0% max

16Volts: 3.5% max

10Volts: 5.0% max

绝缘电阻： ≥4GΩ或 ≥100S/C (单位：MΩ)

抗电强度： 2.5倍额定电压 5秒 浪涌电流：≤50毫安

Y5V的特性及主要用途

属 2类陶瓷介质，具有很高的介电系数，能较容易做到小体积，大容量，其容量随温度变化比较明显，但成本较低。广泛应用于对容量，损耗要求不高的场合。

特性：

电容范围 1000pF～22uF (0.3V 1KHz)

环境温度： -30℃～+85℃

温度特性： ±22%～-82%

损耗角正切值： 50Volts: 3.5%

25Volts: 5.0%

16Volts: 7.0%

绝缘电阻： ≥4GΩ或 ≥100S/C (单位：MΩ)

抗电强度： 2.5倍额定电压 5秒 浪涌电流：≤50毫安

-----------------------------------------------------------------------------------------------------------------------------------

### PMU的DCDC输出电压修正

根据以往经验，通常这种电路在芯片封装前是可以修调电压基准的，一般通过击穿二极管或熔断铝条来改变电阻网络，从而改变输出电压目的。基本可以说在一定范围内想要多少电压就可以调整到多少

-----------------------------------------------------------------------------------------------------------------------------------

### TVS, 齐纳二极管

复习了一下二极管的击穿效应，理解如下：通常5V以下，以隧道击穿为主，称为齐纳击穿。5V以上，以雪崩击穿为主，称雪崩击穿。精确的说，5V以下的管子叫齐纳二极管，5V以上的管子叫雪崩二极管。工程师们通常不管什么电压，均习惯称他们为齐纳二极管。

曾经齐纳击穿主要是用于稳压二极管，所以，齐纳二极管也成了稳压二极管的代名词（所以我看到齐纳就想到了稳压二极管）。后来对齐纳管进行改进，提高瞬态响应，形成TVS管（TVS还是齐纳原理），用于ESD保护等。但其原理还是属于齐纳击穿。

-----------------------------------------------------------------------------------------------------------------------------------

### Nand flash 小结

支持单层单元 (SLC) 和多层单元 (MLC)、纠错码 (ECC) 的SDRAM 和 NAND闪存接

多层单元(MLC)的每一个单元存储两位，而传统的SLC仅仅能存储一位。MLC技术有显著的密度优越性，然而，与SLC相比(表3)，其速度或可靠性稍逊。因此，SLC被用于大多数媒体卡和无线应用，而MLC器件通常被用于消费电子和其它低成本产品。

NAND需要ECC以确保数据完整性。NAND闪存的每一个页面上都包括额外的存储空间，它就是64个字节的空闲区(每512字节的扇区有16字节)。该区能存储ECC代码及其它像磨损评级或逻辑到物理块映射之类的信息。ECC能在硬件或软件中执行，但是，硬件执行有明显的性能优势。在编程操作期间，ECC单元根据扇区中存储的数据来计算误码校正代码。数据区的ECC代码然后被分别写入到各自的空闲区。当数据被读出时，ECC代码也被读出；运用反操作可以核查读出的数据是否正确。

-----------------------------------------------------------------------------------------------------------------------------------

### LDO Dropout Voltage

1. LDO在某一负载条件下的Dropout Voltage，是指维持VOUT输出在SPEC.(如-1~+1%）以内的最小输入电压VIN与VOUT的差值。当然不同公司的产品的Dropout定义略有不同。
2. DO的压差dropout voltage指器件输入/输出之间的压差。在LDO稳压器中，导通管是一个PNP管。LDO的最大优势就是PNP管只会带来很小的导通压降：Vdrop ＝ Vsat。 满载的跌落压降一般小于500mV。轻载时的压降只有10到20mV。目前比较先进的LDO稳压器使用 P-FET 作为导通管。在PNP LDO 中要驱动 PNP 功率管就需要基极电流。基极电流由地脚流出并反馈回输入电压的负端。因此，这些基极驱动电流并未用来驱动负载。它在LDO稳压器中消耗的功率由下式计算：PWR（BaseDrive）＝Vin×Ibase；驱动PNP管所需的基极电流等于负载电流除以β值（PNP管的增益）：Ibase = Io / β。在一些PNP LDO中此β值一般为15-20（与负载电流相关）。由此基极驱动电流产生的功耗可不是我们期望的（尤其是在电池供电应用中）。使用P-FET可以解决这个问题，因为它的栅极驱动电流极低。P-FET LDO另一个优点是通过调整FET的导通阻抗可以将稳压器的跌落电压作的很小。对于集成的稳压器而言，在单位面积上制造的FET的导通阻抗会比PNP三极管的导通阻抗低。这就可以在更小封装下产生更大的电流。

-----------------------------------------------------------------------------------------------------------------------------------

### LDO Line Regulation

输入电压调节率(Line Regulation)

1、定义:

输入电压在额定范围内变化时,输出电压之变化率.

Line Regulation(+)=(Vmax-Vnor)/Vnor

Line Regulation(-)=(Vnor-Vmin)/Vnor

Line Regulation=(Vmax-Vmin)/Vnor

Vnor:输入电压为常态值,输出为满载时之输出电压.

Vmax:输入电压变化时之最高输出电压.

Vmin:输入电压变化时之最低输出电压.

2、说明:

如只是简单计算Line Regulation ,Vnor可用Vrated即标称电压来代替.

-----------------------------------------------------------------------------------------------------------------------------------

### LDO Load Regulation

负载调节率 (Load Regulation)

1、定义:

输出电流于额定范围内变化(静态)时,输出电压之变化率.

Line Regulation(+)=|Vml-Vhl|/Vhl

Line Regulation(-)=|Vhl-Vfl|/Vhl×100%

Line Regulation(%)=|Vml-Vfl|/Vhl×100%

Vml:最小负载时之输出电压

Vfl:满载时之输出电压

Vhl:半载时之输出电压

2、如只是简单计算Load Regulation ,Vhl可用Vrated即标称电压来代替.

-----------------------------------------------------------------------------------------------------------------------------------

### PSPICE VPULSE参数

V1：低电平，如-5V；

V2：高电平，如+5V；

TD：第一个脉冲相对于0时刻的延迟时间，一般为一个非零值，如1s，2s；

TR：脉冲上升时间，如果为方波，则为0s；

TF：脉冲下降时间，如果为方波，则为0s；

PW：脉冲宽度，为上升到V2后到下降前的宽度，即高电平宽度；

PER：脉冲周期，其值要大于TR+TF+PW，否则得到不想要的结果。另外，PER如果不等于TR+TF+PW，则多出的部分其值为0；如果等于，则为一个标准的方波。

三角波，梯形波等的产生同理；电流源同理（IPULSE），注意设置单位。

-----------------------------------------------------------------------------------------------------------------------------------

### CIS PART编辑技巧

利用ASCII格式的Pinout File以及Excel，快速新建多引脚Part

1. 到官网下载ASCII格式的Pinout File，打开（默认为记事本方式打开），即为所有引脚信息；

2. 复制文件的所有内容到一个Excel表中（只有Excel才能与OrCAD Capture完成数据交互）；

3. 在OrCAD Capture的元件库中新建Part，并放置Pin Array；

4. 全选Pin，按Ctrl+E，或右击→Edit Properties，打开引脚编辑Spreadsheet;

5. 在Excel表中选择所需信息，一般为引脚位置或引脚名称所在列，按Ctrl+C复制；

6. 在OrCAD Capture的引脚编辑Spreadsheet中，选择相应信息，按Shift+Insert粘贴。

大功告成！！！！

PS：若要复制引脚编辑Spreadsheet中的内容，则应选择相应信息，按Ctrl+Insert进行复制（粘贴为Shift+Insert）。

-----------------------------------------------------------------------------------------------------------------------------------

### 去耦电容得去耦半径

电容去耦的一个重要问题是电容的去耦半径。大多数资料中都会提到电容摆放要尽量靠近芯片，多数资料都是从减小回路电感的角度来谈这个摆放距离问题。确实，减小电感是一个重要原因，但是还有一个重要的原因大多数资料都没有提及，那就是电容去耦半径问题。如果电容摆放离芯片过远，超出了它的去耦半径，电容将失去它的去耦的作用。

理解去耦半径最好的办法就是考察噪声源和电容补偿电流之间的相位关系。当芯片对电流的需求发生变化时，会在电源平面的一个很小的局部区域内产生电压扰动，电容要补偿这一电流（或电压），就必须先感知到这个电压扰动。信号在介质中传播需要一定的时间，因此从发生局部电压扰动到电容感知到这一扰动之间有一个时间延迟。同样，电容的补偿电流到达扰动区也需要一个延迟。因此必然造成噪声源和电容补偿电流之间的相位上的不一致。

特定的电容，对与它自谐振频率相同的噪声补偿效果最好，我们以这个频率来衡量这种相位关系。设自谐振频率为f，对应波长为L，补偿电流表达式可写为：I=Aexp(j2\*3.14\*f\*2R/c)

电容的去耦半径计算, 其中，A是电流幅度，R为需要补偿的区域到电容的距离，C为信号传播速度。

当扰动区到电容的距离达到L/4时，补偿电流的相位为pi=3.14，和噪声源相位刚好差180度，即完全反相。此时补偿电流不再起作用，去耦作用失效，补偿的能量无法及时送达。为了能有效传递补偿能量，应使噪声源和补偿电流的相位差尽可能的小，最好是同相位的。距离越近，相位差越小，补偿能量传递越多，如果距离为0，则补偿能量百分之百传递到扰动区。这就要求噪声源距离电容尽可能的近，要远小于L/4。实际应用中，这一距离最好控制在L/50~L/40之间，这是一个经验数据。

例如：0.001uF陶瓷电容，如果安装到电路板上后总的寄生电感为1.6nH，那么其安装后的谐振频率为125.8MHz，谐振周期为7.95ps。假设信号在电路板上的传播速度为166ps/inch，则波长为47.9英寸。电容去耦半径为47.9/50=0.958英寸，大约等于2.4厘米。

本例中的电容只能对它周围2.4厘米范围内的电源噪声进行补偿，即它的去耦半径2.4厘米。不同的电容，谐振频率不同，去耦半径也不同。对于大电容，因为其谐振频率很低，对应的波长非常长，因而去耦半径很大，这也是为什么我们不太关注大电容在电路板上放置位置的原因。对于小电容，因去耦半径很小，应尽可能的靠近需要去耦的芯片，这正是大多数资料上都会反复强调的，小电容要尽可能近的靠近芯片放置。

注：有网友向我提问：我看过一些方案，确实有先大后小得顺序，不知道他们这样排是有目的、有依据的，还是觉得两种没啥差别，随便排的？

回答：大电容靠前，有一个优点就是，上电时可以减弱电流过冲的影响，如果小的靠前的话，过冲保护的效果就不明显了，而且，上面我贴的一系列理论计算推导都是有根据的。

实际上，如果你自己按照上面给出的方式计算的话，0.001uF的半径都有100mil了，大电容的半径更大，所以整体上来说，都是不会超出去耦半径的，在都不超出去耦半径的条件下，可以优先考虑电流过冲的影响，所以大电容靠前了

评: 发论文也许有用，在实际应用中作用很小。

------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------------------------

### 模拟电路总结末尾