

# 자기소개서

## 성장 과정 및 직무 선택 동기

저는 소프트웨어와 하드웨어를 모두 이해하는 엔지니어가 진정한 시스템 설계자라고 생각합니다. AI Engineer로서 알고리즘과 소프트웨어 개발을 경험하던 중, 전기공학을 전공했던 과거의 지식이 자연스럽게 떠올랐습니다. "소프트웨어가 실제로 어떤 회로 위에서, 어떤 신호의 흐름 속에서 동작할까?"라는 호기심이 생겼고, 그 질문이 제가 디지털 회로 설계 분야를 선택한 계기가 되었습니다.

전기·전자 기반 지식과 프로그래밍 경험을 융합하면 하드웨어 설계 자동화(Automation)와 AI 기반 검증 최적화 같은 새로운 시도를 할 수 있다고 느꼈습니다. 최근 반도체 산업이 복잡해지는 만큼, 단일 영역의 전문가보다 여러 분야를 융합하여 문제를 자동화하고 최적화할 수 있는 엔지니어의 가치가 커지고 있습니다.

저는 바로 그 방향으로 성장하고자 합니다. 이러한 목표를 구체화하기 위해 서강대학교 글로벌 반도체 설계 전문가 과정(SSDEC)에 참여했습니다. SystemVerilog 기반 RTL 설계, EDA Tool 활용, UVM 검증 환경 구축 등을 학습하며 이론 중심이 아닌 "문제 분석 → FSM 설계 → RTL 구현 → 시뮬레이션 및 FPGA 검증"으로 이어지는 실제 산업 수준의 설계 프로세스를 체득했습니다.

특히 FPGA 기반 Doorlock SoC 프로젝트를 수행하면서 RISC-V 기반의 시스템 구조 설계, UART/GPIO/I2C 주변장치 IP 직접 구현, AXI 버스를 통한 시스템 통합 및 C 펌웨어 연동까지 경험했습니다.

이를 통해 하드웨어 구조를 직접 설계하고, 신호 흐름을 논리적으로 검증하는 즐거움을 느꼈습니다.

아직 회로 수준의 세밀한 부분에서는 보완할 점이 많다고 느끼지만, 저는 성장 욕구가 강한 사람입니다. 프로젝트가 끝나면 단순히 결과를 정리하는 데 그치지 않고, "어떤 구조를 개선하면 더 빠르고 안정적으로 동작할까?"를 고민하며 다양한 실험을 반복합니다.

앞으로도 FPGA·DFT·Low Power 설계 등 새로운 영역에 도전하며 부족한 부분은 채우고, 잘하는 부분은 더 강화하여 하드웨어와 소프트웨어를 융합적으로 이해하는 설계 엔지니어로 성장하겠습니다.

## 협업 및 문제 해결 경험

서강대학교 SSDEC 과정의 FPGA 기반 Doorlock SoC 프로젝트에서 저는 백본 (Backbone) 연결 및 통신 검증 담당으로 참여했습니다. 우리 팀은 총 5명으로 구성되어, 2명은 백본 연결, 2명은 Testbench 작성, 1명은 시스템 동작 설계를 담당했습니다. 저는 백본 설계 담당 중 한 명으로서, GPIO / SPI / I2C / I2S 등 다양한 주변장치가 RISC-V 코어와 AXI-Lite 버스를 통해 올바르게 연결되고 통신하는지 검증하는 역할을 맡았습니다.

초기 설계 단계에서는 각 모듈이 개별 시뮬레이션에서는 정상 동작했지만, 전체 시스템에 통합했을 때 데이터 전송 타이밍이 어긋나거나 Valid/Ready 핸드셰이크 신호가 비정상적으로 동작하는 문제가 발생했습니다. 이 문제는 Peripheral별 인터페이스 구조가 다르고, AXI-Lite 버스의 타이밍 제약을 충분히 고려하지 않은 상태에서 통합이 이루어졌기 때문이었습니다.

저는 이 문제를 해결하기 위해 먼저 FSM 기반 신호 타이밍 다이어그램을 재설계했습니다. 각 Peripheral의 Read/Write 경로를 시각화하여 AXI-Lite 프로토콜에 맞게 Address, Data, Valid, Ready 신호의 순서를 조정했습니다. 이후 Verdi를 이용해 파형을 분석하며, 정상 응답 주기와 타이밍을 맞춰갔습니다. 결과적으로 모든 Peripheral이 백본 버스를 통해 RISC-V와 정상적으로 통신하도록 구조를 안정화시켰습니다.

설계 외적인 부분에서도 협업 효율을 높이기 위해 Notion과 GitLab 기반의 작업 관리 체계를 직접 구축했습니다. Notion에는 각자 공부하며 이해한 개념, FSM 설계 과정, 신호 오류 해결 방법 등을 기록하여 팀원 간에 부족한 부분을 언제든지 참고할 수 있게 했습니다.

또한 GitLab에서 각자 브랜치를 만들어 코드 충돌을 방지하고, commit/push/pull에서 발생한 오류는 제가 직접 구조를 설명하며 해결을 도왔습니다.

이렇게 정보를 개방적으로 공유하는 환경을 만들자, 팀원 간 설계 접근 방식이 점차 일관성을 갖게 되었고, 회의 시에도 FSM 설계나 신호 경로를 명확히 설명할 수 있었습니다.

이 경험을 통해 협업은 단순한 역할 분담이 아니라 '논리적 흐름을 함께 이해하고 유지하는 과정'임을 깨달았습니다. 앞으로도 저는 모르는 부분은 적극적으로 질문하고, 아는 부분은 명확히 공유하며 팀 전체의 이해도를 끌어올리는 소통형 설계 엔지니어로 성장하고자 합니다. 하드웨어 신호가 올바르게 전달될 때 시스템이 완성되듯, 사람 간의 정보 흐름도 명확해야 진정한 협업이 완성된다고 생각합니다.

## 향후 목표 및 포부

저는 주니어 엔지니어로서 디지털 회로의 '검증(Verification)' 분야부터 전문성을 쌓고자 합니다. 회로가 올바르게 동작하도록 보장하는 과정이야말로 반도체 개발의 핵심이며, 설계 품질을 결정짓는 마지막 단계라고 생각합니다.

SSDEC 과정의 FPGA 기반 SoC 프로젝트를 통해 직접 RTL을 설계하고 백본 통신을 검증하면서, "설계보다 더 설계를 이해해야 하는 일이 검증"이라는 사실을 체감했습니다. 프로젝트 종료 후에는 UVM(Universal Verification Methodology) 의 개념과 구조를 추가 학습

하며 테스트 환경을 체계적으로 구축하는 방법을 학습하고 있습니다.

처음에는 단순히 Testbench를 작성하는 수준이었지만, UVM을 학습하면서 Stimulus, Sequence, Agent 등 검증 환경의 계층적 구조를 이해하게 되었고, 이를 통해 설계 의도 (Design Intent)를 검증 로직으로 표현하는 사고력을 키워가고 있습니다.

입사 후에는 이러한 역량을 바탕으로 회로 검증 엔지니어로서 실질적인 제품 품질 확보에 기여하고 싶습니다. 단순히 시뮬레이션을 돌리는 수준이 아니라, 문제 발생 시 신호 경로와 FSM 상태를 추적하며 논리적으로 원인을 규명하고 개선안을 제시할 수 있는 검증 전문가로 성장할 것입니다.

또한 검증 업무를 수행하며 회로 동작의 구조와 신호 흐름을 꾸준히 분석해, 향후에는 RTL 설계·합성·타이밍 분석까지 이해하는 종합형 엔지니어로 발전하고자 합니다. 하드웨어 구조와 소프트웨어적 사고를 함께 이해하는 저의 강점을 살려 설계-검증-자동화의 경계를 잇는 '융합형 육각형 엔지니어'로 성장하는 것이 제 목표입니다. 항상 배우며 성장하는 태도로 팀과 함께 발전하는 검증 엔지니어로서, 회사의 제품 품질 향상과 개발 효율 개선에 기여하겠습니다.