

西安交通大学考试题 A 卷

成绩

课程 计算机组成原理 A

系 别 计算机 级

考试日期

年 1 月 17 日

专业班号

姓 名

学 号

期中

期末

√

一、多选一填空：（10 分）

- 1、在存储程序计算机中，指令和数据均以二进制形式存放在存储器中，CPU 区别它们的依据是_____。
A. 指令操作码的译码结果
B. 存储器单元的地址
C. 指令周期的不同阶段
D. 寻址方式
- 2、指令周期是指_____。
A. CPU 执行一条指令的时间
B. CPU 从主存取出一条指令加上执行这条指令的时间
C. CPU 执行一条指令并预取下一条指令的时间
D. CPU 从主存取出一条指令的时间
- 3、下列关于 RISC 机的描述中，不正确的是_____。
A. 指令种类少，格式和寻址方式比较规整
B. 通常采用优化编译技术
C. 通常采用微程序技术实现控制单元
D. 采用了流水线技术

- 4、活动头磁盘存储器的平均寻址时间是指_____。
- A. 最大找道时间加上最小找道时间
 - B. 平均找道时间加上平均等待时间
 - C. 平均找道时间
 - D. 平均等待时间
- 5、下列有关相联存储器的描述中，错误的是_____。
- A. 相联存储器的读写操作均按内容访问
 - B. 按内容访问就是用关键字与存储单元内容进行匹配
 - C. 相比主存储器来说，相联存储器内部逻辑通常比较复杂
 - D. 相联存储器主要用于快速查表
- 6、存储器的速度、容量和位价格是衡量其性能的主要指标。下列哪种方法并不能提高存储器的存取速度_____。
- A. 虚拟存储器
 - B. 多体存储器
 - C. 高速存储元件
 - D. Cache
- 7、针对 8 位二进制数，下列说法中正确的是_____。
- A. -127 的补码为 1000 0000
 - B. +1 的移码形同-127 的反码
 - C. -127 的反码形同 0 的移码
 - D. 0 的补码形同-1 的反码
- 8、图形 CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量至少应为_____。
- A. 256KB B. 512KB C. 1MB D. 2MB
- 9、设某计算机的 CPU 主频为 20MHz，每条指令的指令周期平均有 4 个时钟周期，则该机的平均指令执行速度是_____。
- A. 1MIPS B. 2MIPS
C. 4MIPS D. 5MIPS
- 10、在微程序控制的计算机中，下列有关机器指令和微指令的描述中，错误的是_____。
- A. 机器指令由微指令组成的微程序解释执行
 - B. 机器指令存放在主存中，而微指令存放在 CPU 中
 - C. 微指令格式和机器指令格式类似，均由两个字段组成
 - D. 机器指令和微指令格式设计时都要考虑指令寻址和数据寻址方式

西安交通大学考试题

二、简答题：

(在 5 个小题中任选且仅选 3 个小题作答, 每小题 5 分, 共 15 分)

1、总线控制主要解决哪些问题? 集中式总线判优控制方法主要有哪三种? 各有什么优缺点?

2、对于 DRAM 来说, 什么叫刷新? 为什么要刷新? 说明刷新有几种方法, 请简单比较这几种刷新方法的特点。

3、DMA 传送方式主要由哪几个阶段实现? 各个阶段分别由何种技术支持? 大体完成一些什么工作?

4、24 位浮点数的阶码 6 位, 含 1 位阶符, 用移码表示; 尾数 18 位, 含 1 位数符, 用补码表示。请写出该规格化的浮点数能表示的数据范围。用 2 的幂形式的十进制真值表示。

5、在总线通信方式中, 同步通信和异步通信的主要区别是什么? 异步通信还分哪几种? 各自有何特点?

三、指令格式设计: (15 分)

某 16 位计算机, 存储器按字节编址, 采用单字长指令格式, 具有双操作数、单操作数、无操作数三类指令形式, 每个操作数地址用 5 位表示。问:

(1) 若操作码字段固定为 6 位, 现已设计出 m 条双操作数指令, n 条无操作数指令, 则最多还能设计出多少条单操作数指令?

(2) 若改为基本操作码字段为 6 位, 采用操作码扩展技术, 重做 (1) 题;

(3) 若双操作数指令为 RS 型指令格式, 请问: 该机 CPU 最多支持多少个通用寄存器? 直接寻址的最大存储空间是多少?

(4) 若 CPU 中有 8 个通用寄存器且操作码字段固定为 6 位, 单操作数指令的寻址方式包括变址寻址和相对寻址, 请设计指令格式。请问变址寻址范围是多少? 相对寻址的浮动范围是多少?

四、主存设计: (15 分)

在某计算机中, CPU 用 $\overline{\text{MREQ}}$ 作访存控制信号 (低电平有效), 用 $\overline{\text{WR}}$ 作读/写控制信号 (写为低电平, 读为高电平)。欲用 $256\text{K} \times 16$ 位的 SRAM 芯片组成 $1\text{M} \times 32$ 位的存储器, 要求:

- (1) 写出 CPU 访问整个存储器所需的地址位数，并指出其中有多少位地址用于芯片选择；
- (2) 计算该存储器的芯片用量；
- (3) 画出该存储器的原理性组成逻辑图，并与 CPU 连接；
- (4) 若相同容量的存储器采用按字节编址方式，请用地址空间图标出字节地址和字地址的关系。

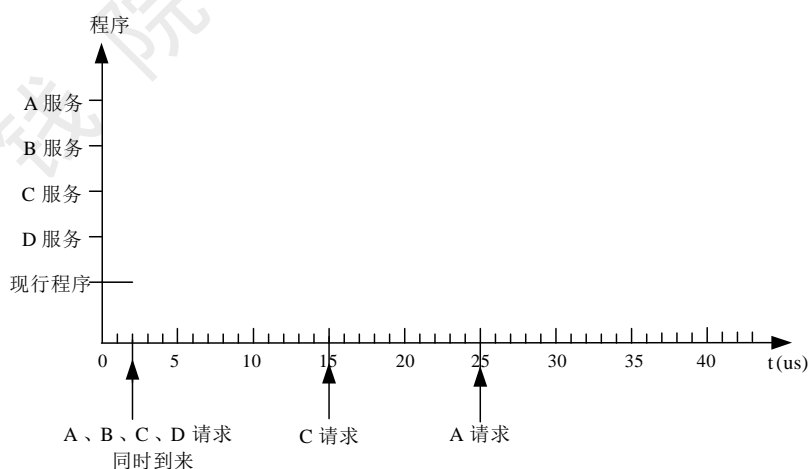
五、中断系统： (15 分)

设某机有 A、B、C、D 四级中断，并支持多重中断，其中断响应优先级按降序排列为：D→C→B→A。若要将中断处理优先级改为：C→B→A→D，试问：

(1) 若中断屏蔽字的每一位对应一级中断，该位为“0”表示允许该级中断，该位为“1”表示屏蔽该级中断，则要实现上述中断处理优先次序，各级中断处理程序的中断屏蔽字应如何设置？**请将答案直接填入下表中。**

中断处理程序	中 断 屏 蔽 字			
	D 级	C 级	B 级	A 级
A 级中断处理程序				
B 级中断处理程序				
C 级中断处理程序				
D 级中断处理程序				

(2) 若设中断服务程序的执行时间为 $5\mu\text{s}$ （其中保存现场、开中断等额外开销需 $2\mu\text{s}$ ），CPU 响应中断的延迟时间忽略不计，现行程序的中断屏蔽字为 0000B。请根据下图所示时间轴给出的中断请求时刻，画出上述中断处理优先级所对应的 CPU 执行程序的轨迹。（答案请直接画在下图中）



西安交通大学考试题

六、数据表示与运算：(在下列 2 题中任选且仅选 1 题作答, 15 分)

(一) 设某计算机的机器字长为 12 位, 其浮点数阶码和尾数均用补码表示, 格式为: 阶符 2 位、阶码 4 位、数符 2 位、尾数 4 位。已知两个浮点数的初始值为: $X = 2^{+5} \times (-13/16)$, $Y = 2^{-10} \times (-7/16)$ 。求 $X \times Y = ?$ 要求:

(1) 按照浮点乘法运算步骤进行计算, 写出每步计算过程, 最后结果的表示形式同初始数据;

(2) 尾数运算采用补码比较法 (一位乘或二位乘算法均可), 详细写出机器乘法每一步的运算过程;

(3) 采用末位恒置 1 法进行舍入。

(二) 假设某机字长为 32 位, 加法器的输入数据为 a_i 、 b_i , 第 1 级进位函数为 g_i 、 p_i , 第 2 级进位函数为 G_i 、 P_i , 第 3 级进位函数为 G_i^* 、 P_i^* , 进位信号为 C_i , 其中 $i=0, 1, 2, \dots$, 从低位到高位递增。

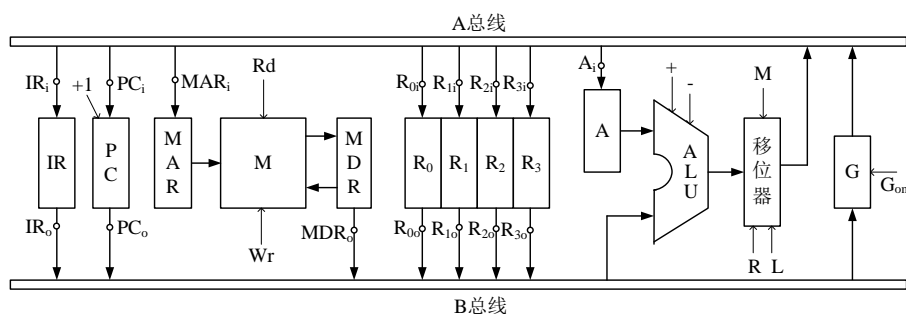
(1) 请写出 g_i 、 p_i 的原理性逻辑表达式;

(2) 假设第 1 级为四位分组, 加法器采用二级先行-级联进位方案, 请写出 C_4 、 G_0 、 P_0 的原理性逻辑表达式。

(3) 请用 74181 和 74182 芯片为该机设计一个并行加法器, 图中 74181、74182 与进位无关的引脚可省略不画。

七、CPU 设计： (15 分)

某计算机 CPU 数据通路如下图所示, 包含以下部件: ALU, 移位器, 存储器数据寄存器 MDR, 存储器地址寄存器 MAR, 指令寄存器 IR, 程序计数器 PC (具有自增功能), 通用寄存器 $R_0 \sim R_3$, 暂存器 A, 总线连接器 G, 主存储器 M。图中也示意了各部件操作所需的微命令信号, 包括寄存器打入和读出, 例如 MAR_i (打入)、 MDR_o (读出), 存储器读写 (Rd 、 Wr), PC 加 1 ($+1$), ALU 运算 ($+$ 、 $-$), 移位器左移、右移和直送 (L 、 R 、 M), 总线连接器打开 (G_{on})。



若该机指令系统中包含一条减法指令“SUB R₁, (R₀)”，该指令的含义为：源操作数有效地址在 R₀ 中（寄存器间接寻址），目的操作数在寄存器 R₁ 中（寄存器寻址），源操作数减去目的操作数后结果送到寄存器 R₁ 中。

(1) 请用 RTL 描述该指令周期中每个时钟周期执行的微操作序列，以及对应该微操作命令序列。该指令的 CPI 是多少？

(2) 请在图中标出的微命令中找出全部互斥组；

(3) 若按照图中所给出的全部微命令设计微指令格式，请问微操作控制字段最少需要多少位？请给出设计方案。

完