

2015 年全国大学生电子设计竞赛 设计报告

数字频率计（F 题）



2015 年 8 月 15 日

摘 要

该装置用于测量时间参数，主要由前级信号放大电路，FPGA 信号处理电路，STM32 控制电路，12864 液晶显示模块等组成。前端的信号经过放大、比较后，由 FPGA 进行处理与测量，并将数据发送给 STM32 单片机，最后单片机控制液晶 12864 将结果显示。设计中使用 FPGA ALTERA II EP2C8F256C8 进行测量，采用 50MHZ 高精度温补晶振作为时间量度，使用等精度测量的方法，大大提高测了量的精度

关键词: 频率计 等精度测量 FPGA STM32

Abstract

The design device is used to measure time, mainly by the front stage signal amplifier circuit, FPGA signal processing circuit, STM32 control circuit, 12864 LCD module and so on. The front end of the signal after amplification, comparison, and then sent to the FPGA for processing and measurement and the data sent to the STM32 microcontroller, and finally the results show that the microcontroller LCD 12864. Design using FPGA of Altera II EP2C8F256C8 were measured, the 50MHz high precision temperature compensated crystal oscillator as a measure of time, the use of precision measuring method, greatly improving measurement accuracy

Key words: Frequency meter Equally accurate measurement STM32 FPGA

目录

1 系统方案..... 1

1.1 方案比较与选择..... 1

1.1.1 前级信号放大和处理..... 1

1.1.2 后级信号测量..... 1

1.2 总体方案简述..... 2

2 理论分析与计算..... 2

2.1 宽带通道放大器分析..... 2

2.2 测量原理分析..... 2

2.3 通信方式及显示方案的选择..... 4

3 系统电路设计..... 4

3.1 模块电路..... 4

3.1.1 前级信号处理电路的设计..... 4

3.1.2 FPGA 外围电路 5

4 系统程序设计..... 5

5 测试方案与测试结果分析..... 5

5.1 测试方案..... 5

5.1.1 测试方案及测试条件..... 5

5.1.2 测试结果..... 6

5.2 测试结果分析..... 7

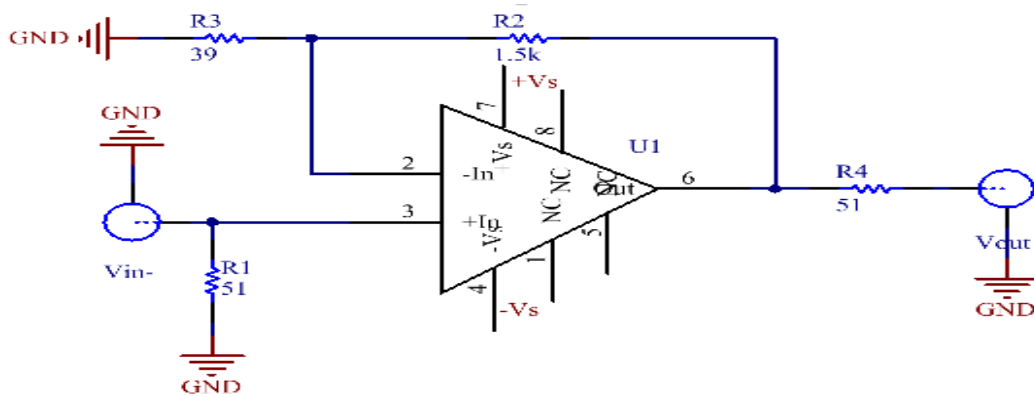
1 系统方案

1.1 方案比较与选择

1.1.1 前级信号放大和处理

方案一：待信号经过前级放大器放大后，进入施密特触发器完成整形。

前级放大采用宽带、超低噪声的电压反馈运放 OPA847 搭建的同相放大电路(如下图所示)，增益约为 36 dB。放大后的信号送入施密特反向触发器（门限电压约 1.8V）整形，得到方波。该方案优点是输出信号上升沿陡峭，便于后级处理，缺点是前级放大电路放大能力有限，尤其是在高频情况或者输入信号较小的情况下，施密特触发器无法触发。



方案二：

使用高速比较器 LT1715 进行放大整形。

比较器是一种特殊的运算放大器，理论上，比较器的增益为无穷大。

ADCMP600 是一款超高速双路比较器，外部电路简单，稳定性高，采用毫伏级的迟滞比较电路，可以大大简化前级电路。

我们最终选择方案二。方案二电路简单，易于实现。

1.1.2 后级信号测量

方案一：使用 STM32 完成频率以及时间间隔的测量。由于 STM32 采用计数的方式测频，最多只能采集到 100KHz 以下的频率，而且测量误差较大。

使用程控分频器 MC12080 将信号分频分至 100K 以下，单片机采集分频后信号

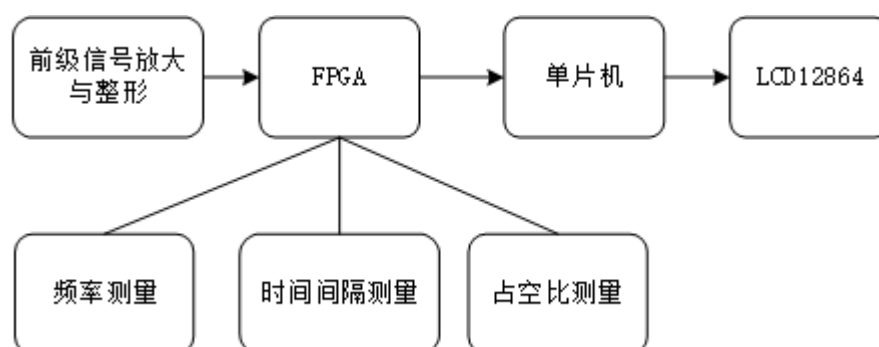
频率，再乘以分频倍数，得到所测信号频率。测相部分则需要在单片机外部搭设门电路、计数器电路，频率较高情况下不易实现，且电路比较复杂，不易操作。

方案二：使用 FPGA 完成频率、时间间隔、占空比的测量。FPGA 是现场可编程门阵列，使用 50MHz 温补晶振，内部数字锁相环（PLL）可将频率倍至 200MHz，可以大大提高测量精度。使用 FPGA 测量高频信号，无需外部分频电路，而且分辨率可达到 ns 级别，高分辨率也使得 FPGA 较容易地完成对于时间间隔和占空比的测量。除此之外，FPGA 拥有强大的开发环境（如 Quartus II）易于调试。

经过对比，我们最终选择方案二。

1.2 总体方案简述

在测频的过程中，将待测正弦信号经过放大和整形后，送入 FPGA 对数据进行处理，完成待测信号的频率、时间间隔、以及占空比的测量。系统框图如下：



2 理论分析与计算

2.1 宽带通道放大器分析

本系统前端利用比较器对待测信号进行开环放大，待测信号转变为方波的同时频率等信息保持不变。

2.2 测量原理分析

本系统对时间的主要的测量方法为等精度测量，即以 50MHz 温补晶振作为时间基准对待测信号和温补晶振产生的 clock 同时计数并且同时结束计数，根据

计数的比值计算出所测时间。

一、频率和周期测量：

为了提升测量精度，先对待测信号进行粗略测量，初步判断出频率高低，然后根据频率的高低采取不同的测量方法。对于低频信号，采取计 clock 的方法计算频率（即对信号两个上升沿间的 clock 上升沿进行计数），设计数结果为 N1。对于高频信号，则采用等精度测量的方法：即同时对 clock 和待测信号进行计数，当 clock 计数到 1s 的同时记下此时待测信号的个数，由 clock 和待测信号计数的比值即可计算出待测信号的频率，设计数结果为 N2。最后由单片机对数据进行

$$fre_{high} = N2 \div$$

处理，选择合适的结果，以提高测量精度。设基准时钟频率为 FRE_{STD}。则高频信号的计算公式为：

低频信号的计算公式为：

$$fre_{low} = FRE_{STD}/N1 \div$$

二、时间间隔测量：

待测两路信号经过比较器后进入 FPGA 后，先对两路信号均进行二分频，以消除占空比信息，再对所得的信号进行异或操作，得到的脉冲的宽度即为两个信号的时间间隔。对于该时间间隔，FPGA 易测得输入信号的频率（方法与频率及周期的测量方法同）f_{sig}，进而求得待测信号的频率。故只要求得输入信号的占空比。对于占空比的测量，我们设定一定的时间门限，分别对异或后生成的信号高电平时的时钟上升沿计数以及时钟低电平时的时钟上升沿计数，得到计数 count1 与 count2。计算时间差 Δt 的公式如下：

$$\Delta t = \frac{count1}{count1 + count2} * 2/f_{sig} \div$$

三、脉冲信号占空比的测量：

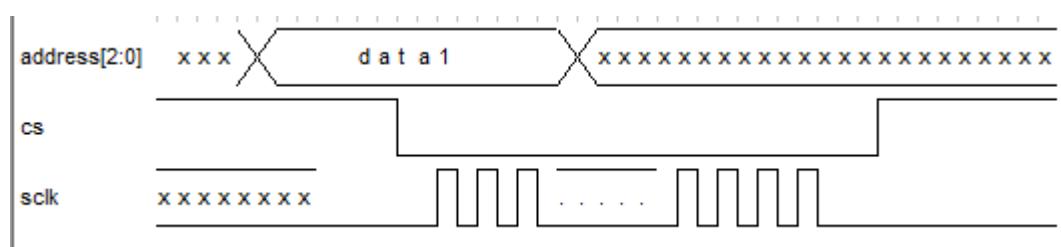
脉冲信号占空比的测量与时间间隔测量中信号占空比的测量方法相似。设一

定时间阀门下，在信号上高电平时对时钟上升沿的计数结果为 cnt1 ，在信号低电平时对时钟上升沿的计数结果为 cnt2 ，则占空比的计算公式如下：

$$\text{占空比} = \frac{\text{cnt1}}{\text{cnt1} + \text{cnt2}} * 100\%$$

2.3 通信方式及显示方案的选择

单片机与 FPGA 之间的通信采取并行寻址串行传输数据的方式实现，即单片机向 FPGA 发送地址请求数据，FPGA 收到请求后将相应数据发送给单片机。相应时序图如下：



3 系统电路设计

3.1 模块电路

3.1.1 前级信号处理电路的设计

因为待测信号幅值较小，需要对前级待测信号进行放大与整形，将待测信号转变为可以被 FPGA 处理的数字信号。电路原理图如下图所示：

APPLICATIONS INFORMATION

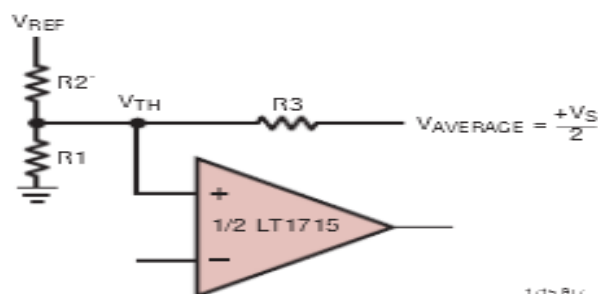
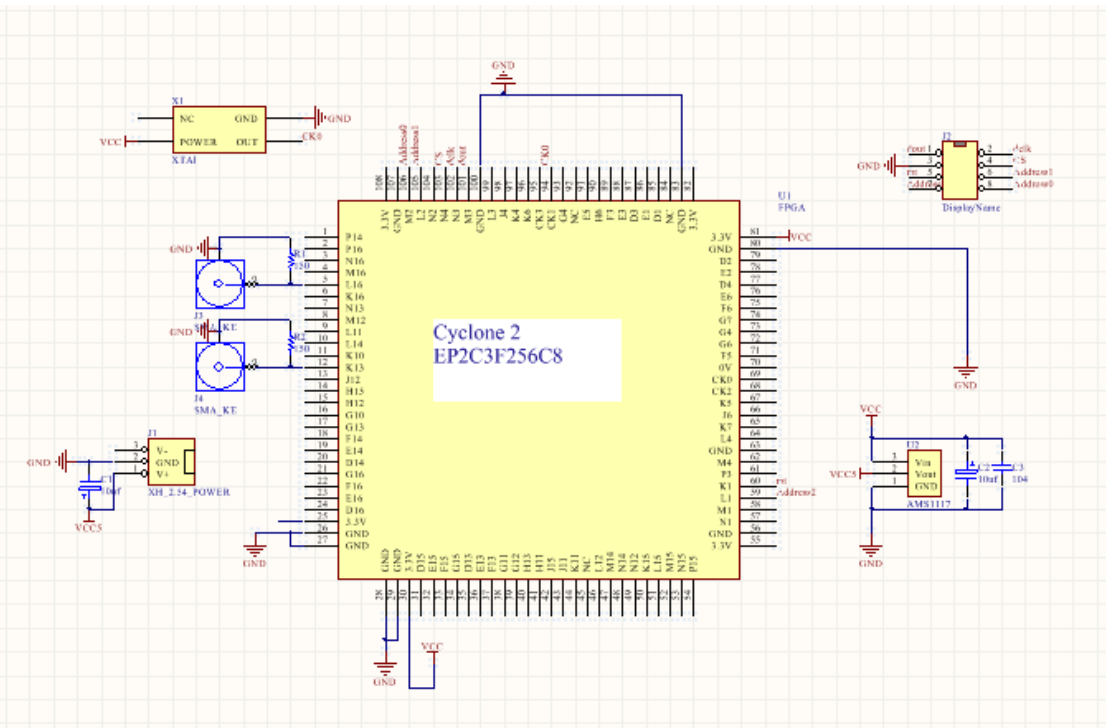


Figure 7. Model for Additional Hysteresis Calculations

3.1.2 FPGA 外围电路

如图 3 为 FPGA 及其外部电路。



4 系统程序设计

该系统单片机作为主控，完成液晶显示，向 FPGA 请求数据，按键检测的任务。

5 测试方案与测试结果分析

5.1 测试方案

5.1.1 测试方案及测试条件

- 一、测试方案：我们采取控制变量法对系统进行测试：保持待测信号的电压幅值不变，步进改变信号的频率，记录待测频率测量值；保持待测信号的频率不变，步进改变信号的幅值，记录待测频率的测量值。
- 二、测试条件：在室温为 25℃ 条件下，所用仪器如下表所示：

序号	名称、型号及规格	主要技术指标	数量	备注
1	数字存储示波器 SDS3034E	350MHz 2GS/s	1 台	广州技创电子 设备有限公司
2	函数发生器 SPG2102X	120MHz 1.2GSa/s	1 台	上海双旭电子 有限公司
3	数字万用表 FLUKE 177	$\pm 1\%$ 1mV 0.02mA	1 台	深圳和普泰克 电子有限公司

5.1.2 测试结果

一、频率测量。

使用函数发生器产生 1Hz-1MHz 的有效值为 50mV-1V 的正弦信号，测量值与实际值如下表所示

实际频率	1.0000	29.00	53.00	1.100k	500.00k	1.00M	50.00M	100.00M
显示频率	0.9999	28.999110	52.999590	1.10000010k	500.00k	1.00M	50.00M	100.00M

二、时间间隔测量。

使用函数发生器产生 2 个 100Hz-1MHz 的峰峰值为 50mV-1V 的方波（时间差为 1 μ s），测量值与实际值如下表：

峰峰值 频率	10mV	500mV	1V
100Hz	0.9998 μ s	0.9999 μ s	0.9999 μ s
10KHz	0.9997 μ s	0.9996 μ s	0.9995 μ s
1MHz	0.9985 μ s	0.9990 μ s	0.9992 μ s

三、占空比测量。

实际占空比 10khz)	0.9	0.5	0.1	0.37
显示占空比	0.899988	0.4999882	0.09998739	0.36998714
实际占空比 (100hz)	0.5	0.1	0.71	0.9
显示占空比	0.4999989	0.09999991	0.70999985	0.89999992

5.2 测试结果分析

测量结果出现了一定误差，该误差主要出现在低频情况下和信号幅值微小的情况下。

频率较低时，误差主要来源于比较器的特性。高速比较器在低频下易抖动，不够稳定，造成了结果的飘移。

待测信号幅值微小时，由于采取较低窗口的迟滞比较器，抵抗抖动能力较差，外界的扰动会造成测量结果出现偏差。

此外，晶振的漂移也会造成一定的误差。

参考文献：

1. 深入浅出玩转 FPGA，吴厚航，【北京航空航天大学出版社】
2. STM32 库开发实战指南，刘火良，杨森，【机械工业出版社】