**简易数字信号传输分析仪（E题）**

****

**“瑞萨杯”2011全国大学生电子设计大赛参赛论文**

简易数字信号传输分析仪

**[摘 要]** 本系统由信号发生模块和信号分析处理模块两部分组成。其中信号发生模块以现场可编程门阵列(FPGA)作为数字信号发生器，产生M序列伪随机信号作为数字传输信号。而后该信号被送入由NE5532构成的二阶低通滤波电路进行滤波，滤波后的信号通过加法器AD823与信道噪声（由FPGA生成的伪随机信号模拟）叠加，作为信号分析部分的最终输入信号。

信号分析部分由数字信号分析电路和示波器组成。数字信号分析部分可从输入信号中提取位同步信号，从而确保示波器的水平扫描周期与信号码元周期相同，以便示波器能够显示出信号的对应眼图。通过眼图可以直观地了解码间串扰和噪声的影响，从而最终实现对数字信号传输性能的测试。

**[关键词]** **FPGA；M序列为随机信号；位同步提取**

**Simple digital signal transmission analyzer**

**Abstract：**This system consists of a signal generator module and a signal processing module. A field programmable gate arrays (FPGA) is used to generate M sequences pseudo random signal in the signal generator. The signal is then filtered by a second-order low pass filter in which a NE5532 is used as a core. The filtered signal is added with the channel noise (a simulated pseudo random generated by a FPGA) by adder AD823. This signal is treated as the final input signal.

The signal analysis is performed by a digital signal analysis circuit and an oscilloscope. In signal analysis, bit synchronization signal can be extracted from input signal so as to ensure the horizontal scan cycle of oscilloscope is identical with the signal cycle. And the signal eye diagram can be displayed in the oscilloscope. From the eye diagram, the intersymbol interference and noise can be analyzed to test the signal transmission performance.

**Keywords：**  FPGA； M sequences pseudo random signal; bit synchronization extraction

**目 录**

[1 方案论证与比较 1](#_Toc302891107)

[1.1 M序列信号发生方案比较 1](#_Toc302891108)

[1.2 滤波方案比较 1](#_Toc302891109)

[2 系统总体设计思路 2](#_Toc302891110)

[3 系统硬件部分的理论分析与参数计算 3](#_Toc302891111)

[3.1 M序列数字信号发生部分 3](#_Toc302891112)

[3.2 低通滤波器设计 4](#_Toc302891113)

[3.3 同步信号提取 5](#_Toc302891114)

[3.4 眼图的显示 5](#_Toc302891115)

[4 FPGA系统的软件部分设计 6](#_Toc302891116)

[5 系统测试及性能总结 7](#_Toc302891117)

[5.1 低通滤波器性能测试 7](#_Toc302891118)

[5.2 系统传输性能测试 7](#_Toc302891119)

[5.3 眼图显示测试 7](#_Toc302891120)

[5.4 性能总结 7](#_Toc302891121)

[参考文献 8](#_Toc302891122)

[附录 9](#_Toc302891123)

# 方案论证与比较

## M序列信号发生方案比较

M序列是一种伪随机序列，具有结构简单、实现方便的特点，在现代工业实践中应用广泛。产生M序列的方法很多，如利用通用数字器件构成、利用软件方式构和利用FPGA构成等方式，各有利弊。

方案一：本方案采用m片双向移位寄存器级连成N级移位寄存器。用通用数字器件构成的特点是速度可以很快，但硬件电路不便于修改，只能产生单一N级的M序列伪随机信号。

方案二：本方案采用软件构成的方式产生M序列伪随机信号。软件构成的特点是采用灵活的数据查询方式，可以获得任意级数N的本原多项式系数，从而实现m序列的产生，但速度受到单片机工作速度的限制。

方案三：此方案采用FPGA产生M序列伪随机信号。M序列信号发生器有两种结构：Fabonacci型和Galois型。本设计采用Fabonacci型移位寄存器产生M序列伪随机信号。该方案使用FPGA产生信号，因而即具有硬件电路的各项优点，又具有设计上的灵活性——可获得任意级数n的M序列本原多项式系数，级数切换速度快。

对于本题来说，需要生成两种M序列伪随机信号。若采用方案一，需为数字信号发生器和伪随机信号发生器单独设计对应的电路。而采用方案三则只需改动程序参数，即可通过同一块FPGA系统板产生所需的数字传输信号和伪随机信号，避免了硬件实现方式需要重新设计电路的麻烦。因而本设计采用此种方案三。

## 滤波方案比较

对于本题来说，可采用有源滤波和无源滤波两种方案。

方案一：采用无源滤波器。无源滤波器由无源元件（电阻、电容、电感）组成，具有高频性能好、电路简单、功能可靠、无需直流供电，能够输出高压大电流等优点。但无源滤波器带负载能力较差，不但通带放大倍数会因负载电阻而减小，而且通带截至频率也会因负载电阻而增大。同时无源滤波器的体积和重量也比较大，其电感还会引起电磁干扰。

方案二：采用有源滤波器。有源滤波器由电阻、电容和有源器件（如集成运放）组成，具有电路体积小重量轻、通带内信号可放大、精度高、性能稳定、易于调试、负载效应小、可多级相连构成高阶滤波器等诸多优点。但由于集成运放所限，有源滤波电路不适于高电压大电流负载，而只适用于信号处理。

根据题目具体要求，系统只需对弱电信号进行处理，且对于信号处理的精确性要求较为苛刻，因此方案二更为适合。

# 系统总体设计思路

根据题目要求，结合软件系统和硬件电路各自的优点，本设计最终采用了通过FPGA系统构建移位寄存器产生M序列伪随机信号的方法。该方法使得系统信号发生模块同时具有了硬件电路的快速性、低延时性和软件系统的灵活性、易移植性。同时为了使系统增益系数易于调节，本系统将放大功能从低通滤波电路中剥离出来，单独设置了增益可调的放大电路对信号进行放大，从而使系统增益调节具有快速性和灵活性。由于题目中对信号码元速率的要求较高，因此本系统中多处设置了电压跟随器以信号对减小系统的干扰，同时也为信号测试预留了端口。

信号分析部分首先通过数字信号分析电路对叠加后的输入信号进行放大和提取，并将提取出来的位同步信号作为水平扫描同步信号送入示波器。当示波器扫描的周期与信号码元周期相同，即可观察到对应的眼图，从而直观地了解到码间串扰和噪声的影响，实现对数字信号传输性能的测试。系统的总体结构框图如图1所示。

V3

伪随机信号发生器

0.1μF

100k低通滤波器

C

V2

100k低通滤波器

V4

V1

数字信号发生器

100k低通滤波器

示波器

数字信号发生器

V1-clock

V4-syn

V2a

100k低通滤波器

图1、总体结构框图

# 系统硬件部分的理论分析与参数计算

## M序列数字信号发生部分

M序列是伪随机序列的一种，操作简单、实现方便，在现代工程实践中具有广泛的应用。本系统通过FPGA产生M序列伪随机信号以模拟数字传输信号及信道噪声，其原理图如图2所示。

a1

an-1

a0

D

D

D

D

-Cn

-Cn-1

-C1

-C2

an

图2、p元n级Fabonacci型线性移位寄存器模型

图中，n个小方块代表n个寄存器D把它们从左到右依次为第1级，第2级，……，第n级寄存器。当系数Ci=1时，表示第i级输出ai参与反馈；当Ci=0时，表示第i级输出ai不参与反馈。开始时，设第1级的内容为an-1，第2级内容为an-2，……，第n级内容为a0，即n级移位寄存器的初始状态为(a0,a1,…,an-1)(非0初态)。则加法器的输出，即反馈到第1级的输入为：

（1）

该序列的递推关系式为：

（2）

即n级线性移位寄存器序列所对应的反馈逻辑。

另外，图1的2元n级移位寄存器的联接多项式为：

（1）

f(x)=1+c1x+…+cn-1 xn-1+cnxn

（3）

该多项式应为2元有限域GF(2)上的n次本原多项式，其非0序列周期为2n-l，X取值为0或l。

该方法采用查询本征多项式系数表的方式获得本原多项式的系数特征。系数表由FPGA内嵌的E2PROM构成，只要给定n，经过级数调整模块运算，即可从E2PROM的输出端获得其本原多项式的系数。

## 低通滤波器设计

根据实验参数要求，本方案选择二阶低通滤波器。其原理图如图3所示。

U0

Ui

R1

C2

C1

R4

—

+

R2

（3）

图3、压控电压源二阶有源低通滤波电路

对于二阶低通滤波器其归一化函数：=

（4）

将此式与2阶归一化的巴特我思低通滤波器传递函数的分母多项式：，比较得

（5）

通带内的电压放大倍数：

（6）

滤波器的截至角频率为：



（7）

（5）

（4）

故由以上各式可得出电路参数为：

（8）

当时,  

（6）

当时,  

（9）

当时,  

（10）

值得注意的是，实际电路中，由于题目要求通带增益可调，而低通滤波器的增益需通过重新设定RC值进行调整，较为麻烦。因此本设计中采用无增益低通滤波器，后接增益可变的同相放大器以实现系统增益的快速、灵活调节。

## 同步信号提取

位同步的实现方法分为外同步法和自同步法两种方式。本系统采用自同步方式——利用曼彻斯特编码将时钟信号和数据一同包含到数据流中，在传输代码信息的同时，也将时钟同步信号一起传输到信号分析电路中，通过分析电路中的数字锁相环从接收信号中恢复出与发端频率相同的码元时钟信号。这样即可保证数字信号分析电路解调时在最佳时刻进行抽样判决，从而达到消除噪声干扰所导致的解调接收信号的失真，使接收端能以较低的错误概率恢复出被传输的数字信息的目的。

曼彻斯特编码是一种同步时钟编码技术，它提供一个简单的编码方式给二进制序列，而没有长的周期和转换级别，因而防止了[时钟同步](http://baike.baidu.com/view/198969.htm)的丢失，或来自低频率位移在贫乏补偿时的模拟链接位错误。它将时钟和数据包含在数据流中，在传输代码信息的同时，也将时钟同步信号一起传输出去，每位编码中有一跳变，不存在直流分量，因此具有自同步能力和良好的抗干扰性能。

数字锁相环主要由相位参考提取电路、[晶体振荡器](http://baike.baidu.com/view/480656.htm)、分频器、相位比较器、脉冲补抹门等组成。分频器输出的[信号频率](http://baike.baidu.com/view/1984054.htm)与所需频率十分接近，把它和从信号中提取的相位参考信号同时送入相位比较器，若比较结果为本地频率较高，则通过补抹门抹掉一个输入分频器的脉冲，相当于本地振荡频率降低；相反，若结果为本地频率较低，则在分频器输入端的两个输入脉冲间插入一个脉冲，相当于本地振荡频率上升。通过此种方式数字锁相环可以对本振输出的相位进行调整，最终得到正确的位同步信号。

## 眼图的显示

本设计采用滤波器显示眼图。眼图是指利用实验的方法估计和改善（通过调整）传输系统性能时在示波器上观察到的一种图形。观察眼图的方法是：将接收滤波器输出波形接入示波器的一个探头，示波器的另一个探头接收位同步时钟信号，以位同步时钟信号作为示波器的水平扫描同步信号，调节示波器扫描周期与信号码元周期相同，则示波器可以显示一个完整的码元周期。此时可以从示波器上便可观察到类似人眼睛的图形，即眼图。本题目中要求输出信号为TTL电平，即二进制波形，故示波器上将显示1只“眼睛”。

通过眼图上“眼睛”的张开程度我们可以了解到本系统的输出信号的很多有用信息：可以从中看出码间串扰的大小和噪声的强弱，有助于直观地了解码间串扰和噪声的影响，评价一个基带系统的性能优劣；也可以籍此指示接收滤波器的调整，以减小码间串扰。眼图中的“眼睛”张开程度越大，且眼图越端正，表示码间串扰越小；反之表示码间串扰越大。当存在噪声时，噪声将叠加在信号上，观察到的眼图的线迹会变得模糊不清。若同时存在码间串扰，“眼睛”的张开程度将变得更小。此时可以观察到，与无码间串扰时的眼图相比，原来清晰端正的细线迹，变成了比较模糊的带状线，而且不很端正。噪声越大，线迹展宽越严重，线迹越模糊；码间串扰越大，眼图端正程度越差，图像越不规则。

# FPGA系统的软件部分设计

本系统使用Verilog语言编程，利用FGPA实现M序列信号的产生及对传输信号的分析提取操作。软件设计分为M序列随机信号发生部分和信号分析处理两个部分。

M序列随机发生部分的软件设计能够使FGPA生成作为传输信号和噪声的两种M序列伪随机信号。其流程图如图4所示。

信号处理部分的软件主要实现对信号的放大和提取位同步信号的功能以便使示波器能够正常显示对应眼图。其流程图如5所示。

开始

系统初始化

产生噪声信号

产生数字信号

判断拨码状态（10种状态）

系统初始化

开始

放大输入信号

位同步提取

将同步信号和传输信号送至示波器

输出数据率为

10-100kbps的信号

控制LED显示当前输出数据的数据率

图5、信号处理部分流程图

图4、M序列随机信号发生部分软件实现流程图

# 系统测试及性能总结

## 低通滤波器性能测试

测试方法：将一正弦信号作为测试信号输入低通滤波器，通过调节输入信号，观察对应输出信号波形的方法，即可测得滤波器各项性能指标。测试数据如表1所示。

表1低通滤波器性能测试数据表

|  |  |  |  |
| --- | --- | --- | --- |
| 理论截止频率（HZ） | 实际截止频率（HZ） | 增益范围（dB） | 系统衰减(dB) |
| 100K | 99K | 0.2-4 | 40 |
| 200K | 200K | 0.2-4 | 40 |
| 500K | 498K | 0.2-4 | 40 |

结果分析：以上结果说明滤波器确能满足题目对其的各项要求,其中实际增益范围能够超出题目要求。

## 系统传输性能测试

测试方法：本系统为V1、V1-clock、V2、V2a、V3和V4-syn信号预留了测试端口，将信号接入示波器，即可观察到其对应波形，实现对系统的测试。测试数据如表2所示。

表2系统传输性能测试数据表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 截止频率（HZ） | V1（V） | V2（V） | V3（3） | V4（V） |
| 100K | 3.3 | 7 | 0.45-3 | 10 |
| 200K | 3.3 | 3.6 | 0.4-3 | 4.6 |
| 500K | 3.3 | 7 | 0.08-1.5 | 9.8 |

结果分析:系统传输信号幅度基本达到题目要求。

## 眼图显示测试

本系统通过示波器成功地得出了信号的对应眼图，且调节系统增益时，可以观察到眼图的张开程度及线迹的清晰程度随之变化，说明本系统却能起到分析信道传输特性的作用。

## 性能总结

本系统较好地达到了题目基本部分和部分发挥部分的要求。同时针对本次题目，系统合理地选择了利用FPGA产生M序列伪随机信号的方案，并利用无增益低通滤波器搭配增益可调放大器的设计实现增益可调功能，使得该系统还具备了灵活性好、易于调节等优点，大大增加了系统的实用性。

# 参考文献

【1】邹学易，易国华.一种基于FPGA的M序列发生器的设计[J].长江大学学报，2006.09(3).

【2】华成英. 模拟电子技术[M],清华大学出版社，2006

【3】沈明发，黄伟英，潘小平等.低频电子线路试验[M].暨南大学出版社，2001

【4】文元美，张树群，林家薇等.现代通信原理[M].科学出版社，2005

# 附录

系统整体电路连接图

