**2016年TI杯江苏省大学生电子设计竞赛**

**脉冲信号参数测量仪（E）**

**参赛学校：** 南京大学

**参赛编号：** NJ100

**参赛队员：** 张彪、李少创、韦媛馨

**南 京 大 学**

**二○一六年七月二十八日**

**摘要**

本作品基于对脉冲信号参数测量仪的设计，以Alter公司的Cyclone FPGA为控制核心，TI公司的单片机MSP430F5529为从机，由信号前置处理模块、双比较器比较模块、单片机采样输出与显示模块等组成，具有宽输入范围和精确度相对高的特点。前级用电阻分压网路将信号进行固定3倍衰减，一路信号直接供单片机采样。得到幅值参数，另一路信号经过由单片机控制的VCA810程控放大、OPA847固定7倍增益放大，可以在确保保护VCA810和不影响脉冲信号特性的情况下将任意0.1~10V幅值输入的脉冲信号统一调整到幅值3V，进而可以输给FPGA进行下一步的处理，得到频率、幅值和上升时间等参数。 最后用FPGA和THS3001芯片搭建标准脉冲信号发生器。同时， 系统具有绘制低频波形的能力。经测量，本系统全部完成了基本要求，并完成了部分发挥功能。

**关键字**：脉冲信号、AD采样、DA控制、FPGA

Abstract

This work is based on the pulse signal parameters measuring instrument designed to Alter's Cyclone FPGA to control the core, TI's MSP430F5529 microcontroller as a slave by the signal pre-processing module, a dual comparator comparison module, the microcontroller sample output and display module etc., having a wide input range and accuracy relatively high. Pre-resistor voltage divider network signal attenuation fixed three times, all the way to the direct signal microcontroller for sampling. Obtained amplitude parameters, the other way through VCA810 signal amplified by the programmable microprocessor controlled, OPA847 7 fixed gain of amplification, can ensure the protection of any of the 0.1 ~ 10V amplitude of the input pulse signal unity under VCA810 and without affecting the characteristics of the pulse signal to adjust the amplitude of 3V, in turn, can be lost FPGA further processing to obtain the frequency, amplitude and rise time and other parameters. Finally FPGA chip THS3001 and build a standard pulse signal generator. At the same time, the system has the ability to draw the low-frequency wave. After measuring, the system completed the basic requirements, and completed some function.

**Keywords**:Pulse signal, AD sampling, DMA control, FPGA

**一、 设计方案工作原理**

1. **信号前级采集整形方案**

分析：由于输入信号幅值范围为0.1~10V，动态范围很大，既不能直接输给单片机采样，也不能直接输给FPGA进行特性分析，所以必须在信号前级加入采集处理装置，将波形整形到FPGA和单片机可以处理的幅值范围，又不能影响上升时间、占空比等参数，这是一个题目难点。

方案一：统一将输入信号衰减10倍，送入TLV3501比较器进行波形整形，此时输出信号幅值为TTL电平，约为3V，可以输给单片机和FPGA。然后再经过非门数字电路消除边沿抖动，最后将信号输入FPGA进行分析测量。

方案二：将信号先衰减3倍，再经过压控增益放大器VCA810，最后经过末级OPA847固定增益放大统一将信号整形成3V输出。此方案虽然经过3次放大衰减，VCA810的增益控制范围为-40~+40dB，增益计算公式为：

AV/V=10^2(Vc+1)

而且其带宽可达35M。固定增益放大器OPA847带宽增益积高达3.9G，输入噪声低至0.85nV/sqrHz,完全满足题目的2M带宽、低噪声要求。

方案一在原理上可行，思路简单。但是输入信号在衰减后直接经过比较器时候能否触发翻转未知，非门的延迟时间会影响信号的上升时间。方案二带宽和增益足以满足要求，而且不影响信号的上升时间和占空比等参数。因此选择方案二。

**2、幅度测量方案**

方案一：先经过峰值检波电路，然后将检测值采用AD芯片ADS1118进行模数转换，然后再输出给单片机处理。

方案二：信号分为两路，一路进行3倍衰减直接输给单片机，另一路先3倍衰减后再经过10倍增益放大输给单片机（有3.3V限幅电路，保护单片机）。使用单片机内部集成的转化速度为1M、精度为12位的高速AD进行采样，连续采样3200次，经过软件识别、处理得到一个稳定精确的幅值。

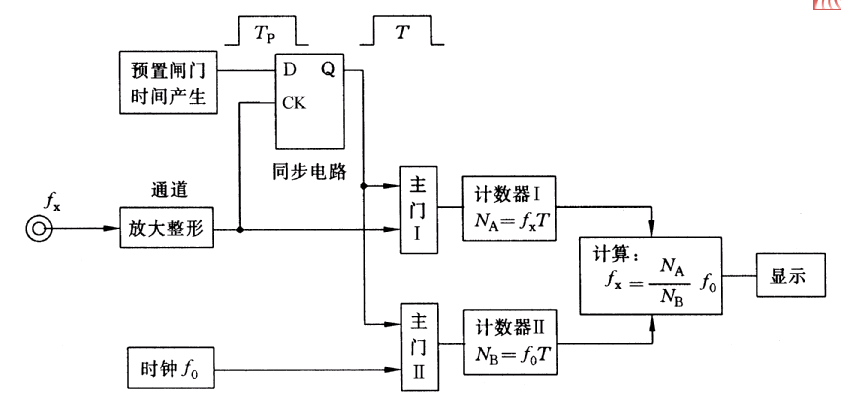
方案一虽然电路简单，可是峰值检波在10Hz到2M宽频率范围、10%到90%占空比可变、0.1到10V的幅值范围内很难精确测量到信号的幅值，后续即便使用16位高精度ADS1118，也难以弥补其误差。方案二将信号分为大小两路，大信号先衰减在采样，小信号衰减后再放大后采样，即便在输入信号如此大的可变范围内仍可以精确地得到其幅值，而且保护单片机，因此选择方案二。

1. **频率****测量方案**

方案一：频率测量，示意图如下： 方案二：周期测量法，示意图如下：



方案三：多周期同步测量法，示意图如下:



由于多周期测量法测量精度高，且与被测频率的大小无关，实现了“等频率”测量，所以本方案采取这种测量方法。

**4、上升时间测量方案**

分析：信号上升时间的计算方法定义为：



因此我们的重点就放在检测信号0.9倍幅值和0.1倍幅值的时间差上。

方案如下：将信号经过两路由高速比较器TLV3501制作的比较器，触发阈值电压分别为0.1倍和0.9倍信号的幅值，再将触发后产生的方波送入FPGA进行相位比较，以0.1倍信号幅值触发产生的信号为基准，测量与0.9倍信号幅值的时间差，就可以计算出上升时间。TLV3501可以做到4.5ns的超高速比较，完全满足题目最高频率2MHz的要求。

**5、占空比测量方案**

方案一：采用单周期测量法，单周期测量时，计数值为2±1，计数误差为2×10的-1次方（20%）.误差比较大。

方案二：采用多周期测量法，多周期测量时，由于被测频率为2MHz（N=2×10-6），则由±1字误差引起的测量误差将降低位1.414×10的3次方倍，使总的误差约为0.001，达到了题目0.02的要求。

根据上述分析，本方案采用多周期测量法。

**6、标准脉冲信号输出方案：**

方案一：使用FPGA内部50M晶振分频，产生标准占空比为10%的10MHz方波，幅值为1.98V，然后经过高速电流反馈型放大器THS3001搭载的功率放大器2.53倍增益放大至5V，可负载50Ω阻抗。

方案二：使用文氏桥振荡器产生10MHz正弦波，然后经过高速比较器TLV3501双门限电压迟滞比较，双门限电平分别为0.1和0.9倍正弦波幅值，产生10M占空比为10%的方波，其幅值约为3V的TTL电平，最后经过THS3001功率放大器将电平抬高至50Ω负载5V输出。

方案一由有源晶振输出方波直接放大，而且可以由FPGA直接控制其频率、占空比等特性，一般的有源晶振频率稳定性高达10的-4次方，晶振温漂低，方案简单可靠性高。方案二用分立元件搭载振荡器，经比较器输出方波，最后经过末级放大，其电阻热噪声和温飘会强烈干扰频率准确度，电路复杂度高，而且稳定性低。因此我们采用第一种方案。

**6、系统总体方案**

本系统由信号前置处理整形电路、比较器比较翻转电路、单片机AD检测、DA输出电路、FPGA处理电路四大部分组成。其中FPGA控制电路为核心，单片机为从机，前置整形电路为信道核心，比较器为测量信号上升时间的核心电路。单片机采用内部集成的AD、DA芯片用来检测幅值和输出控制电平，整体电路采用低噪声、宽带宽运放和比较器，电源处进行合理的去耦；一点接地、一点接电源，保证了电源对信道的影响最小。级间合理进行阻抗匹配，使得信号高度保真传输。系统的整体方案框图如下：

双路TLV3501比较器

7倍opa847固定增益

信号输入 固定3倍 VCA821

衰减 程控放大

FPGA

opa847

10倍增益

单片机

AD检测、

DA输出

输出占空比、频率、上升时间

THS3001功放

输出标准脉冲

输出幅值

图1.1系统框图

1. **核心部件电路设计（电路图见附件）**
2. **前置信道采集与整形电路**

信号先经过一路衰减网络衰减为1/3倍，然后经过程控增益放大器VCA810，VCA810的增益电压Vc由单片机输出，信号在经过末级opa847固定增益放大6倍，最后输出3V峰值的信号。

**2、双路比较器电路：**

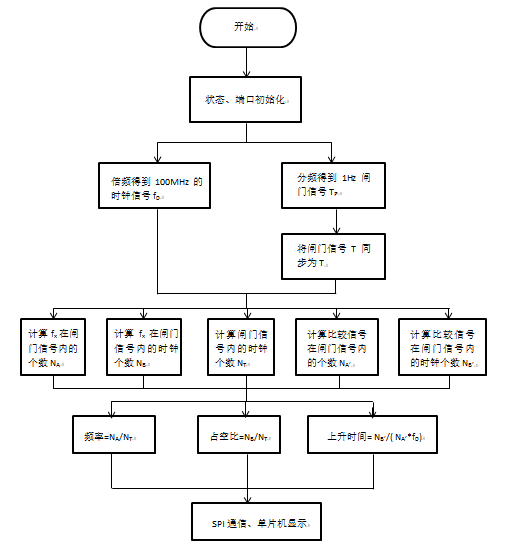
由信号前置采集处理电路输出的信号经过两个TLV3501比较器，触发电平分别为0.1和0.9倍输入信号电压幅值。两路比较后的方波输入FPGA后可以比较相位和触发时间关系，进而计算出上升时间。

1. **标准脉冲发生器功放电路：**

根据要求，需要提供一个50Ω负载峰值为5V的标准脉冲信号。FPGA输出的脉冲信号幅值只有3V左右，带负载能力不强，所以有必要加入一级功放电路，放大幅值，增强驱动能力。我们使用高速电流反馈运放THS3001搭载功放，经测试，能有效地将FPGA输出的信号转化成题目要求的标准脉冲。

1. **系统软件设计分析**

软件系统以FPGA为控制核心，通过与两路单片机通信控制，可以有效通过DA、AD控制、检测电路。以下是程序框图：



**四、 竞赛工作环境条件**

室温环境：25摄氏度

所使用仪器平台：直流稳压电源：INSTEK GPD-3303D

万用表：FLUKE 8808A 5位半

安捷伦500M示波器

DDS任意波形发生信号源

配套加工安装条件：钻孔机、板材切割机

1. **作品成效总结分析**

**5.1、系统实测指标：**

5.1.1、幅值测量指标

5.1.1.1:占空比50%

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 频率 | 100Hz | 1.5KHz | 30kHz | 900kHz | 2MHz |
| 幅值 | 300mV | 500mV | 900mV | 1.5V | 8V |
| 实测值 | 301mV | 498mV | 903mV | 1.51V | 7.94V |
| 误差值 | 0.33% | 0.4% | 0.33% | 0.67% | 0.75% |

5.1.1.2:频率为1M

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 占空比 | 10% | 30% | 50% | 70% | 90% |
| 幅值 | 300mV | 500mV | 900mV | 1.5V | 8V |
| 实测值 | 303mV | 504mV | 908mV | 1.47V | 8.04V |
| 误差值 | 1% | 0.8% | 0.88% | 0.2% | 0.5% |

综合以上两幅表格，可以看出在频率、占空比可变的情况下，幅值的测量误差都在2%以内，满足题目要求。

5.1.2：占空比测量

5.1.2.1：频率为1M

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 幅值 | 100mV | 500mV | 900mV | 1.4V | 10V |
| 占空比 | 10% | 30% | 50% | 70% | 90% |
| 实测值 | 9.9% | 29.8% | 49.9% | 69.8% | 89.9% |
| 误差值 | 1% | 0.97% | 0.2% | 0.29% | 0.11% |

5.1.2.2:幅值为1V

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 频率 | 100Hz | 1.5KHz | 30kHz | 900kHz | 2MHz |
| 占空比 | 10% | 30% | 50% | 70% | 90% |
| 实测值 | 9.9% | 29.9% | 49.8% | 69.9% | 89.9% |
| 误差值 | 1% | 0.33% | 0.4% | 0.14% | 0.11% |

综合以上两幅表格，可以看出在频率、幅值比可变的情况下，占空比的测量误差都在2%以内，满足题目要求。

5.1.3：频率测量

5.1.3.1：占空比为50%

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 幅值 | 100mV | 500mV | 900mV | 1.4V | 10V |
| 频率 | 100Hz | 1.5KHz | 30kHz | 900kHz | 2MHz |
| 实测值 | 99.98Hz | 1.49kHz | 29.98kHz | 899.97kHz | 1.998MHz |
| 误差值 | 0.02% | 0.07% | 0.07% | 0.003% | 0.1% |

5.1.3.2：幅值为1V

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 占空比 | 10% | 30% | 50% | 70% | 90% |
| 频率 | 100Hz | 1.5KHz | 30kHz | 900kHz | 2MHz |
| 实测值 | 99.99Hz | 1.49kHz | 29.99kHz | 899.96kHz | 1.999MHz |
| 误差值 | 0.01% | 0.07% | 0.03% | 0.004% | 0.005% |

综合以上两幅表格，可以看出在占空比、幅值比可变的情况下，频率的测量误差都在0.1%以内，满足题目要求。

5.1.4：上升沿时间测量

5.1.4.1：幅值为1V

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 占空比 | 10% | 30% | 50% | 70% | 90% |
| 上升沿时间 | 50ns | 350ns | 620ns | 810ns | 999ns |
| 实测值 | 49.8ns | 345ns | 610ns | 790n | 960ns |
| 误差值 | 0.4% | 1.4% | 1.6% | 2.4% | 4.0% |

5.1.4.2：占空比为50

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 幅值 | 100mV | 500mV | 900mV | 1.4V | 10V |
| 上升沿时间 | 50ns | 350ns | 620ns | 810ns | 999ns |
| 实测值 | 49.6ns | 343ns | 605ns | 785n | 965ns |
| 误差值 | 0.8% | 2% | 2.4% | 3.0% | 3.5% |

综合以上两幅表格，可以看出在占空比、幅值比可变的情况下，上升沿时间的测量误差都在5%以内，满足题目要求。而且随着上升沿时间的增加误差也增加，明显呈正相关的关系。

5.1.2：标准矩形脉冲信号发生器的测量

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 参数 | 频率 | 脉宽 | 幅度 | 上升时间 |
| 要求指标 | 1M | 100ns | 5V | 不大于30ns |
| 完成指标 | 1M | 101ns | 5.01V | 15ns |
| 是否达到要求 | 是 | 是 | 是 | 是 |

从上表看出，本方案的标准矩形脉冲信号发生器的设计和制作达到了题目的要求。

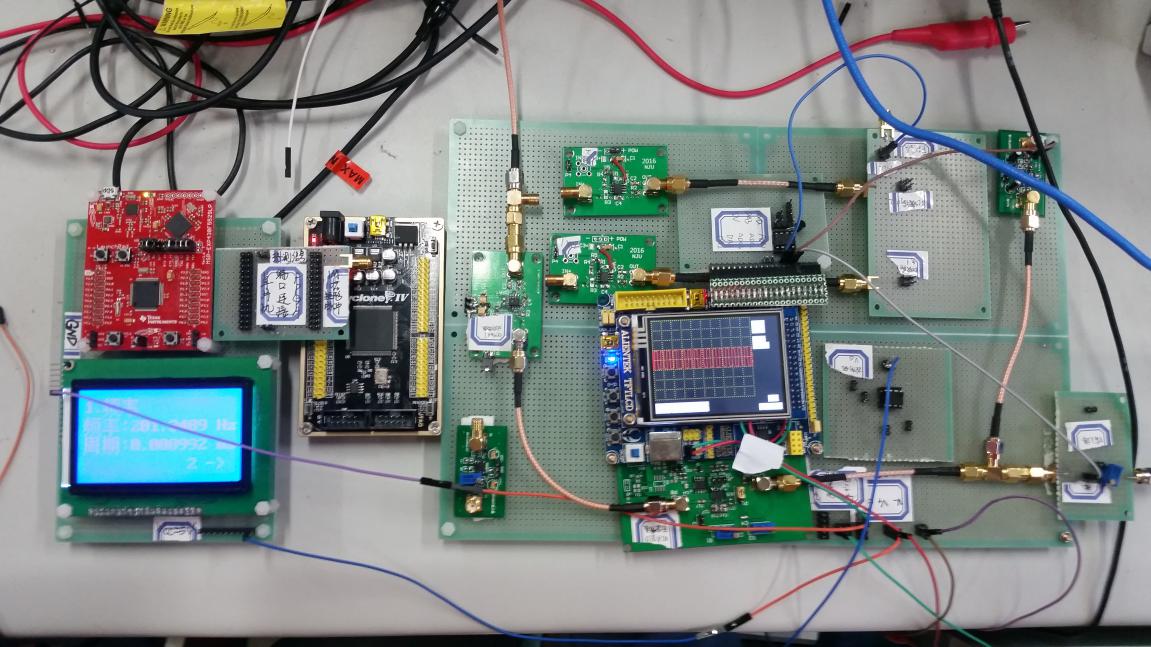
**5.2：成效得失对比分析和创新特色总结展望**

本作品在频率、幅值和占空比的测量能上表现得很出色，很多指标都超过了要求指标，但美中不足的是在上升沿时间的测量上表现得不尽如人意，误差的产生是在前置信道的处理带来的，影响了上升沿时间。由于比赛时间有限，我们没有尽可能的解决这个问题，如果给充足的时间，我们会把作品完善的更好。

本作品的创新之处在于我们使用单片机绘制了脉冲波形图，可以清晰地而又直观的在时域上对信号有个整体的把握。同时为了给功放供电，我们特地制作了一个直流稳压电源，经测试电源的性能良好，驱动能力强。

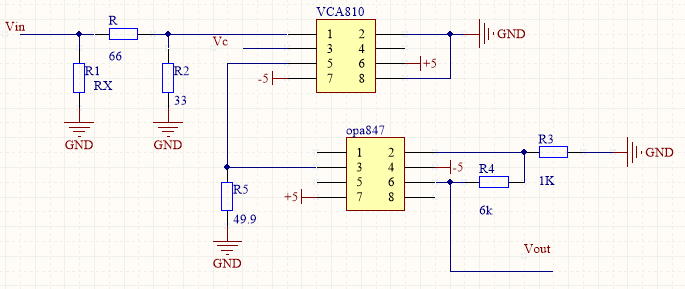
1. **附件材料**
2. **参赛学生特长**：擅长关于电路原理图的绘制焊接和调试，单片机和FPGA的应用。

**2、作品照片：**

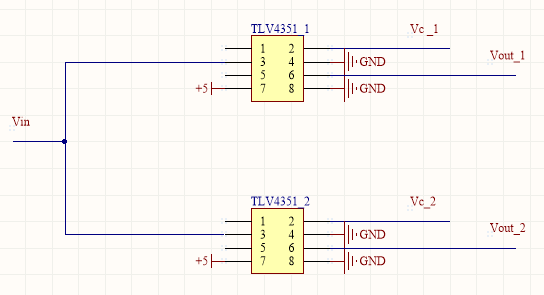


**3、电路原理图**

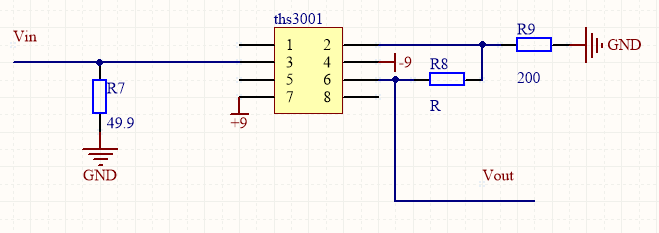
前级信道电路：



双路THS3001比较器电路：



末级功放电路：



**4、参考资料**：《全国大学生电子设计竞赛教程》，黄根春、周立青

《德州仪器高性能模拟器件高校应用指南》，德州仪器大学计划部

**5、部分程序源文件**

**module** spi\_Send\_32Bit( *//SPI向单片机传送32位数据的模块*

clk,RST,

Start\_flag,

End\_flag,

SPI\_data, *//待传送的32位数据*

SPI\_out

);

**input** clk;

**input** RST;

**input** Start\_flag;

**input** [31:0]SPI\_data; *//32位的数据*

**output** End\_flag;

**output** **reg** [2:0]SPI\_out;

**wire** start1;

**wire** start2;

**wire** start3;

**wire** start4;

**reg** start1\_reg;

**reg** start2\_reg;

**reg** start3\_reg;

**reg** start4\_reg;

**wire** isDone1;

**wire** isDone2;

**wire** isDone3;

**wire** isDone4;

**wire** [2:0]out1;

**wire** [2:0]out2;

**wire** [2:0]out3;

**wire** [2:0]out4;

spi\_Send U1(

.clk(clk),

.RST(RST),

.Start\_flag(start1),

.End\_flag(isDone1),

.SPI\_data(SPI\_data[31:24]),

.SPI\_out(out1)

);

spi\_Send U2(

.clk(clk),

.RST(RST),

.Start\_flag(start2),

.End\_flag(isDone2),

.SPI\_data(SPI\_data[23:16]),

.SPI\_out(out2)

);

spi\_Send U3(

.clk(clk),

.RST(RST),

.Start\_flag(start3),

.End\_flag(isDone3),

.SPI\_data(SPI\_data[15:8]),

.SPI\_out(out3)

);

spi\_Send U4(

.clk(clk),

.RST(RST),

.Start\_flag(start4),

.End\_flag(isDone4),

.SPI\_data(SPI\_data[7:0]),

.SPI\_out(out4)

);

**wire** delay\_begin;

**wire** delay\_isDone;

**reg** begin\_1us;

**assign** delay\_begin = begin\_1us;

delay\_100us delay\_module(

.clk(clk),

.RST(RST),

.begin\_flag(delay\_begin),

.end\_flag(delay\_isDone)

);

**reg** [2:0]i;

**reg** flag;

**assign** End\_flag = flag;

**always**@(**posedge** clk **or** **negedge** RST)

**if**(!RST)

**begin**

start1\_reg <= 1'b0;

start2\_reg <= 1'b0;

start3\_reg <= 1'b0;

start4\_reg <= 1'b0;

begin\_1us <= 1'b0;

i <= 3'd0;

flag <= 1'b0;

**end**

**else** **if**(Start\_flag)

**case**(i)

3'd0:

**begin**

start1\_reg <= 1'b1;

i <= i+ 1'b1;

flag <= 1'b0;

**end**

3'd1:

**if**(isDone1)

**begin**

begin\_1us <= 1'b1;

start1\_reg <= 1'b0;

**end**

**else** **if**(delay\_isDone)

**begin**

begin\_1us <= 1'b0;

start2\_reg <= 1'b1;

i <= i+1'b1;

**End**