



UNIVERSIDADE FEDERAL DA PARAÍBA
DEPARTAMENTO DE INFORMÁTICA
CIÊNCIA DA COMPUTAÇÃO

Circuitos Lógicos – Prof. Antônio Carlos Cavalcante
Guia de Laboratório – Quartus II + ModelSim

PROCEDIMENTO 1 – PREPARAÇÃO DA PLATAFORMA BASE

1. Criar um Novo Projeto no Quartus II:
 - a) Utilizar uma nova pasta, vazia, e evitar espaços e acentos no caminho da pasta.
 - b) Selecionar o FPGA presente na placa de família *Cyclone II*: EP2C5T144C6.
 - c) Definir nome do arquivo como o nome da entidade.
2. Visualização do Circuito Produzido:
 - a) Compilar código (botão com símbolo ►), corrigir possíveis erros e verificar os warnings.
 - b) Selecionar *Tools* → *Netlist Viewers* → *RTL Viewer*.

PROCEDIMENTO 2 – SIMULAÇÃO UTILIZANDO MODELSIM

1. Criar arquivo de texto com extensão *.tv* (text vector) equivalente à tabela verdade do circuito produzido.
2. Fazer alterações pertinentes num arquivo *.vhd* para testes na simulação.
3. Adicionar Banco de Teste (test bench):
 - a) Selecionar no arquivo VHDL *Settings* → *EDA Tools Settings* → *Simulation*.
 - b) Configurar nome do Test Bench como *TestBench*.
 - c) Configurar módulo de alto nível no testbench como *testbench_entidadetrabalhada* (Ex: entity *gates* – *testbench_gates*).

- d) Configurar nome da instância como *dut*.
- e) Adicionar arquivo *.vhd* do testbench.
- 4. Simular RTL Level:
 - a) Selecionar *Tools* → *Run EDA Simulation Tool* → *RTL Level*.
 - b) Fechar ModelSim.
- 5. Simular Gate Level:
 - a) Selecionar → *Run EDA Simulation Tool* → *Gate Level*.
- 6. Visualizar em Formato de Lista:
 - a) Ao escolher uma ou mais variáveis selecionar *Add* → *To List* → *Selected Signals*.