

Relatório

Laboratório de Circuitos Lógicos.

Aluna: Rebeca de Macêdo Ferreira. **Matrícula:** 2016000524.

Na aula de laboratório do dia 16/03/2018 nós aprendemos a usar o software quartus II e ModelSim.

PROCEDIMENTO 1 – PREPARAÇÃO DA PLATAFORMA BASE

Criamos uma pasta vazia para armazenar o projeto a ser feito e também um arquivo com extensão .vhd, o código base foi disponibilizado pelo professor e fizemos adaptações para expressão produto de somas simplificada que nos foi pedida na questão 1.b. do exercício 'Preparação de Laboratório 1'.

Segue imagem da expressão, sua tabela verdade e versão simplificada:

1) $y = (A + B + \bar{C})(A + \bar{B} + C)(A + \bar{B} + \bar{C})(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})$

2) Truth Table:

A	B	C	y
0	0	0	1 $\rightarrow \bar{A}\bar{B}\bar{C}$
1	0	0	0
2	0	1	0
3	0	1	0
4	1	0	1 $\rightarrow A\bar{B}\bar{C}$
5	1	0	1 $\rightarrow A\bar{B}\bar{C}$
6	1	1	0
7	1	1	0

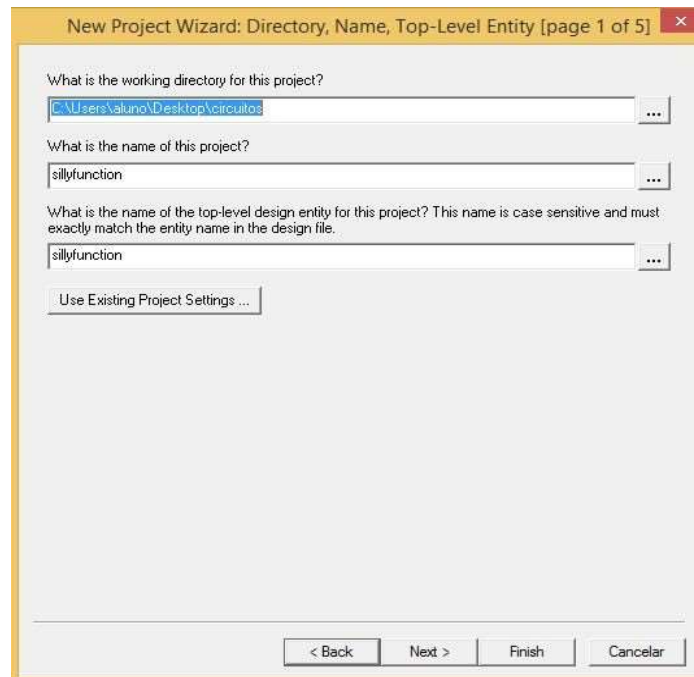
Simplified expression: $\bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + A\bar{B}\bar{C}$

Segue imagem do código adaptado à expressão desejada:

```
1 library IEEE; use IEEE.STD_LOGIC_1164.all;
2
3 entity Sillyfunction is
4   port(a, b, c: in STD_LOGIC;
5         y: out STD_LOGIC);
6 end;
7
8 architecture synth of Sillyfunction is begin
9   y <= (not a and not b and not c) or
10        (a and not b and not c) or
11        (a and not b and c);
12 end;
13
```

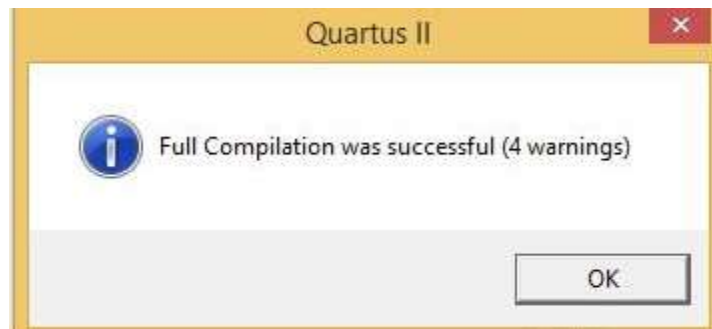
Então criamos o projeto no Quartus II, assim:

- file -> new project wizard -> colocar pasta de armazenamento do projeto -> colocar nome do projeto.



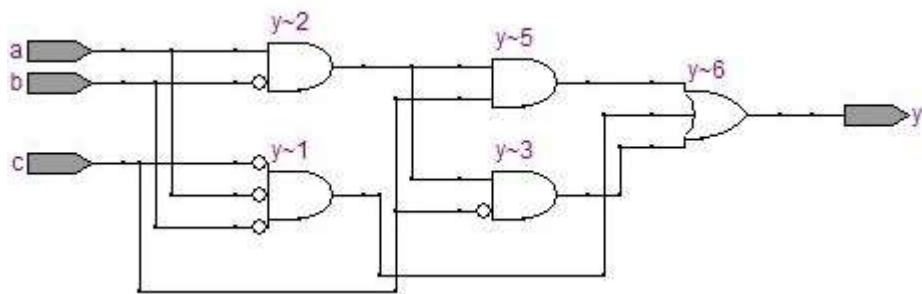
- Adicionamos arquivo .vhd -> Selecionamos FPGA presente na placa de família Cyclone II: EP2C5T144C6.

O código foi compilado após correção de alguns erros



- Selecionamos Tools -> Netlist Viewers -> RTL Viewer.

Resultado obtido:



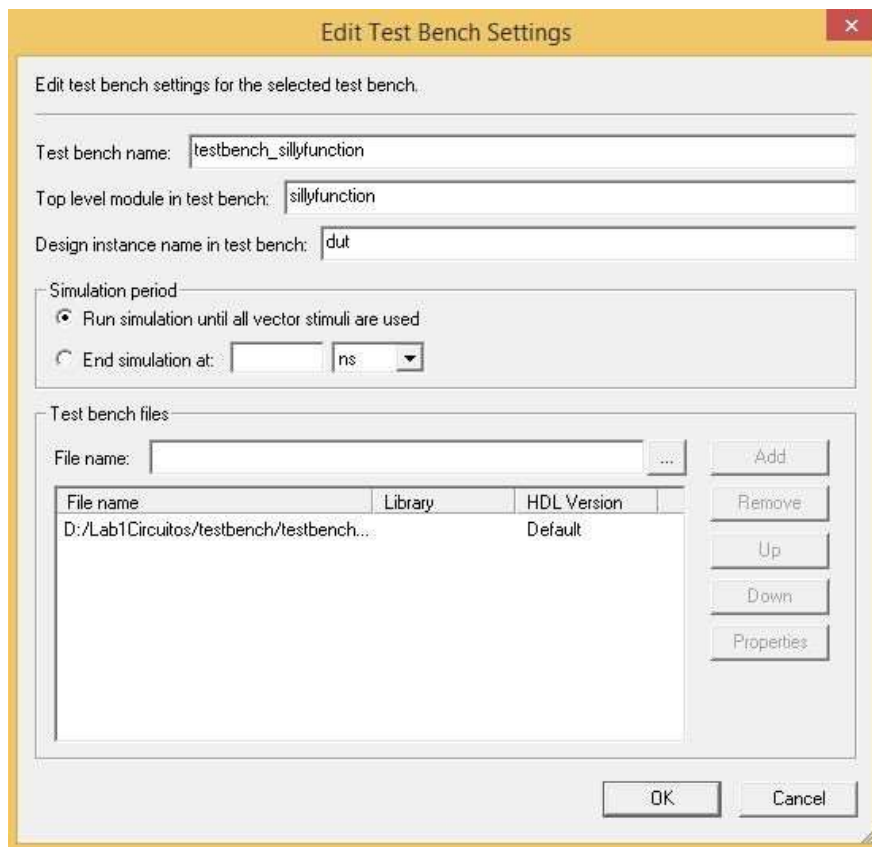
Foi feito um arquivo de texto de extensão .tv com as informações da tabela verdade do circuito que fizemos

Arquivo	Editar	Formatar	Exibir	Ajuda
000_1				
001_0				
010_0				
011_0				
100_1				
101_1				
110_0				
111_0				

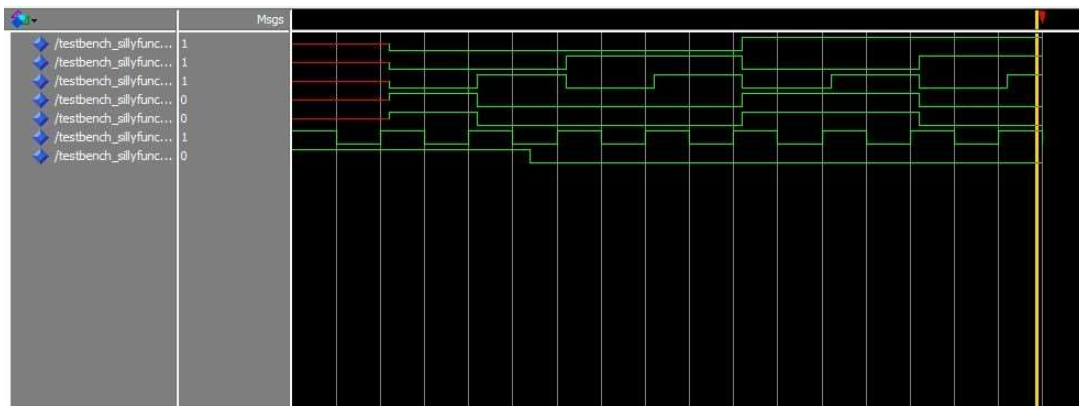
Alteramos o arquivo .vhd para fazer testes de simulação no ModelSim, o código tinha erros em caracteres de comentários e consertamos isso.

De volta ao Quartus II adicionamos bancos de teste seguindo os seguintes passos:

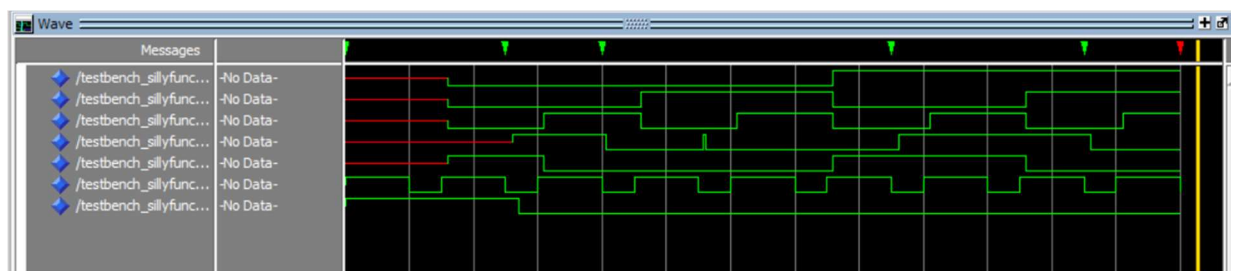
- Seleccionamos no arquivo VHDL Settings → EDA Tools Settings → Simulation Configurar → nome do Test Bench como TestBench → Configurar módulo de alto nível no testbench como testbench_(nomedoprojeto) → Configurar nome da instância como dut → Adicionar arquivo .vhd do testbench.



Simulamos RTL level com ModelSim e obtivemos o seguinte resultado:



Simulamos Gate level com ModelSim com os valores do clock em 1 e 0 em 10 e 5 respectivamente e obtivemos o seguinte resultado:



Observamos que este resultado poderia ser melhorado aumentando o valor do clock em 1 para 15 ns, e assim obtivemos o seguinte resultado:

