



UNIVERSIDADE FEDERAL DA PARAÍBA
DEPARTAMENTO DE INFORMÁTICA
CIÊNCIA DA COMPUTAÇÃO

Circuitos Lógicos – Prof. Antônio Carlos Cavalcante
Guia de Laboratório – Quartus II + ModelSim

PROCEDIMENTO 1 – PREPARAÇÃO DA PLATAFORMA BASE

1. Criar um Novo Projeto no Quartus II:
 - a) Utilizar uma nova pasta, vazia, e evitar espaços e acentos no caminho da pasta.
 - b) Utilizar nomes idênticos para nome de projeto e de arquivos.
 - c) Selecionar o FPGA presente na placa de família *Cyclone II*: EP2C5T144C6.
 - d) Adicionar o ModelSim-Altera e VHDL para simulação.
2. Criar arquivo *.vhd*:
 - a) Copiar código de preparação num editor de texto e salvar com a extensão *.vhd* ou ainda
 - b) Selecionar *New File → VHDL*.
3. Visualização do Circuito Produzido:
 - a) Compilar código (botão com símbolo ►), corrigir possíveis erros e verificar os warnings.
 - b) Selecionar *Tools → Netlist Viewers → RTL Viewer*.

PROCEDIMENTO 2 – SIMULAÇÃO UTILIZANDO MODELSIM

1. Criar num editor de texto o arquivo de leitura para simulação equivalente à tabela verdade do circuito e salvar com extensão *.tv*.
2. Fazer alterações pertinentes num arquivo *.vhd* para testes na simulação.

3. Adicionar Banco de Teste (test bench):
 - a) Criar arquivo com extensão *.vhd* com o código de banco de teste.
 - b) Selecionar no projeto com o botão direito *Project → Settings → EDA Tools Settings → Simulation*.
 - c) Configurar nome do Test Bench como o nome do arquivo e entidades dentro do arquivo. A correspondência do nome é essencial!
 - d) Configurar módulo de alto nível no testbench como *testbench_entidadetrabalhada* (Ex: entity *gates* – *testbench_gates*).
 - e) Configurar nome da instância como *dut*.
 - f) Adicionar arquivo *.vhd* do testbench numa subpasta do projeto para não ocorrer erros de compilação.
4. Simular RTL Level:
 - a) Arquivo *.tv* deve estar na pasta escolhida como output do modelsim (verificar em *Project → Settings → EDA Tools Settings → Simulation*).
 - b) Selecionar *Tools → Run EDA Simulation Tool → RTL Level*.
 - c) Fechar ModelSim.
5. Simular Gate Level:
 - a) Selecionar *→ Run EDA Simulation Tool → Gate Level*.
6. Visualizar em Formato de Lista:
 - a) Ao escolher uma ou mais variáveis selecionar *Add → To List → Selected Signals*.

Referências para uso do Quartus II + ModelSim:

<https://github.com/MikuFelicio/It_is_dangerous_to_go_alone_Take_this/blob/master/CIRCUITOS%20L%C3%93GICOS_CC/Relatorios/RELATORIO_2_Mikaelly_Felicio.pdf>

<https://github.com/MikuFelicio/It_is_dangerous_to_go_alone_Take_this/blob/master/CIRCUITOS%20L%C3%93GICOS_CC/Relatorios/RELATORIO_3_Mikaelly_Felicio.pdf>