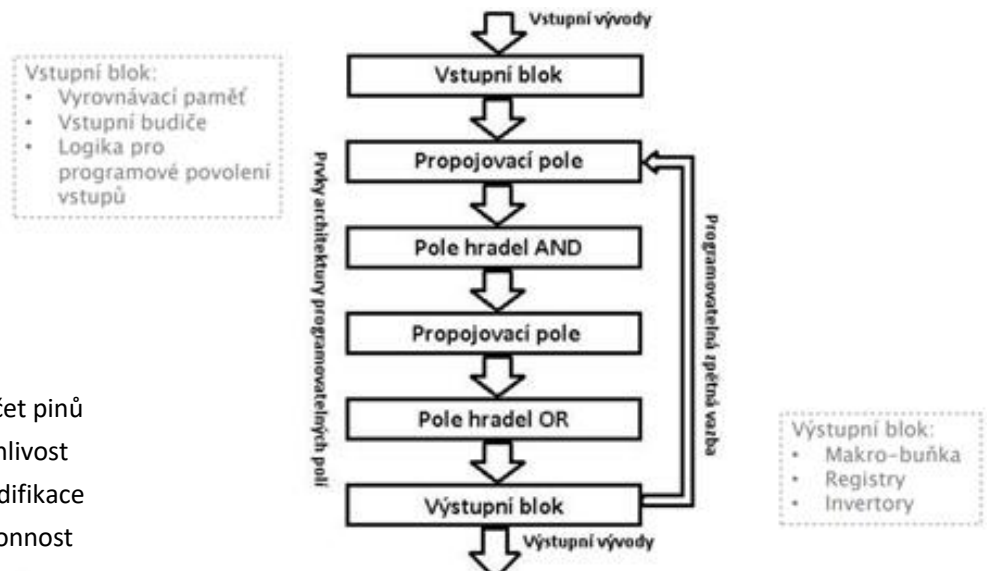

PROGRAMOVATELNÉ A NEPROGRAMOVATELNÉ LOGICKÉ OBVODY

- Charakteristika PLD
- Vznik PLD
- Rozdělení PLD
- Popis dílčích PLD obvodů
 - PLA, PAL, GAL, CPLD, FPGA
- Makrobuňka a logický blok
- Vývojové prostředí WebPack
 - PLD kompilátor
- Charakteristika NPLD
- Popis a využití vybraných obvodů
 - 74164, 74166, 74595, 74573, 74244, 74245, 74688, 74193

PLD – Programmable Logic Device

- Číslicový obvod, které lze konfigurací naprogramovat
 - o Vytvářením/přerušováním propojek nebo zápisek do paměťových buněk
- Nahrazují kombinační a sekvenční logické obvody
 - o Sestaveny z obvodů střední inteligence
 - Hradla, čítače, registry,...
- Slouží jako prostředek pro návrh a realizaci kombinačních a sekvenčních logických obvodů
- Funkce a rovnice lze vyjádřit pomocí součtu součinů booleovských proměnných
 - o Disjunktivní forma
 - o Implementace formou vhodného zapojení hradel
- Obvod má na čipu určité množství logických prvků, umístěných do maticové struktury
- Prvky lze vzájemně propojit pomocí konfigurovatelné propojovací sítě
- Několik desítek vertikálních a horizontálních vodičů
 - o Jejich konfigurace pomocí programovatelných propojek v místě křížení vodičů

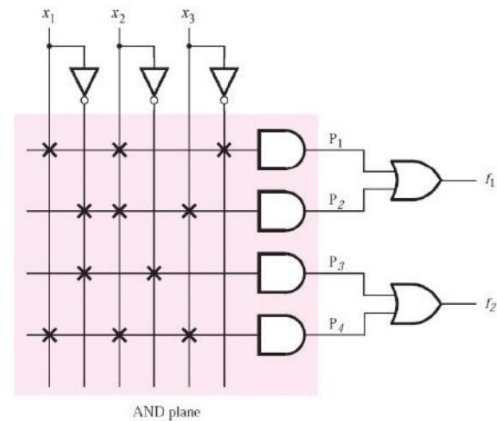
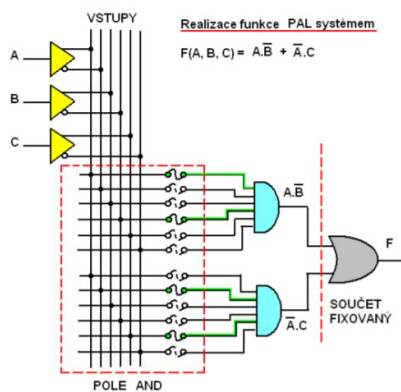


- **Výhody PLD**
 - o Přehledné
 - o Snížený počet pinů
 - o Vyšší spolehlivost
 - o Snadná modifikace
 - o Vysoká výkonnost
- **Nevýhody**
 - o Nutnost znát programovací jazyk pro PLD
 - o Při poruše je nutné vyměnit celý obvod
 - o Vyšší cena
- **Výrobci**
 - o Xilinx
 - o Lattice
 - o Altera
- **Programovací jazyk**
 - o HDL
 - o VHDL
 - Otevřený standart – není třeba licence
 - Umožňuje pracovat na návrhu, aniž je předtím zvolen cílový obvod (ten může být zvolen až v okamžiku, kdy známe požadavky)
 - Možnost provést simulaci navrženého obvodu na základě zdrojového kódu
 - o Verilog

Rozdělení PLD

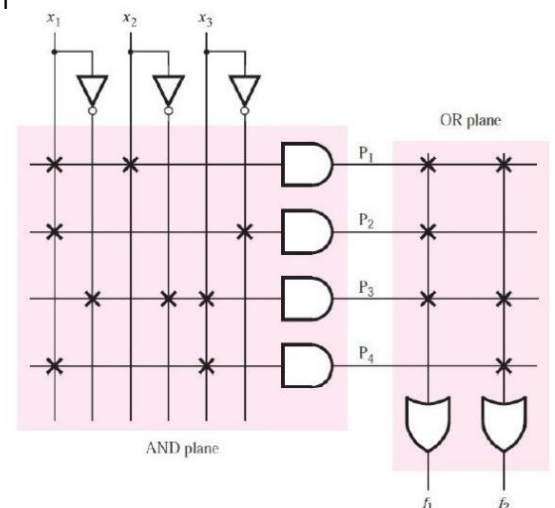
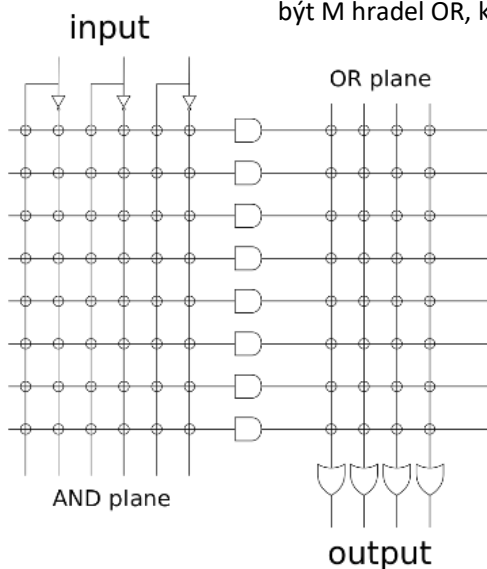
- SPLD = SIMPLE PLD

- Každá vodorovná čára v programovatelné matici AND představuje vždy jedno součinnové hradlo
- Na výstup každého hradla lze připojit libovolnou kombinaci vstupních signálů, zpětných vazeb a jejich negaci
- Počet vstupů každého součinnového hradla je omezen
- Obvody typu PAL a PLA
- GAL
- **PAL**
 - Programmable Array Logic
 - Oproti PLA nemají obvody součtovou matici a výstupy jsou fixovány do součtových hradel OR -> omezený počet vstupů
 - Přímou by bylo možné realizovat pouze funkce s maximálně 8 součinnovými termy



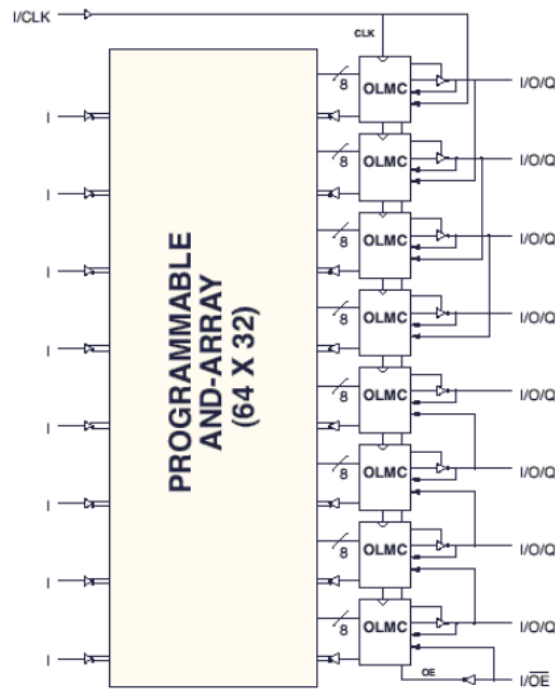
○ PLA

- Programmable Logic Array
- Druh PLD určený k realizaci logických obvodů
- Obsahuje sadu vzájemně propojených programovatelných polí AND, vedoucí k programovatelným polím OR, které mohou být případně doplněny za účelem vytvoření výstupu
- mají 2^N hradel AND pro N vstupních proměnných a pro M výstupů z PLA by mělo být M hradel OR, každé s programovatelným



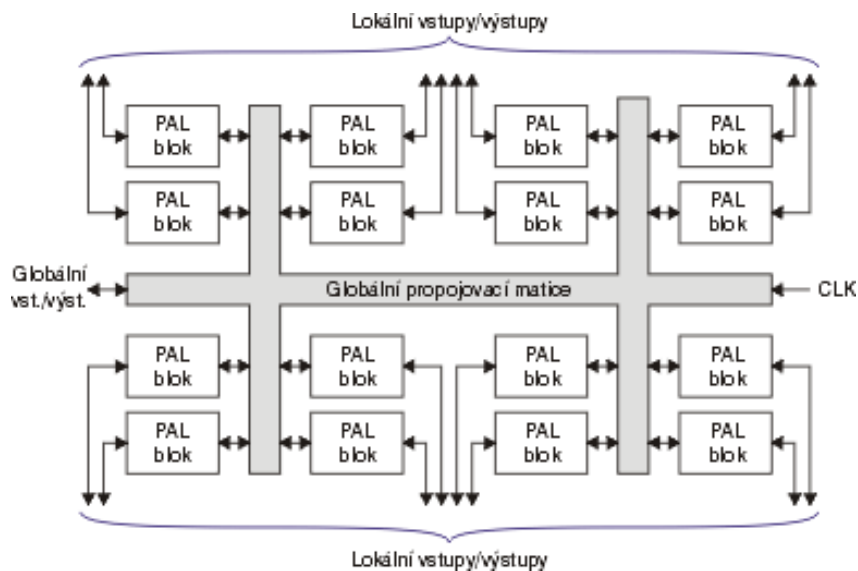
○ **GAL**

- generic array logic
- malé programovatelné hradlové pole
- inovace obvodu PAL
- Možnost smazání a přeprogramování



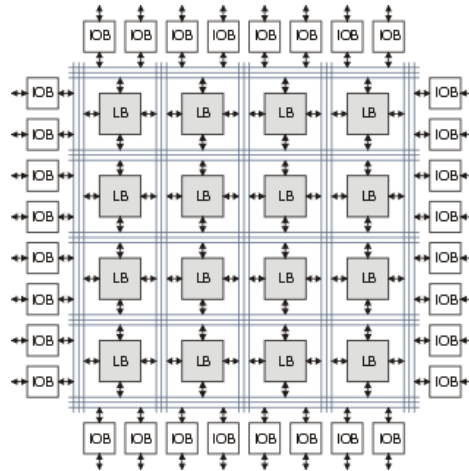
- **CPLD = COMPLEX PLD**

- Obsahují více SPLD obvodů na jednom čipu s důvodu realizace složitějších funkcí
- Počet makro buněk v řádek stovek
- Většina pinů je univerzálních
- Obvod COOLRUNNER

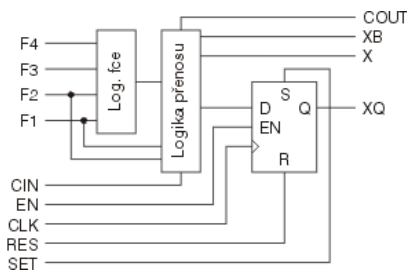


- **FPGA = FIELD PROGRAMABLE GATE ARRAY**

- Mají nejobecnější strukturu a obsahují nejvíce logiky => nejsložitější
- Makro buňky jsou nahrazeny logickým blokem
- Obsahují až 6 milionu hradel (AND)



- Vstupně výstupní bloky (IOB) obsahují registry, budiče, multiplexory a ochranné obvody
- Jednotlivé bloky (LB) jsou propojeny navzájem globální propojovací maticí (=GPM)



- Některé signály sousedících bloků je možné propojit přímo bez použití GPM -> menší zpoždění a umožňují tak realizovat například rychlé obvody šíření přenosu, což je nezbytné pro sčítačky nebo násobičky
- Kromě základních bloků IO a LB obsahuje většina FPGA obvodů rychlé synchronní statické RAM paměti a další specifické bloky (HW násobičky; PLL, DLL)
- Využití externí EEPROM

○ Architektura FPGA

▪ IOB

- Vstupně výstupní blok
- Řídí tok dat mezi I/O pinem a vnitřní logikou
- Možno zařadit zpožďovací obvod, paměťový člen

▪ CLB

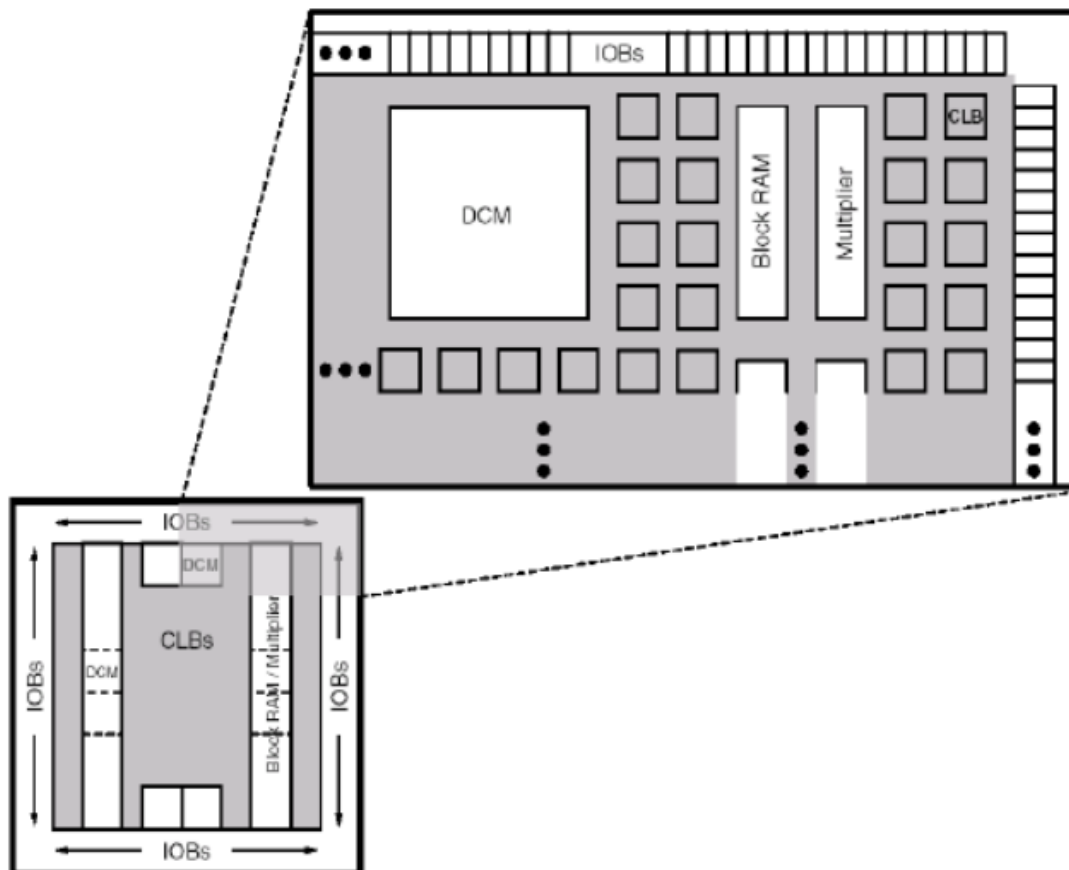
- Configurable logic block
- Paměťové členy, tabulky logických funkcí na principu RAM
- Přidána logika pro zřetězení se sousedními CLB

▪ Block RAM

▪ Multiplier

- Násobička

▪ DCM – digital CLK manager, rozvod CLK ke všem CLB



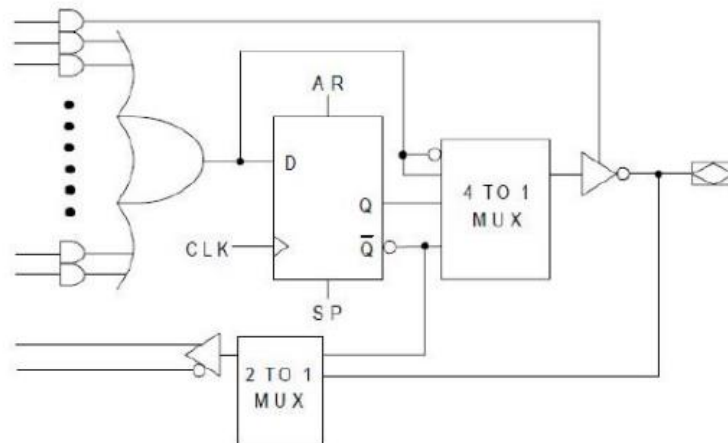
Makro buňka vs. Logický blok

- Makrobuňka

- OLMG = OUTPUT LOGIC MACRO CELL
- Možno vytvářet SLO
- Základní částí je D-klopný obvod
 - Doplněný o pomocná hradla
- Skládá se z kombinatoriky AND OR hradel a klopného obvodu a v podstatě každá buňka může představovat malou booleovskou rovnici
- V každé makro buňce může být vytvořena logická funkce s až 16 logickými součinými
- Složení makro buněk dohromady nám dává logický blok

- Logický blok

- Je základním stavebním prvkem technologie programovatelného hradlového pole
- Bloky mohou obsahovat třeba budič nebo registr a jiné obvody
- Logický blok v FPGA může být stejně jednoduchý a malý jako makro buňka, ale taky velký a komplexní, nicméně nejsou nic víc, než například pár tabulek logických funkcí nebo klopného obvodu
- Logické bloky jsou nejběžnější architekturou FPGA a jsou rozloženy do pole logických bloků



Webpack

- ISE WEbPACK je sada nástrojů sloužící k překladu zdrojových kódů a syntéze FPGA konfigurace na základě popisu systému pomocí HDL jazyka
- Vstupy jsou nutné napsat ve formě, kterou je systém schopen převést na model této konstrukce
- programování závislé na předchozích krocích. Jednotlivé kroky však nemusíme provádět postupně, prakticky stačí pouze spustit poslední krok, tj. programování (pomocí aplikace iMPACT). Systém již sám provede všechny potřebné kroky, které musí předcházet - tzn. syntézu a implementaci.
- Hlavním uživatelským rozhraním ISE Webpacku je Project Navigator, který zahrnuje design hierarchii, editor kódu a výstupní konzoli Všechny nástroje jsou přístupné přes stromové menu vlevo dole a nabízí tyto nástroje:



PLD metodika návrhu

- Formální zápis
 - o Určení vstupů a výstupů
- Popis problému
 - o Funkční a přechodové tabulky, booleovské rovnice, orientovaný graf, časové průběhy, minimalizace, schéma zapojení
- Simulace
 - o Odhalení řady chyb
- Realizace

PLD kompilátor

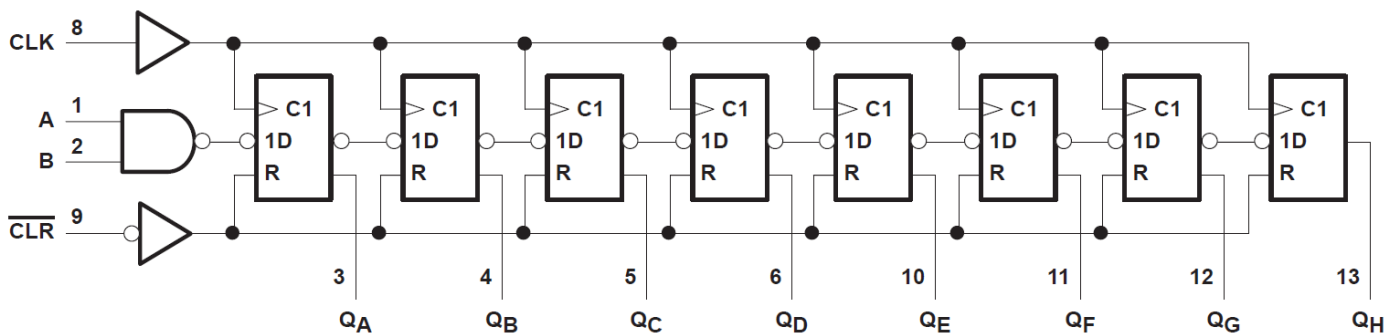
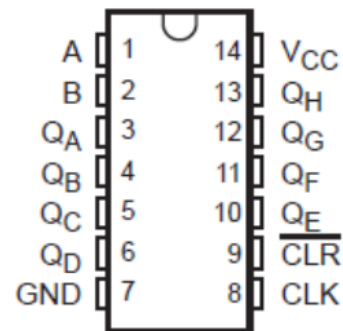
- Umožňuje definovat návrh číslicového obvodu bez ohledu na konkrétní typ PLD, jež bude nakonec použit
- Převádí definice logických funkcí do implementačního prostředí konkrétního PLD
- Dříve výstupem soubor .jedec dnes .bit
 - o Programuje se do konkrétního PLD přes LPT nebo USB
- Transformace zápisu včetně minimalizace
 - o Zjednodušení návrhu
 - o Doplněno optimalizací pro konkrétní PLD
 - Minimalizace vstupů, výstupu, makro buněk

NPLD

- Funkce pevně daná při výrobě, nelze nijak upravit
 - o HW řešení
- Vyskytují se v podobě integrovaného obvodu
- Jde o obvody složené z jednoduchých hradel a dokážou tak vykonávat nějakou složitější funkci
- Posuvné registry, záchytné registry, posilovač sběrnic, komparátor, čítač,...

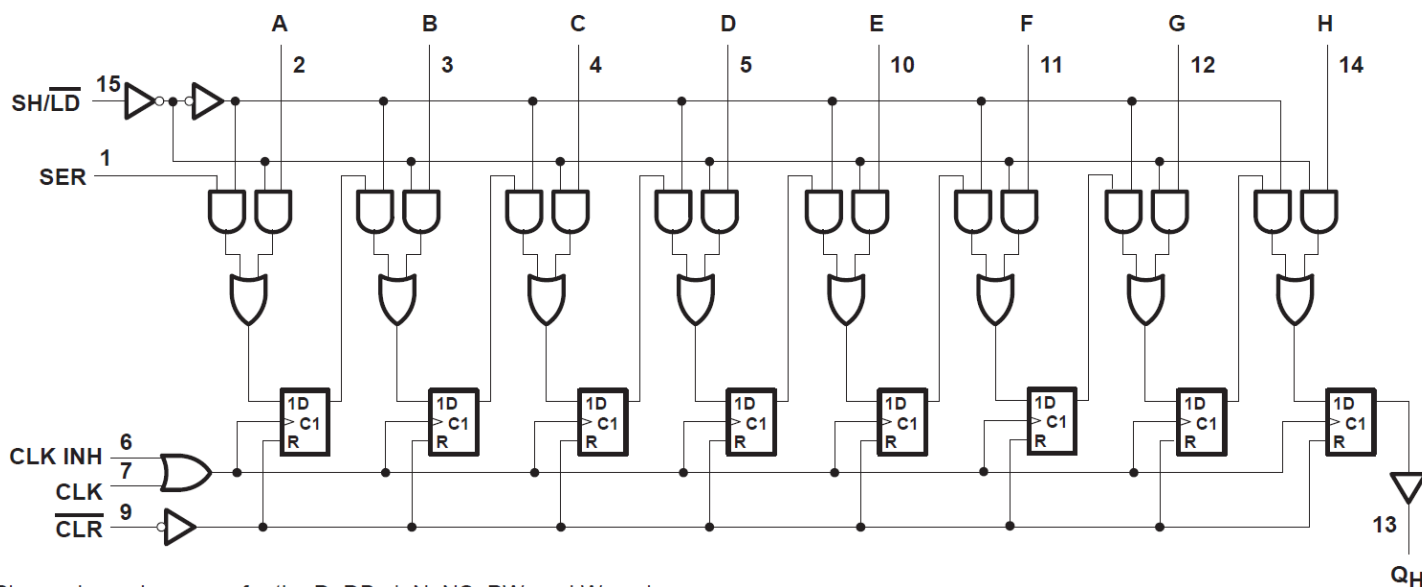
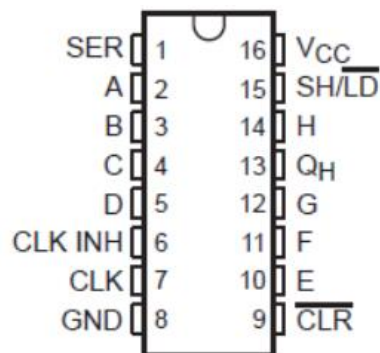
74164

- 8 bitový posuvný registr
- Převádí sériovou informaci na paralelní
- Výstup je tedy 8 bitový paralelní a vstup sériový
- 8 kaskádově spojených D-klopných obvodů
- Se vstupem CLK se informace posune o jednu pozici
- Používá se jako převodník sériového kódu na paralelní (vysílací jednotka)
- Použití jako rozšíření počtu výstupů mikroprocesoru, kdy 1 pin CPU zabere, ale 7 nových se jich objeví
- Vstup A je pro zavádění dat (informace)
- Vstup B je povolovací (možnost blokovat data), povolen v 0
- Výstupy Qa – Qh
- CLK je hodinový signál a $\overline{\text{CLR}}$ smaže registry (aktivní v 0)



74166

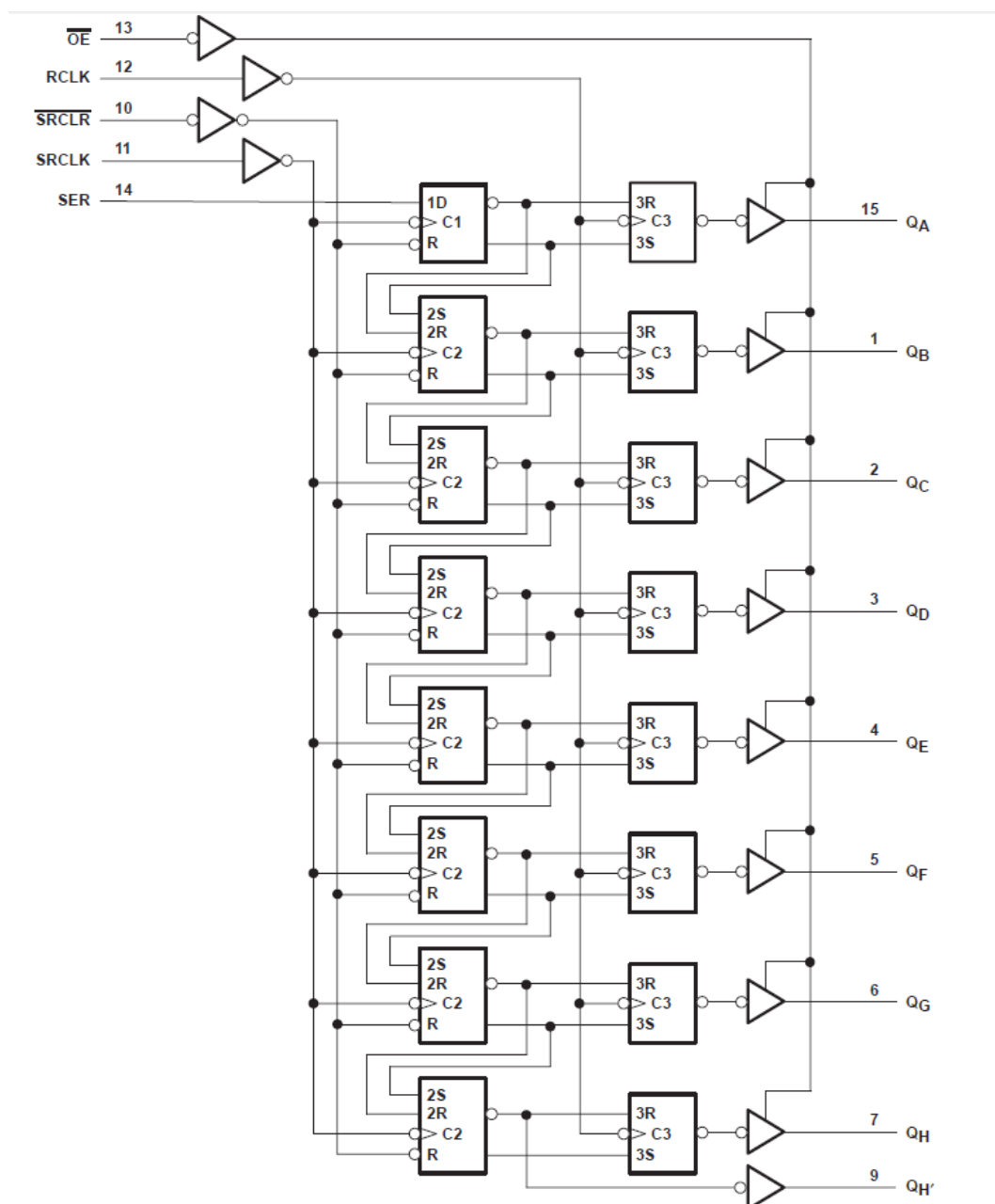
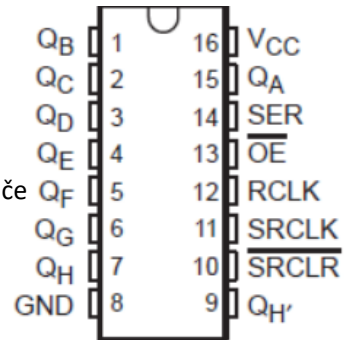
- 8 bitový posuvný registr
- Převádí paralelní informaci na sériovou
- 8 bitový paralelní vstup
- 8 bitový sériový výstup
- 8 vstupů a 1 výstup
- Vstup je 8x D-klopný obvod
- Hradla typu Shift/Load = posuň informaci a načti ji (SH/\LD)
- CLK INH je pro pozastavení CLK (aktivní v 1)
- Pro celý převod je potřeba 9 CLK – 1 CLK na načtení a 8 CLK na výstup
- Používá se pro převod paralelní informace na sériovou například u přijímací jednotky nebo pro rozšíření počtu vstupů u mikroprocesoru



Pin numbers shown are for the D, DB, J, N, NS, PW, and W packages.

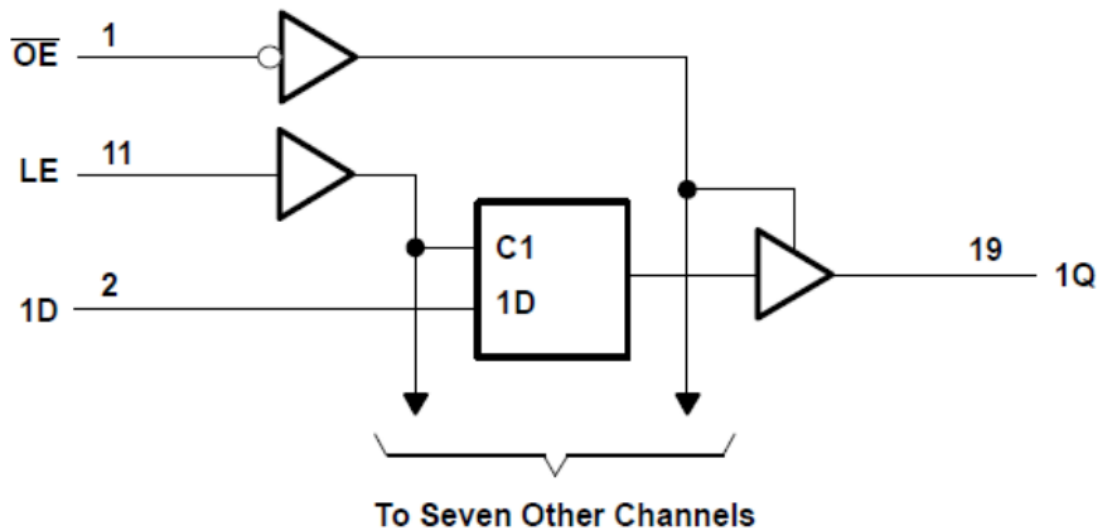
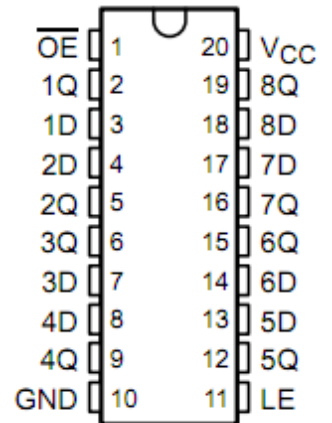
74595

- 8 bitový posuvný registr
- Má třístavový výstup (0, 1, vysoká impedance)
- Sériový vstup a paralelní výstup
- Vychází ze struktury 74164, plní stejnou funkci, jen má navíc třístavové zesilovače
- 1 sériový vstup, 8 paralelních výstupů
- Je tvořen RS obvody
- SRCLK je sériový clock
- Těsně před výstupem je 8 třístavových zesilovačů řízených OE
- Na výstupu je další registr, na kterém se zachytí stav posuvného registru a je řízen RCLK
- Použití ve světelné tabuli, rozšíření počtu výstupů v mikroprocesorech



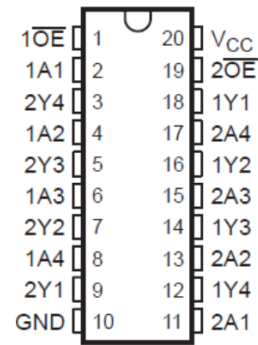
74573

- 8 bitový záchytný registr
- Latch register = střadač
- 8 vstupů a 8 výstupů
- Má třístavový výstup
- Vstup LE v 1 slouží k uložení informace ze všech vstupů D-klopného obvodu, to způsobí propojení D-Q
- Na výstupech je možno aktivovat třetí stav
 - o Vysoká impedance
 - o Vstupem je \overline{OE} v 1, to však neovlivní uložená data v záchytných D-klopných obvodech
- Vstupy a výstupy jsou v páru
- Použití k rozšíření vnější paměti mikroprocesoru a rychlému zachytávání informací na sběrnici

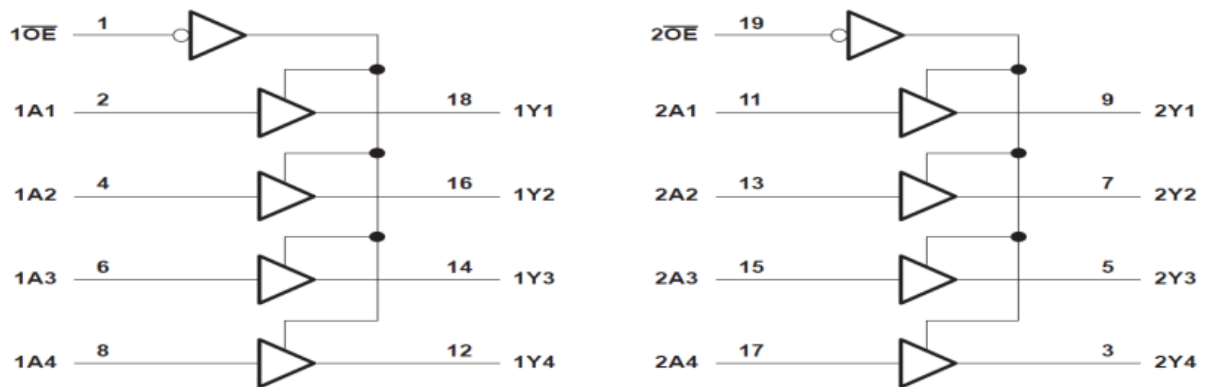


74244

- Posilovač sběrnice
- Jednosměrný budič
- 4 vstupy a 4 výstupy
- Vstup je 3,3 nebo 5 V
- Třístavový výstup
- Řízen signálem OE (open enable)
- Z výstupu můžeme brát větší proud než je na vstupu (proudový zesilovač)
- Používá se k vytvoření adresní sběrnice (vysílač) a možnost spínat náročnější součástky

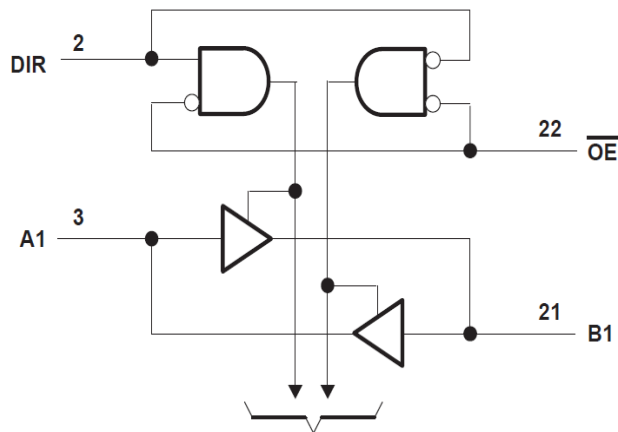
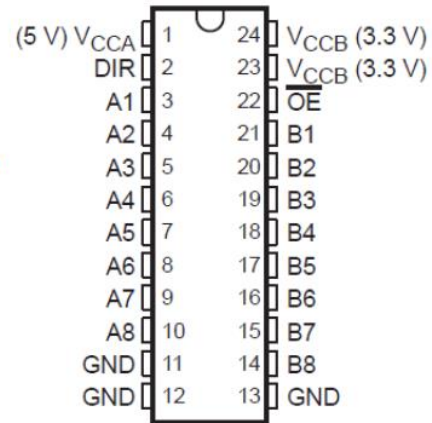
**FUNCTION TABLE
(EACH BUFFER)**

INPUTS		OUTPUT Y
OE	A	
L	H	H
L	L	L
H	X	Z

LOGIC DIAGRAM (POSITIVE LOGIC)

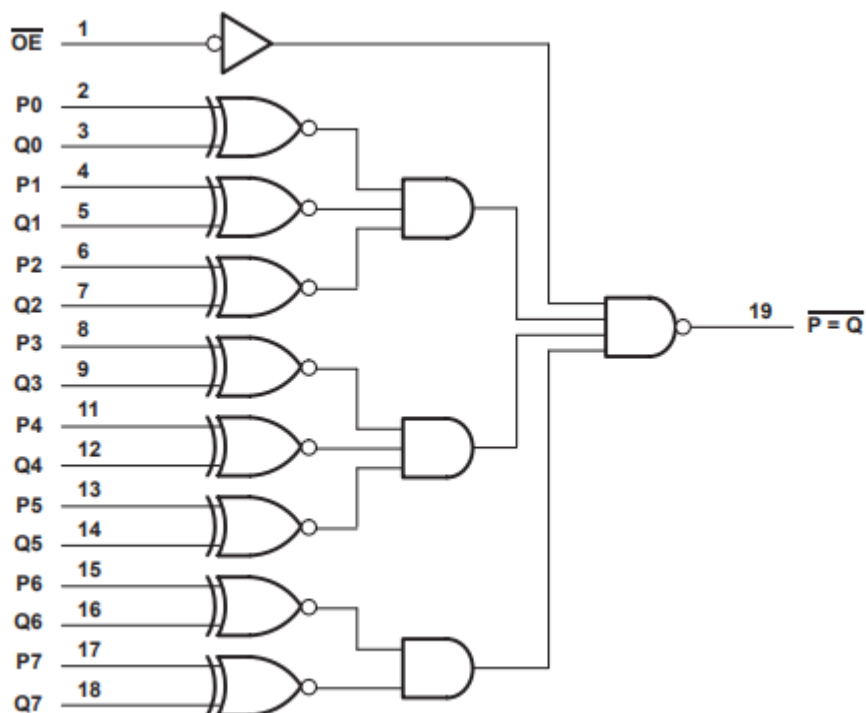
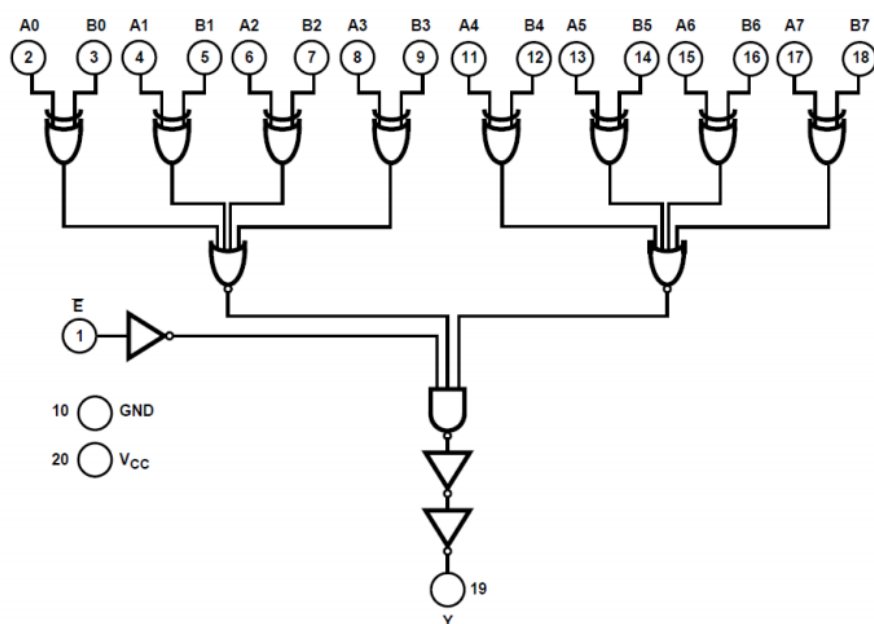
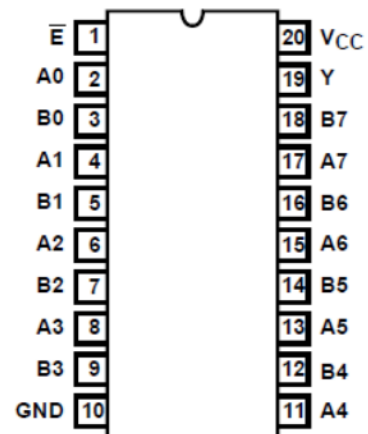
74245

- Posilovač sběrnice
- Oboustranný budič
- Vstup 3,3V nebo 5V
 - o Výstup je pak opačný
- Výstup je třístavový
- 8 vstupů a 8 výstupů
- Převádí 3,3V na 5V nebo naopak
- Zesilovač pro datové sběrnice
- Umožňuje přenos dat oběma směry
- DIR přepíná směr převádění
- OE open enable
 - o 0 funguje
- DIR1 z A do B
- DIR2 z B do A



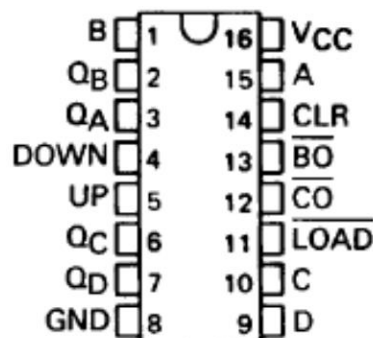
74688

- 8 bitový komparátor
- 3 stavový výstup
- Složen z hradel XNOR
- Výstupy z XNORu se dále porovnávají v AND
- Výstup z ANDu se nakonec porovnává NAND
- Pokud jsou všechny vstupy stejné, výstup je 0
- Použití pro porovnávání 2 8bitových slov, nebo jako adresní dekodér (1 vstup pevně dány)



74193

- 4 bitový obousměrný čítač
- Kaskádové zapojení
- Možnost přednastavení vstupů
- Vratný čítač s předvolbou
- Složen ze 4 JK-klopných obvodů
- Má oddělené vstupy CLK pro čítání dolů a nahoru
- Použití pro čítač událostí / odpočet, pořadník



Hradla

AND

Funkce	$Y = A \cdot B$			
Značení		Pravdivostní tabulka		
norma	symbol			
ANSI/MIL		$X_1(A)$	$X_2(B)$	Y
IEC		0	0	0
		0	1	0
		1	0	0
DIN		1	1	1

NAND

Funkce	$Y = \overline{A \cdot B} = \overline{A} + \overline{B}$			
Značení		Pravdivostní tabulka		
norma	symbol			
ANSI/MIL		$X_1(A)$	$X_2(B)$	Y
IEC		0	0	1
		0	1	1
		1	0	1
DIN		1	1	0

OR

Funkce	$Y = A + B$			
Značení		Pravdivostní tabulka		
norma	symbol			
ANSI/MIL		$X_1(A)$	$X_2(B)$	Y
IEC		0	0	0
		0	1	1
		1	0	1
DIN		1	1	1

XOR

Funkce	$Y = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B}$			
Značení		Pravdivostní tabulka		
norma	symbol			
ANSI/MIL		$X_1(A)$	$X_2(B)$	Y
IEC		0	0	0
		0	1	1
		1	0	1
DIN		1	1	0

NOR

Funkce	$Y = \overline{A + B} = \overline{A} \cdot \overline{B}$			
Značení		Pravdivostní tabulka		
norma	symbol			
ANSI/MIL		$X_1(A)$	$X_2(B)$	Y
IEC		0	0	1
		0	1	0
		1	0	0
DIN		1	1	0

XNOR

Funkce	$Y = \overline{A \oplus B} = A \cdot B + \overline{A} \cdot \overline{B}$			
Značení		Pravdivostní tabulka		
norma	symbol			
ANSI/MIL		$X_1(A)$	$X_2(B)$	Y
IEC		0	0	1
		0	1	0
		1	0	0
DIN		1	1	1