

写在前面的话

在这半年的时间，我一直在用 POWERPCB 完成多层板的设计（8 层），在这个过程中，得到了中国 PCB 技术网论坛（布兜，XIAOQY，KGX。Legendcool,,,) 的帮助，首先对他们的无私帮助表示感谢。下面文章的内容都是我在绘制多层板中碰到的问题，为了表示对回答问题的个人的尊重和感谢，我保留了回答人员的网络 ID 号码，同时为了保证问题查找起来比较方便，每个问题的标题尽量保证和我在论坛上问题题目的一致。希望这篇文章对各位的多层电路设计有所帮助

yuan.lihua
2003/8/18

1: Powerpcb 的有效安装方法

whj523

PowerPCB 5.0 安装方法一：（我是按照地一种方法来安装的）

1. 安装时选择 “Node-locked with FLEXid Key(teal)”
2. 要求 license 时暂且用 Crack 目录下的 pcblic.dat 代替
3. 安装（可能要重新启动计算机，忘记了）
4. 运行\CRACK\Dongle\FlexID\WinNT\目录下的 setupx86.exe（WIN2000、WINXP）
或者是\CRACK\Dongle\FlexID\Win9x\目录下的 sentw9x.exe（WIN98）
执行 Functions 目录下的 “Install Sentinel Driver”
以获得 FLEXID7 为 “7-12345678”
（同时还有另外一个，也可以用的）
5. 重新启动计算机
6. 进入 Dos 命令，在 crack 目录下运行 “PCBCrypt -h 7-12345678”
生成 HOSTID=FLEXID=7-12345678 的 license 文件: pcblic.dat
（用另外一个 FLEXID7 也可以，FLEXID7 可以用 “开始” ->
“PowerPCB with BlazeRouter5.0” -> “Security” ->
“Licensing diagnostics” 工具的 “System Setting” 选项看到。）
7. 用 CRACK 目录下的 pcblic.dat 代替 PowerPCB 安装目录下
\Security\Licenses\目录下的 pcblic.dat
OK
可以启动 PowerPCB 和 BlazeRouter 了

PowerPCB 5.0 安装方法二：

先运行\PowerPCB 5.0 \Crack\Dongle\FlexID\WinNT\setupx86.exe 之后一定要 config Sentinel driver 一下，
然后重新启动，启动后再运行 PCBCrypt.exe，产生 license.dat 后，
再运行\PowerPCB 5.0 \Crack\Dongle\FlexID\WinNT\setupx86.exe，
这次要选 Romove Sentinel Driver 一下，然后再重新启动机子，启完后再装 Powerpcb5.0,

装完后再运行\PowerPCB 5.0 \Crack\Dongle\FlexID\WinNT\setupx86.exe 一下，
然后选 config Sentinel driver 一下, 然后再启动机子，启完后 OK 了

2: 在 POWER PCB 中如何制作元件的库

在 POWER PCB 中

一个 24 lead- SSOp 的元件怎么做他的封装形式呀,

好象在现成的库中找不到可以供参考的,大家知道吗?

如果要自己做的话根据 PDF 提供的封如何绘制,最重要要注意的参数有那些呢!

急切的想知道这方面的情况.

请帮忙

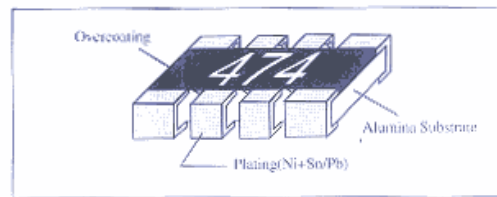
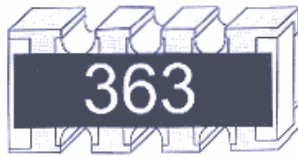
winnerain

At first , pad size , pad & pad size , total L*W size (焊盘的大小, 焊盘之间的距离, 元件本身的长和宽)

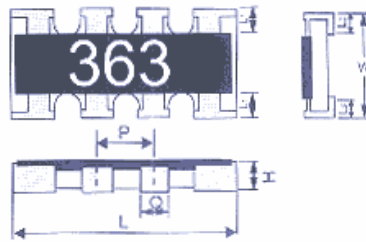
3: 请问在 POWERPCB 中如何制作这样类型贴片电阻的封装

CHIP ARRAYS

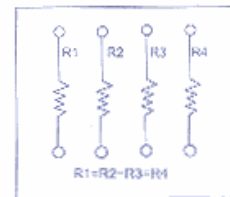
Construction



Dimensions



Equivalent Circuit Diagram

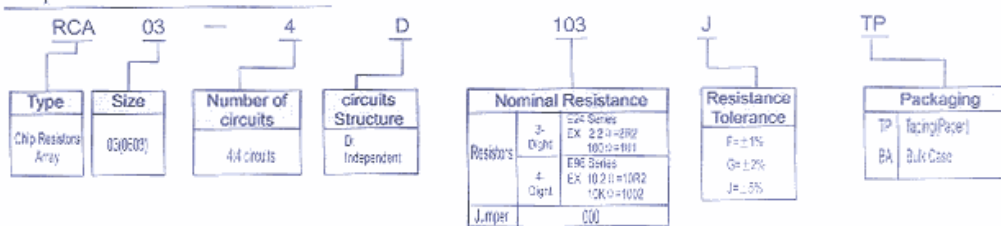


Type	Dimensions						
	L	W	H	L1	L2	P	Q
RCA03-4D (0603)	3.20 ± 0.20	1.60 ± 0.15	0.50 ± 0.10	0.30 ± 0.15	0.20 ± 0.15	0.80 ± 0.10	0.50 ± 0.10

Ratings

Type	Rated Power at 70 °C	Max. Working Voltage	Max. Overload Voltage	T.C.R. (ppm/°C)	Resistance Range		Jumper Rated Current	Jumper Resistance Value	Operating Temperature Range
					F(±1%) E-96	G(±2%) J(±5%) E-24			
RCA03-4D (0603)	$\frac{1}{16} W$	50V	100V	±200	100Ω ~ 470KΩ	10Ω ~ 1MΩ	1A	50mΩ MAX	-55°C ~ +125°C

Explanation of Part Numbers



长成龙

这是最普通的排阻阿，RN4,COMMON 里就有啊!

4: 布局怎么办?

问个问题,在布局的时候,如何将信号线设置为背景颜色,以便于只看到移动芯片的连线!

XIAOQY

有线不是更好看么???

CTRL+ALT+C

后右下角 CONNECTION 的后面用黑色就好了!
全部鼠线都看不见移动元器件时可以看到!

5:元件如何摆放在背面!

各位如何把图中表示的部分,放在 BOTTOM 层?

XiaoQY

直接选取你所要的元件后按快捷键 ctrl+F 就好啦!

6:XiaoQY

我想看见的是这样的东西:

1:类似可以看见管脚 123456 等

2:类似网络标号:+12V,等

怎么让类似的内容直接显示出来!

XiaoQY

快捷键: CTRL+ALT+S

将会出现一个菜单!

或是: WINDOWS——>STATUS

XiaoQY

可以通过这个菜单看到 PIN 的!

我知道了,右点鼠标,选择 SELECT PIN,哈!谢谢;!

7:设计规则和设计参数的设置

下面是设计规则中的设置

DEFAULT CLEARANCE

Clearance Rules: Default rules

Default

Same Net

All	Corner	Via
Via		6
SMD	6	6
Trace	0	
Pad	6	

Trace Width

Minimum	Recommended	Maximum
8	10	150

Clearance

All	Trace	Via	Pad	SMD	Copper
Trace	6				
Via	6	6			
Pad	6	6	6		
SMD	6	6	6	6	
Copper	10	10	10	10	
Text	6	6	6	6	
Board	6	6	6	6	
Drill	6	6	6	6	6

Other

Drill to Body to

6	6
---	---

OK

Cancel

Delete

Help

HiSpeed Rules: Default rules

Parallelism

Length	Gap
Parallelis: 1000	200
Tandem: 1000	200

☐ Aggressor

Shielding

☐ Shield Gap: 200

Use Net:

Rules

	Minimum	Maximum
Length:	0	50000
Styb		0
Delay	0.000	10.000
Capacitance	0.000	10.000
Impedance	50.000	150.000

Matching

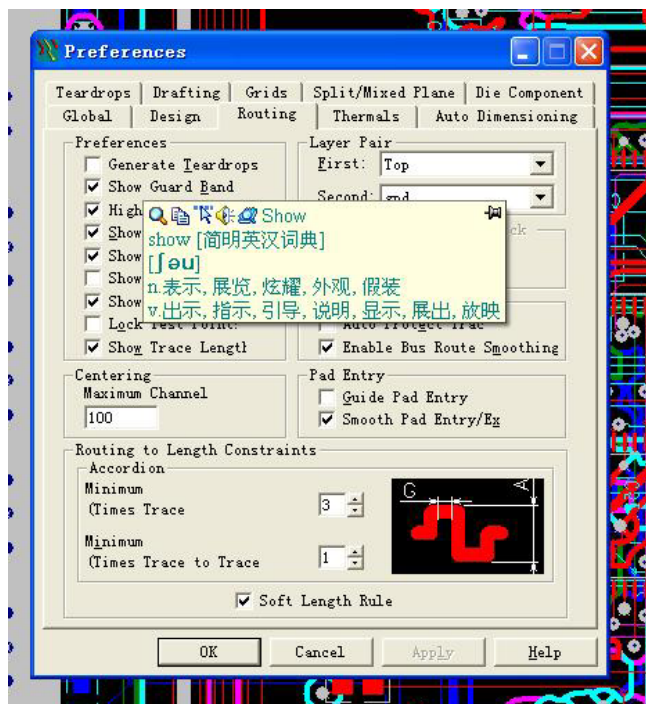
☐ Match Length: Tolerance 200

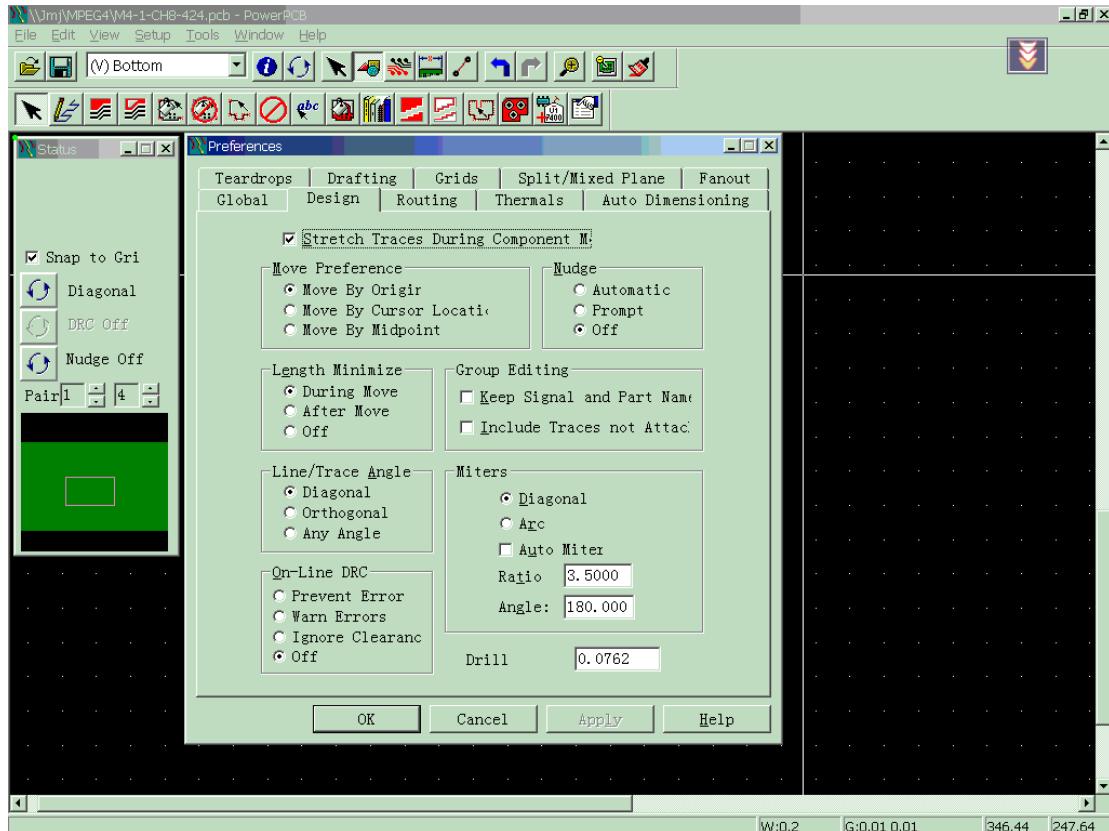
OK

Cancel

Delete

Help





8:一般在布线的时候,大家的

DESIGN GRID 设置为多大呀!

布兜

看具体情况。通常我设定 5mils,这是因为我布线线宽为 6mils,5+6 大于 10mils,那么我就很容易使线距就会自动为 15mils。这样的线距既符合我要求的线距,又能在布线时很容易的看出线间距均为 15mils,很整齐的说。在密度大的地方,就设为 1mils。

XiaoQY

我一般是用 5MILS!

9:在那设置线的宽度呀

执行 W6 就可以了,哈!要多试验几次的,

布兜

如果你的走线宽度多数为 6mils,那么在 setup/design rules/default/clearance/trace width 的 recommended 设为 6mils 就可以了。

Benbenzhuyi

临时改动用 W6,否则改 Default 值

10 那个换层命令怎么用

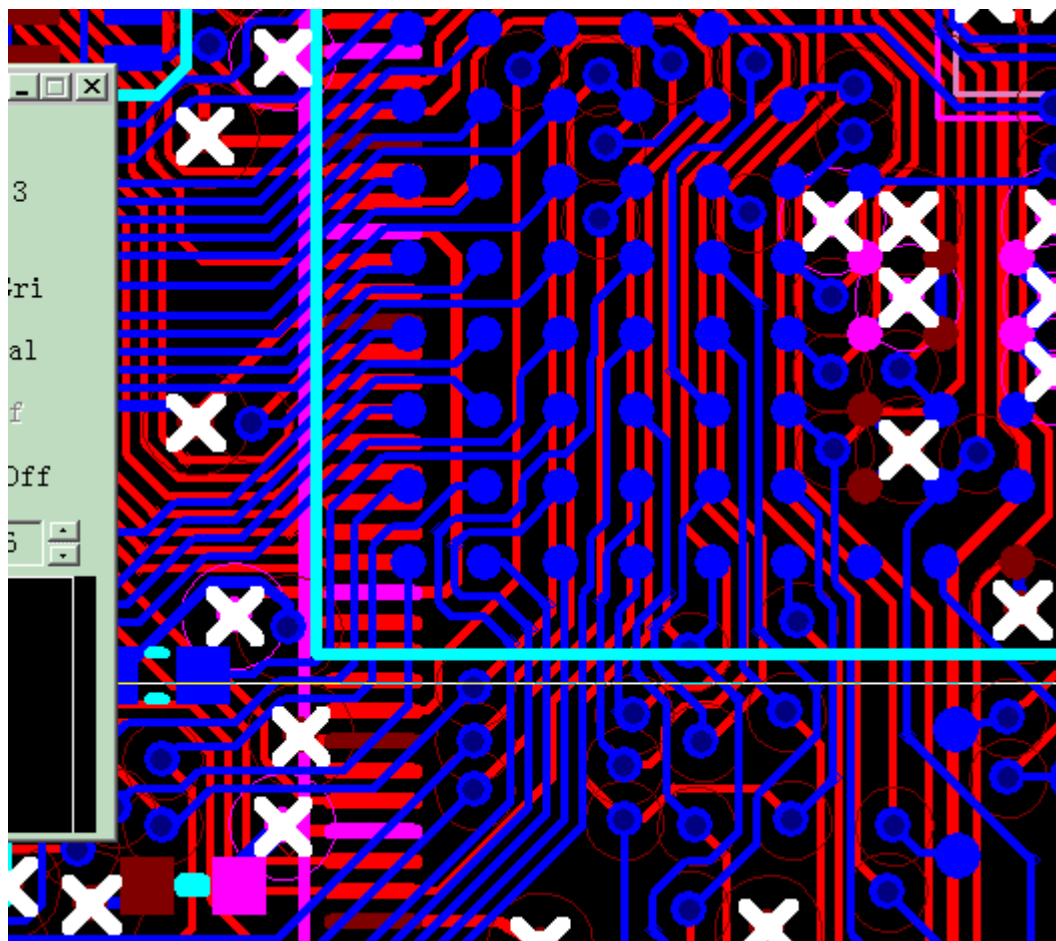
参数是不是分别代表起始层和要换到的层,那孔 VIA 不就有盲埋空的分别了,不是说最好成绩不要打这两种孔吗?

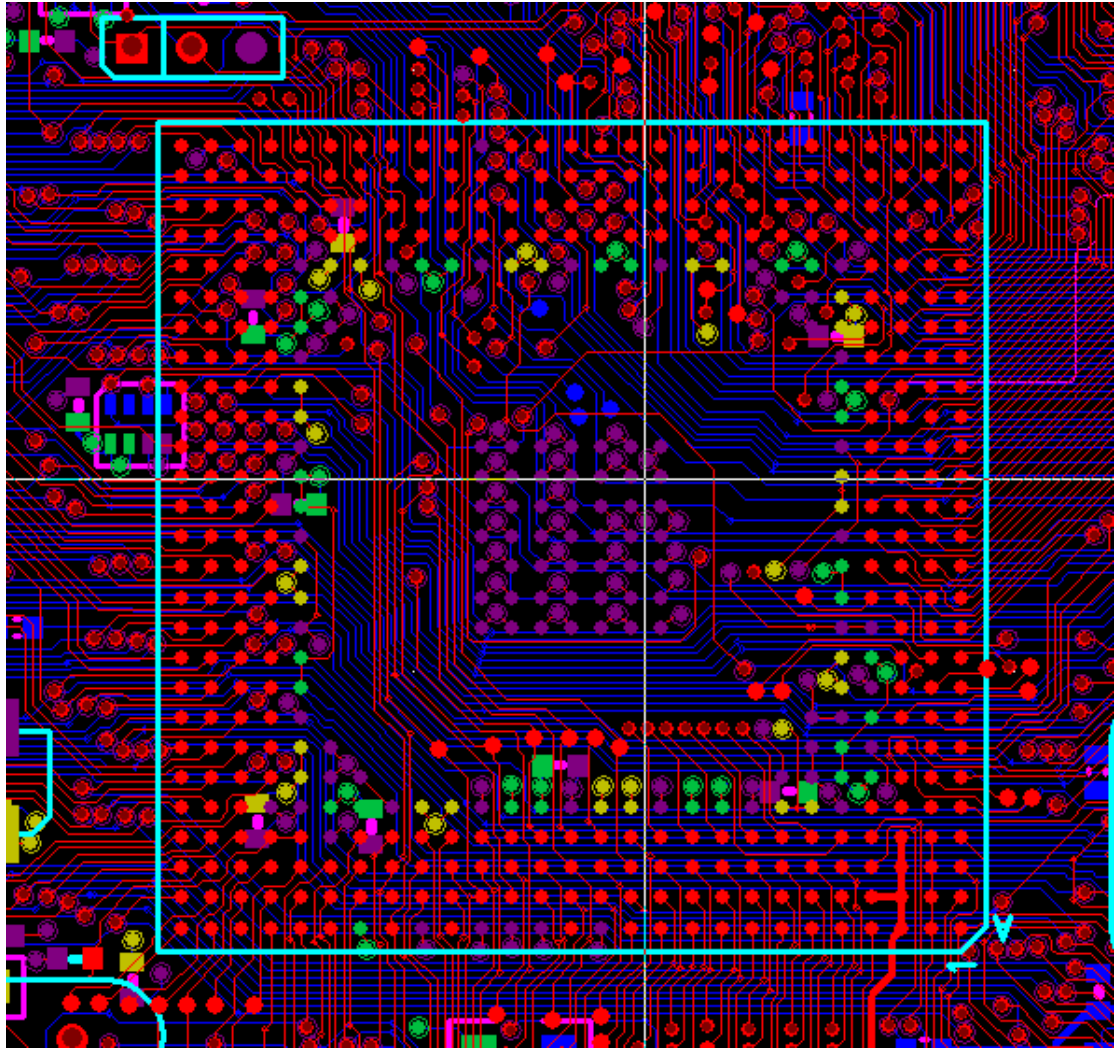
XiaoQY

L<N>

改变当前层,如 L2,则当前层为第二层!

怎么叫从 B G A 一个一个的往外拉





yuan.lihua

中间的那些焊盘点都是电源或者地吗?那你怎么让他和电源层地层相连,是不是就是那个紫色的花空,那个怎么做呢,外面的都是信号的管脚吗?那每个都要外来,哈,你的线宽选择是多少呢?

XiaoQY

是呀!

花花绿绿的是电源和地!

有个地和电源层的!

只在打孔铺铜就可以的!

这线宽为 5MILS 的!

布兜

你的布局是你自己布的,还是参考模 mode 板?感觉不是很好。

像与 BGA 相连的那片贴装芯片,应该做适当的旋转,使得与 BGA 得连线最短。还有大贴片上面的那片小的,明明都与大贴片的左下脚的 pin 相连,可它偏偏在其上方。调整大贴片的方向要好些。

如果没有 dome 作参考,布局就显得很重要。至少要把一组组的总线,主要元件在纸上画一画,大概那些总线走那一层,哪个位置、方向,大概多少条线,需要占多少位置。重要线如时钟线应如何走等等。如果板子大一点,劝你多花点时间布局。这样后面的工作会做到事半功倍,布局走线合理,板子完整性也会好些。:)

还有，首先你的引出 BGA 的管脚，就像 xiaoQY 贴得图那样。

值得一提的是，引线时一定要给电源、地留出打孔的地方，否则到最后，没地打孔哭都来不及。方法：view/nets 把地、电源标注成某一颜色，连线时注意看是否有地打孔。

12 BGA 的连接地和电源

花孔的大小怎么来控制呢？

布兜

BGA 中间打过孔可能只有用 8/18，10/20 的 via，大了可能打不下。电源、地的 via 同一般过孔一样，你看到的十字花焊盘，在你定义了电源、地层，并分配网络后（setup/layer definition），只要你打过孔到电源或地就会出现你看到的花焊盘。不过有个前提是你 setup/preferences/thermals 定义了花焊盘。

XiaoQY

地和电源就打孔下到其层铺铜就好了呀!!!

不用连线的!!!

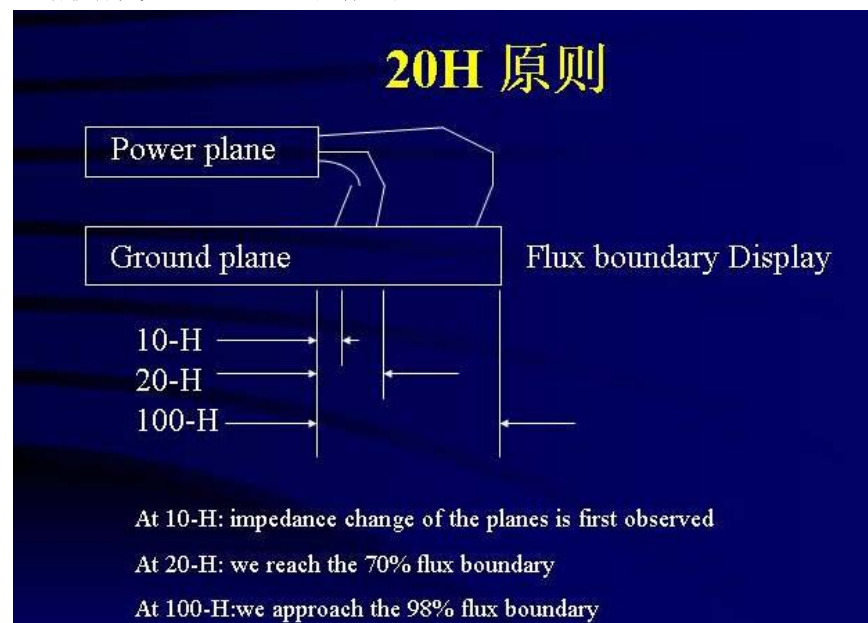
布兜

看来我没说明白，估计你是否没定义地和电源层？！

先不用铺铜，先定义电源、地层就可以了。

如果你定义了就这样操作，在连线状态下，右键/end via mode/end via，同时按下 ctyl 和鼠标左键，就会自动打过孔到你定义的层。

13 请教各位,这里的 20h 芝的是什么呢?



betty

H 是指 power plane 与其最近的 ground plane 之实体距离。此距离包括 core 之厚度、prepreg filler 之厚度、及 PCB 装配的隔离距离。假设此平面间的距离为 6mil, 则得到 20-H 为 $20 \times 6 = 120\text{mil}$. Power 平面应小于 gro

und 平面 120mil.

由于磁通的连接,RF 电流存在于 power plane 的边缘.此种层间耦合作用称之为"fringing",通常仅见于高速 PCB.当使用高速逻辑用 clock 时,电源平面间会互相耦合 RF 电流且辐射至空间中.要减低此效应,所有电源平面应较相邻的地平面小(依 20-H rule).

电源分布临界效应发生在 10-H 左右,20-H 代表约 70%的通量边界(flux boundary),要达到 98%的通量边界须 100-H.

14 能问一下,过孔的大小

请问过孔的大小一般大家都设置为多大,还有在那设置过孔的大小!

布兜

这要看你的板子密度,一般我最小的用 8/18 或 10/20mils,电源部分用大些 32/50mils

左边是 DRILLS 的大小,右边是 VIA 的大小吗?

Lengcool

POWPCB 中 SETUP--》PAD STACKS--》VIA。我们用的标准孔是 DRILL 为 12MIL, DIAMETER 的设置 START, INNER LAYERS, END 中为 24MIL, 在电源层为 40MIL。当有特殊要求时,就在 DRILL 和 DIAMETER 两项改好了。多试

15 是不是好象显示的线都很细呀

benbenzhuyi

不是,你敲热键 R 6 或 R 4 试一下!

16 问个 EXPORT 的问题

输出的时候有些选择项目

unit 选择什么?

EXPAND ATTRIBUTE 要选择吗?

SECTION 选择什么?

布兜

unit 绘图单位

section 全选, 点击 select all 就可以了。

EXPAND ATTRIBUTE 要选上

lengcool

我们是选 SELECT ALL, UNIT 中选 CURRENT 就好了

17 各位线之间的间隔距离一般是多少呀

布兜

最好大于线宽, 有空间当然越大越好了

你走 6mils 的线, grid 设为 5mils,把 snap to grid 选上, 会很容易走出间隔相等的线。线距 9mils,该满足要求的

lengcool

走线的线宽和线距一般是 1: 1, 1: 2 有规律的, 根据客户要求所定, 当然既要美观又要效果好了, 如用 6 MIL 线宽, 可以把 DISPLAY GRID 设 12MIL, G 用 6MIL

18 布兜,请看!

你们在布线的时候,是不是大多数的电容电阻最后加上去的,对吗?也就是说背面的元件

XiaoQY

晕~~~

走好后再加滤波电容? ? ?

修死你！

布兜

布局都完成后再布线，当然有个别的阻容器件位置可以在布线过程中作调整。

19:为什么我不能移动元件到 BOARDLINE 外呢?

好象初步布好局之后,想把元件移动到外面的话,没有办法移动,只能在 BOARDLINE 里面.请告诉我该怎么办

benbenzhuyi

暂时先把 DRC 关了！

XiaoQY

就是！

敲 DRO

20 布兜一个问题!

元件面、焊接面：敏感信号线

我们通常所说的,焊接面指的是那一部分!是背面吗?

Wood

通常说的焊接面是 bottom layer，元件面指 top layer，但是现在 smd 器件的广泛应用实际上两面都是焊接面也都是元件面了。

差分信号,指的是什么???有没有个确切的概念!

布兜

差分信号肯定有确切的概念，但我好像没法用通俗易懂的语言来说明。

差分线实际上是两条平行的耦合线，耦合线的两个导体电压幅度相等、相位相反。比如你经常在电路图上看到 TX+和 TX-就是一对差分线。因为差分线又阻抗要求，所以一对差分线线宽、线距都有具体要求。走差分线的好处是减少串扰，在传输不连续时减少损失。

每个大功率器件应安装一个 16uF 以上的电解电容或钽电容；并由其所放位置处负载的特性及纹波要求确定适当的容值，ESR 和 ESL

这是因为什么呢？

布兜

当然是达到最好的滤波效果了。

21 电源电容的摆放是不是有什么讲究呢?

还有一个问题,电源的处理和不是先接一个大的 10UF 的电容,在接一个 0.1UF 的电容,是不是需要这两个电容摆放有没有什么讲究呢?

BILLWANG

没错,一般在 POWER 的进入端放一个大一些的 E 电容,每一个 IC 的电源端要加一个小瓷片电容.

22powerpcb 的使用

各位,在使用从网络站点上下载来的 POWERPCB5.0 的时候有在 XP 环境下有没有出现死掉的情况呢?

怎么解决,或者怎么设置保存时间,或者做一段就存起来呢?

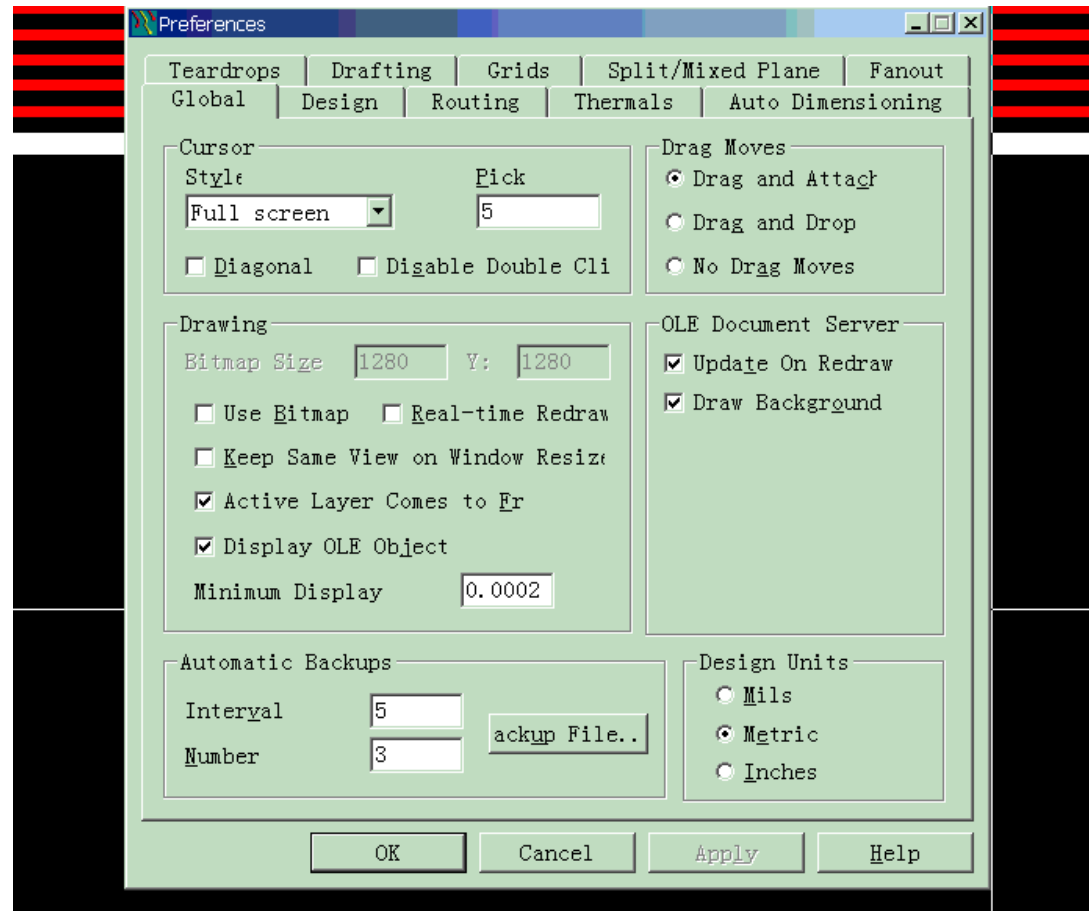
XiaoQY

有自动备份的设置！

在 INTERVAL 后面改成你所需的间隔时间！

如下图需 5 分钟！就改为 5！

下面的 3 是所备份的文档数！



23 过孔与地和电源想连接

过孔与地和电源想连接是不是都是带差的符号

XiaoQY

你如果设置了花孔的话就会以花孔显示的！

Zxfeng

可以关掉，但为什么要这样呢？

setup——preferences——thermals——show general plane indicate

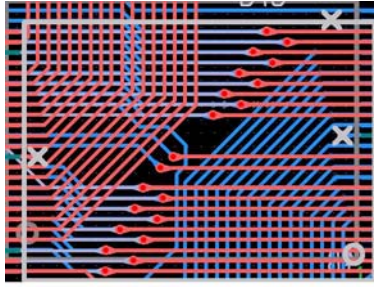
24 请问各位,对于 SMD 元件,怎么样引出过孔

突然之间发现过孔的引出也是很有讲究的,这样才能方便走线,各位谈谈这方面的经验,比如 SDRAM FLAS H 还有 BGA 的引出!

他们的引出方法是不是也必须一样呢?也就是说各管脚的过孔都是一样的!

布兜

为了看起来整齐，过孔应打在一排。但有时过孔太密会破坏平面层，可根据线密度打成几排。比喻 1、3、5.....pin 一排，2、4、6.....pin 一排。但这不是绝对的，因为你要利用过孔改变走线的位置，布线过程中你会体会到的



你要利用过孔改变走线的位置

这句话是什么意思?

布兜

比喻两条连线,要是直接连线是交叉的,你就要通过改变过孔的位置改变走线位置使其平行与另外一端连接。这种问题都是在实际布板过程中体验出的,别人说你可能不理解,遇到了你就会明白。

Dzkcool

也就是说可以调线的顺序

25:在 POWERPCB 中怎么给每个焊盘加上过孔

在 POWERPCB 中怎么给每个焊盘加上过孔,从焊盘到过孔的距离 10MIL 是不是有点短呀!

布兜

10mils 岂不是焊盘和过孔连在一起了?一般说来 BGA 过孔到焊盘在 100mils 以内,但也不要离焊盘太近。

kgx

你加过孔的目的是什么?一般在布线时可以按 CTRL 加鼠标左键加过孔呀(不过要将 END VIA MODE 设置为 END VIA)

一个方法是在布线时可以按 F4 换层,软件自动打过孔,用户可以继续在另一层走线。

一般来说,BGA 封装元件的扇出(FANOUT)工作是比较难的。

如果是插装的 BGA 在元件脚加过孔是没必要的。只需合理分布扇出线就可以布好线。

如果是贴片的话就只能加过孔来分散引出线,但是每个元件脚(外围脚除外)通过过孔后也就当作上面的插装 BGA 一样布线了,只是贴元件面没有多少走线空间了

26:突然想问大家走线的安排

大家是先走电源和地,然后在走重要的地址线数据线 I/O 线呢.还是先走 I/O 然后再走电源和地.

我感觉最好成绩前着先走!

Kgx

先计划好电源和地线的走法,然后将重要的信号线走好,再走其他线

hvl

走线肯定是先走关键信号线、地址线，但同时也得考虑到电源线地线的走势。不过走线时应该都是同步进行的。

Jsckliu

也就是说在走线的时间还是先走信号线再走电源和地线了。

27 在高速电路中,走线和焊盘的连接有没有什么讲究

谢谢!

Kaiko

有,最好是用泪滴焊盘

BILLWANG

同意楼上的观点，最好线宽不要突变。

28 BGA 连线

要是在焊盘堆里打孔，那就是打在 4 个焊盘的中间位置了。将 BGA 中心以十字划分，分别向左上、左下、右上、右下打孔。

这句话是什么意思,到底是以每个焊盘为中心分别向左上,左下,右上右下打焊盘呢,(至少我看我的参考样板图是这样一来)

还是在 BGA 已有的四个焊盘中加过空

BGA 向外出线的时候怎么控制焊盘外边到过孔边的距离是 10MIL, 我觉的最好还是按照标准来做,这样的话,就可以保证每个焊盘都能外连

布兜

就是说以 BGA 芯片中心点为中心，呈放射型像四周打孔。当然也不完全绝对，可根据具体情况灵活对待。

向外引线时，焊盘到过孔 10mils?, 你从哪里看到的，这咋可能实现呢。

29 BGA 的处理

各位在做 BGA 的布线的时候,我想先把 BGA 的连线先连接出来,然后在让他和其他的元器件响亮,不知道这样一来可不可以,请指教

Kgx

当然可以，而且一般也是将连线布出来再布其他地方的。

30:在多层板的处理中

对于过孔大家怎么看,在线上打了过孔主要产生些什么影响

布兜

阻抗不连续，引起反射。

还带来时延

wlinda

尽量少打孔，少走弯路

eric57

最重要是線不跨切割

lengcool

走 DIASY ROUTE，是走最短的路，有必要再打孔

31:BGA 如何往外拉线？请大家指点

我现在在从 BGA 往外拉线,但是始终不的要领.自己拉线吧,不知道这 BGA 走线的规律,和怎么往外拉.没有足够的信心.

按照参考板外拉吧,因为现在外围的元气件变了很多,会出现很多的过孔

,所以我想各位能不能发给我一些这方面的资料.或者切实指导一下.

从我现在看到的资料来看.BGA 焊盘是划片的,并且现在也发现一个问题,每一片的焊盘走的方向也是有方向的.还有这种向外的走线怎么编排,是尽可能先保证走出来呢,还是走线尽可能的减少 VIA

Lengcool

先保证 BGA 的线走出来，等优化时再看打的孔是否多余

32 各位,请问怎么把元器件放在栅格上面!

还希望给出确切的步骤!

Kgx

为什么一定要放置到栅格上？你可以将栅格是 GRID 的倍数即可方便移动。

如：栅格是 10mm,GRID 是 1mm。

33:大家在布线的时候打开 DRC 吗？

XiaoQY

呵呵~~~~~走习惯了~~~

只要按格点去走就好了~!

不过最好是打开 DRC!

Lengcool

其实走在格点上，一般不用打开 DRC，布线完成后再检查

34:好多连接电源和地的飞线这是为什么？

各位我的 BGA 电源和地直接打过孔和电源和地平面连接了,为什么他和别的电源和地还有飞线连接呀,好象我刚处理完 BGA 的电源和地的时候这个问题不是太明显,但是保存后为什么再次打开的时候,好象有很多飞线!

Kgx

如果同一层有多个电源或地一般还是用分割比较方便，只要给每个网络做一个铺铜框然后灌水即可。

还问个问题在这中分割的电源层中间可不可以走信号线,怎么走呢?

XiaoQY

中间层走线得看你是采用什么方式的输出罗！

cam plane 和 split/mixe 都可用来设为地或电源层，camplane 是负片，里面不能走线，但 split/mixe 是正片，里面可以有走线，可以灌铜。

35:verify design of clearance 错误的解决方法

想问一下,怎么利用验证窗口提示的错误信息,来定位错误,同时修改呢,好象书上面说的

选择 DISABLE PANNING 处于没有选择状态,LOCATION 定位错误,好象没有任何明亮的标志标识错误!请问班主怎么办!

布兜

在 setup/display colors/errors 设置颜色，规则检查后会有标记的。

36 还有想问如何在结束的时候铺铜

谢谢!

布兜

在 setup/display colors 打开要灌铜的层。

鼠标右键 select shapes，点击灌铜边框，在工具栏里点击 flood 图标即可。

你需要先分割电源、地、灌铜（注意，灌铜前应先做好备份，因为有错误修改时，删掉铜是件很浪费时间的事情

这里面的分隔电源和地分别指的是什么？

布兜

分割电源，也就是你在同一电源层上有几个不同的电源,如 5V,3V，需要把他们分成 5V,3V 两部分。用工具栏里的 plane area 画出两个电源的边框，然后再用 flood 灌铜。
如果地有数字地和模拟地就需要分割，分割方法同上。

37:请问各位 DRC 检查出现下面的错误是什么问题

请问各位 DRC 检查出现下面的错误是什么问题

LOCATION

latim rule not checked

explanation :

latium rule not checked :component c215 component rule

请问这是什么造成的,怎么样来处理这样的错误!

yuan.lihua

现在可以确认和 C215 的元气件封装有一定的关系 ,当封装发生变化时候,就会出现上面的错误!

38:背面的元气件文字怎么摆放才符合要求

不会游泳的鱼

你把器件放在 bottom 层，丝印字符自然就是反的了啊。

单独 mirror 的话，选中字符，按鼠标右键，有 mirror 一项的

benbenzhuyi

如果是器件本身的 Ref. Des.，那就都是自动的，不用管它；如果自己想放一些表注，一定要镜像，否则将来出来时就是反的！ADD FREE Text 的时候，有一项是选择 Layer 的，还有个 Mirror 选项。

Lengcool

赞同楼上的说法。

如果是器件本身的 Ref. Des.，那就都是自动的，不用管它；如果自己想放一些表注，一定要镜像，否则将来出来时就是反的！ADD FREE Text 的时候，有一项是选择 Layer 的，还有个 Mirror 选项。

问答集出自《中国 PCB 技术网》论坛 EDA 软件 PowerPCB 应用交流区！

[Http://www.pcbtech.net](http://www.pcbtech.net)