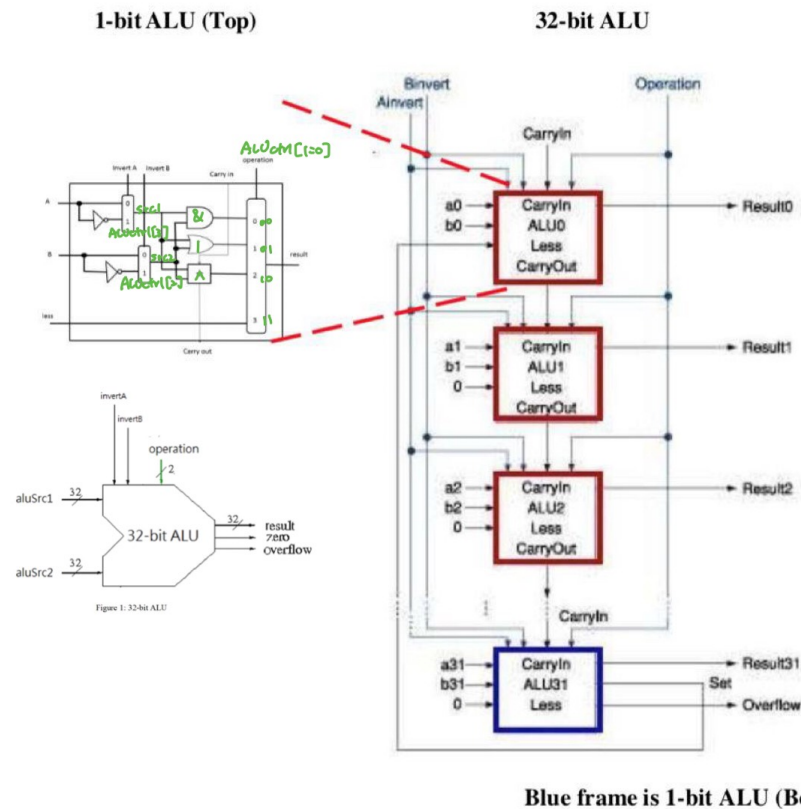


Architecture diagrams:



增加左下小圖方便進行理解

Hardware module analysis:

一開始先交由alu 負責決定要做何種運算，然後分別傳進alu_top.v和alu31.v，由於32bits中存在進位及overflow的情形，因此0-30bit由alu_top進行，而針對第31bits則在alu31在set特別進行調整並cout結果。

Experiment result:

測資正確

Problems you met and solutions:

對於verilog不熟悉，查詢很多資料

Summary:

很抱歉拖了很久才補交第一份作業，因為對於verilog好不熟悉，要花更多時間去適應它。