

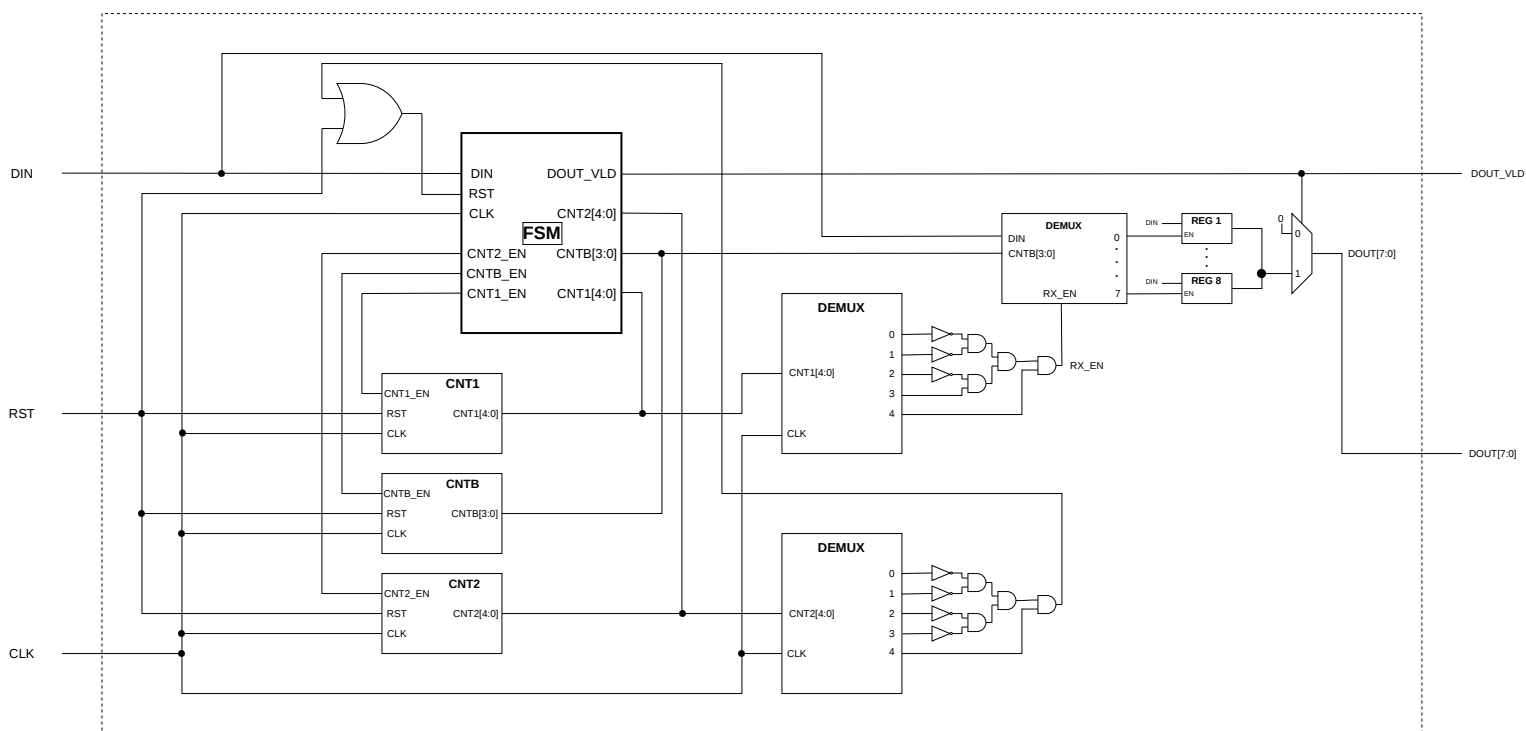
# Projekt UART

Jméno: Aleksandr Shevchenko

Login: xshevc01

## 1 RTL

### 1.1 Schéma obvodu



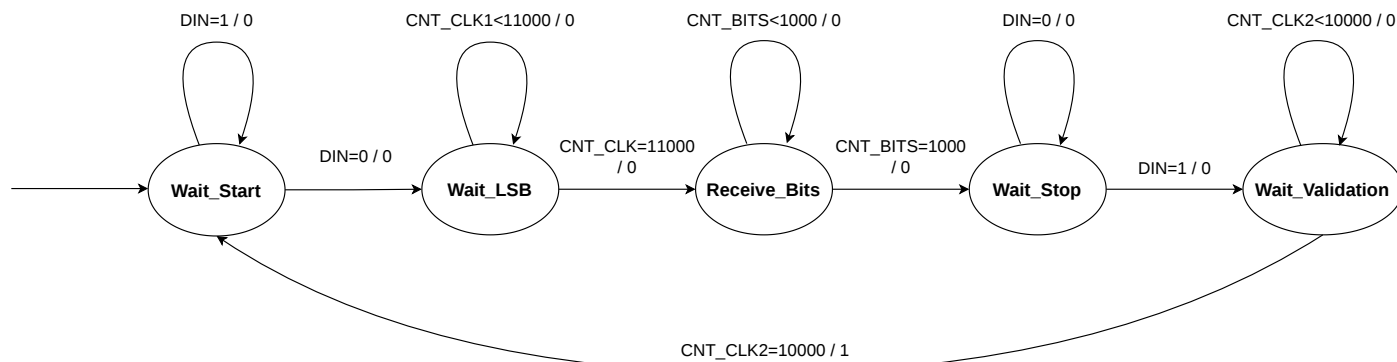
### 1.2 Popis

Počítadla CNT1, CNTB a CNT2 (v FSM CNT\_CLK1, CNT\_BITS a CNT\_CLK2) po dosažení nutných hodnot mění stav FSM následovně:

- CNT1 [4:0] prochazející přes DEMUX nastavuje RX\_EN na 1 jenom v případě, když minulo 24 signálů CLK.
- Pokud máme RX\_EN=1, přes DEMUX do registrů REG 1 - REG 8 ukládáme jednotlivé bity z DIN (kontrolujeme jejich počet pomocí CNTB [3:0]).
- Nastavujeme DOUT\_VLD na 1, aby přes multiplexor šel DOUT [7:0] – pole bitů.
- Pak po 16 signálů CLK v podstatě provádíme RST FSM, abychom mohli přijímat další slova.

## 2 Návrh automatu (Finite State Machine)

### 2.1 Schéma automatu



### 2.2 Legenda

- Stavů automatu: Wait\_Start, Wait\_LSB, Receive\_Bits, Wait\_Stop, Wait\_Validation.
- Vstupní signály: DIN, CNT\_CLK1, CNT\_BITS, CNT\_CLK2.
- Mealyho výstupy: 0, 1.
- Moorovy výstupy: CNT1\_EN, CNTB\_EN, CNT2\_EN, DOUT\_VLD.

### 2.3 Popis

- Wait\_Start: čekáme na nastavení START bitu na 0.
- Wait\_LSB: začátek přenosu – počítáme 1,5 period (celkem 24 signálů) CLK, abychom dosáhli „středu“ LSB.
- Receive\_Bits: uchováváme do registrů vstupní bity, dokud není je 8.
- Wait\_Stop: data jsou uložena, čekáme na nastavení STOP bitu na 1.
- Wait\_Validation: po jedné periodě CLK se provádí validace – nastavení DOUT\_VLD na 1 (a Mealyho výstup 1, což znamená úspěch přenosu). Konec cyklu, přechod do stavu Wait\_Start.