

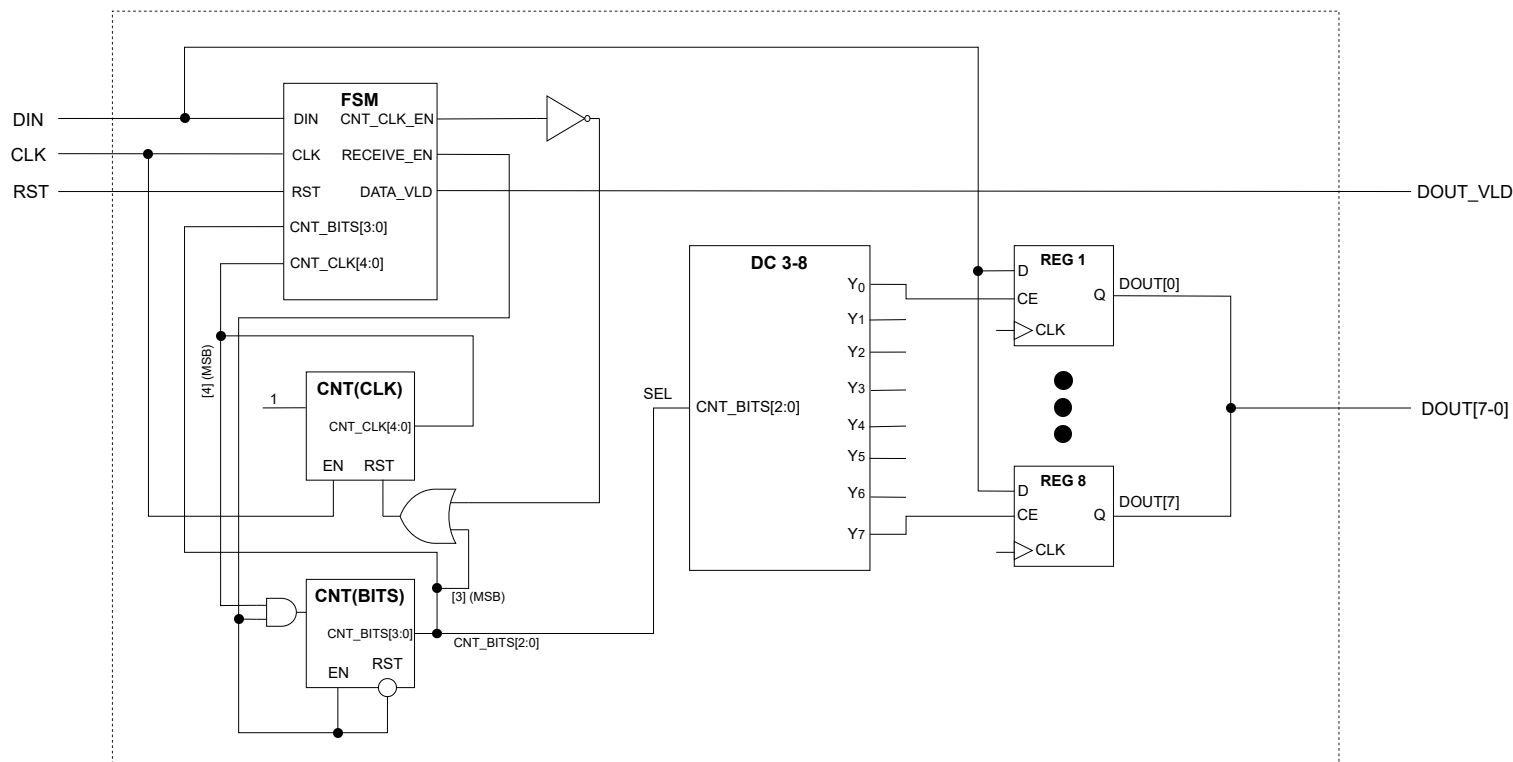
Projekt UART

Jméno: Aleksandr Shevchenko

Login: xshevc01

1 RTL

1.1 Schéma obvodu



1.2 Popis

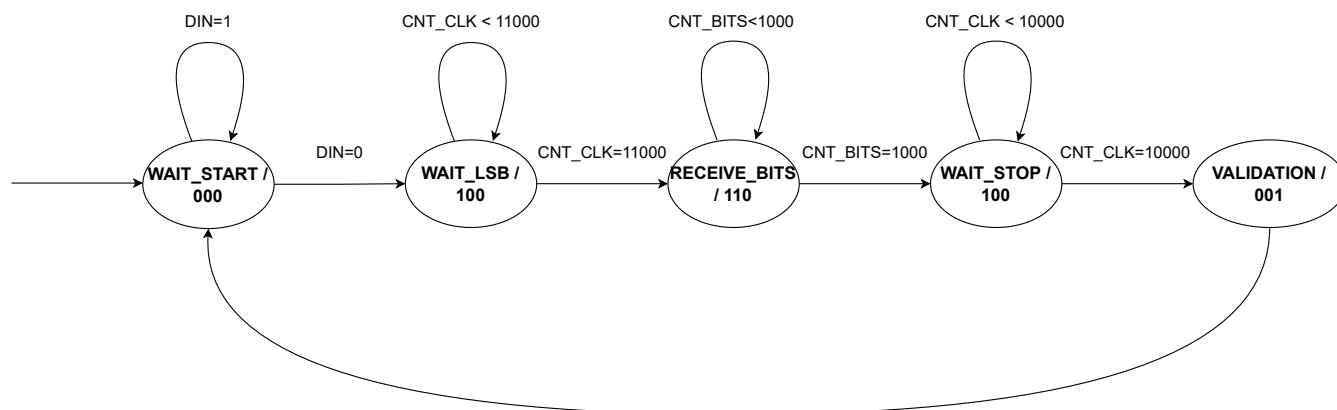
Počítadlo CNT (CLK) počítá hodinové signály následovně: je ve stavu RST, když není nastaven CNT_CLK_EN anebo když máme poslední načtený bit.

Počítadlo CNT (BITS) počítá bity následovně: na vstupu má 1, pokud zároveň máme nastaveno RECEIVE_EN a když minulo 16 hodinových signálů.

Dál pomocí decóderu DC 3 – 8 uchovááme do registrů REG 1 – REG 8 bity ze vstupu.

2 Návrh automatu (Finite State Machine)

2.1 Schéma automatu



2.2 Legenda

- Stavby automatu: WAIT_START, WAIT_LSB, RECEIVE_BITS, WAIT_STOP, VALIDATION.
- Vstupní signály: DIN, CNT_CLK, CNT_BITS.
- Moorovy výstupy (v tomto pořadí jsou vypsány v FSM): CNT_CLK_EN, RECEIVE_EN, DATA_VLD.

2.3 Popis

- WAIT_START: čekáme na nastavení START bitu na 0.
- WAIT_LSB: začátek přenosu – počítáme 1,5 period (celkem 24 signálů) CLK, abychom dosáhli „středu“ LSB.
- RECEIVE_BITS: uchováváme do registrů vstupní bity, dokud není 8.
- WAIT_STOP: data jsou uložena, čekáme na nastavení STOP bitu na 1.
- VALIDATION: provádí se validace – nastavení DOUT_VLD na 1. Konec cyklu, přechod do stavu WAIT_START.

3 Snímek obrazovky ze simulací

