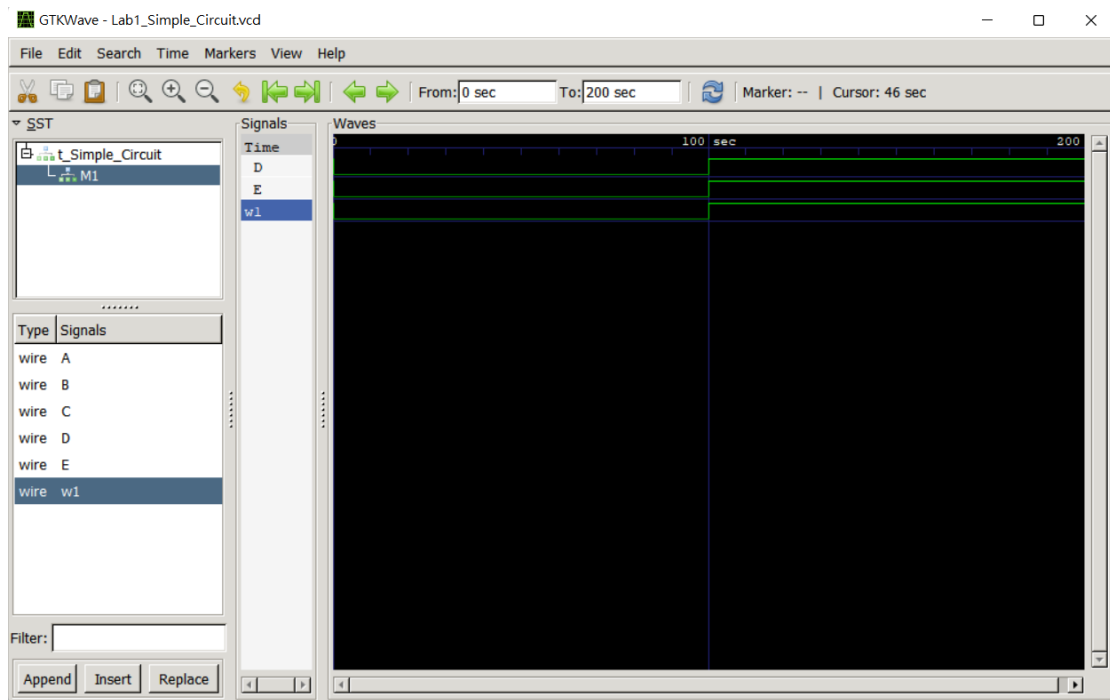


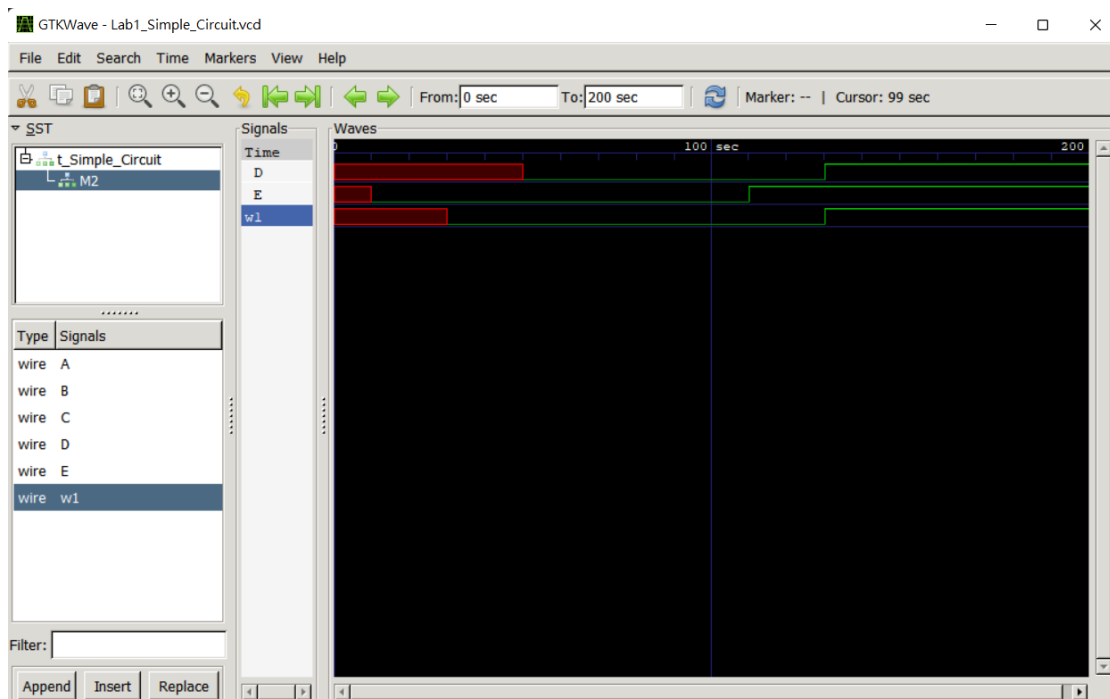
1.

2A(a)

Simple\_circuit.v 波形圖

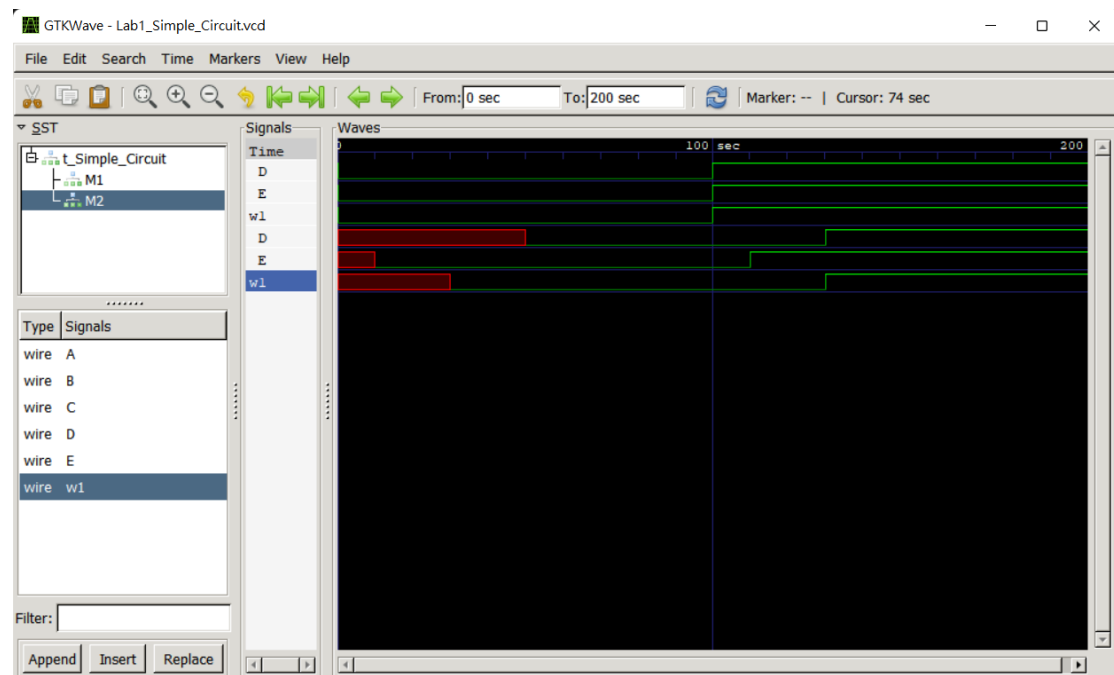


Simple\_circuit\_prop\_delay.v 波形圖



兩者差異為 Simple\_circuit\_prop\_delay.v 有 delay，故在 delay 前的波型圖紅色部分為輸出未定義，而藍色垂直線後面的為 gate delay 所造成波型參差不齊。

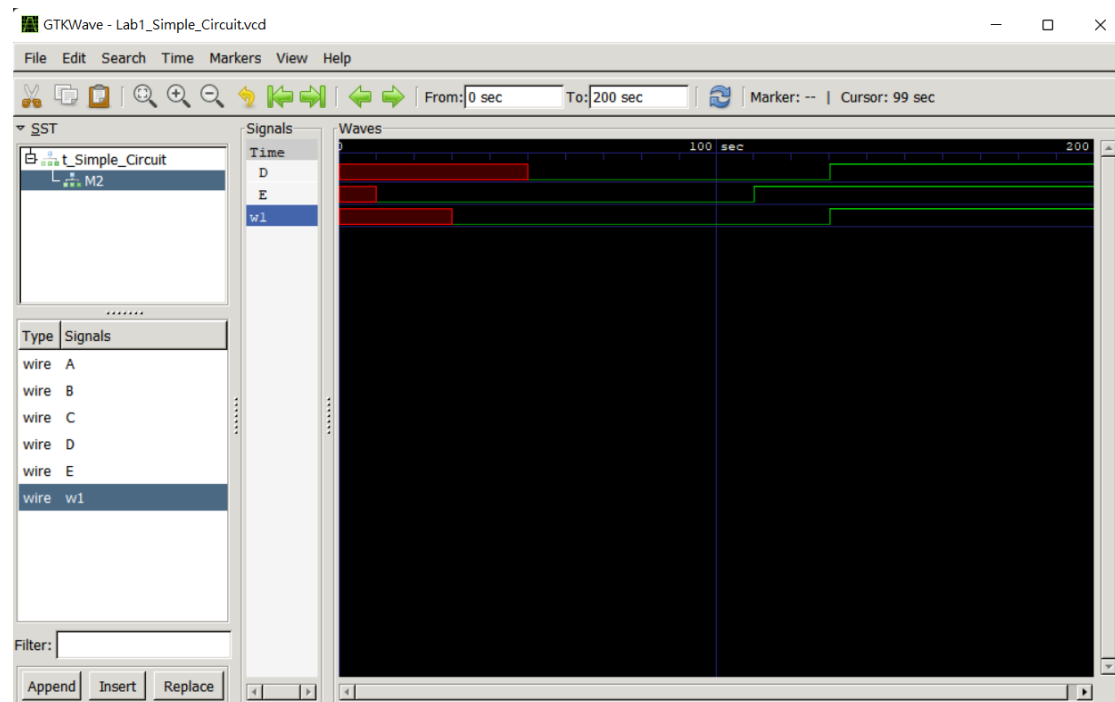
## 兩個波形圖對照



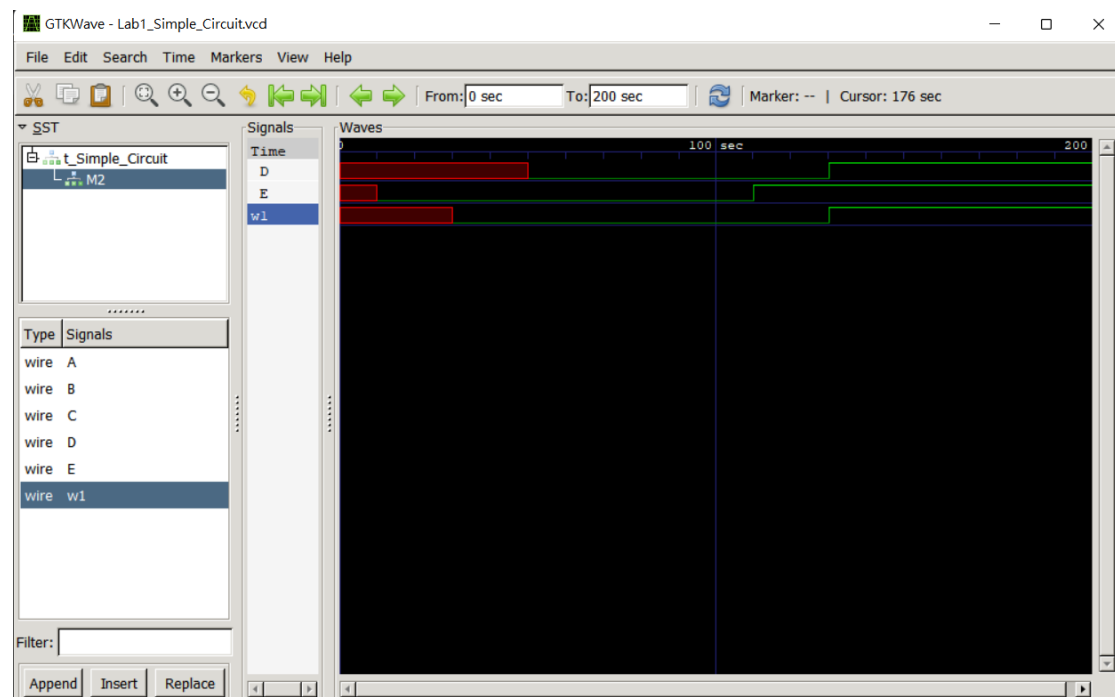
2.

2A(b)

Swap 前



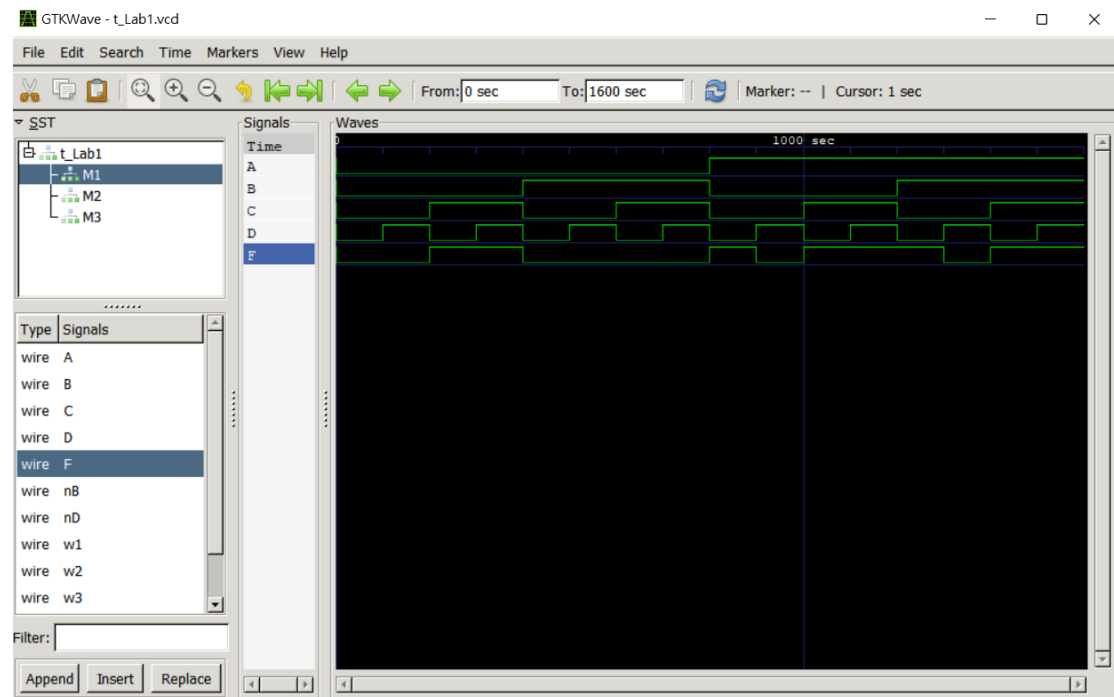
Swap 後



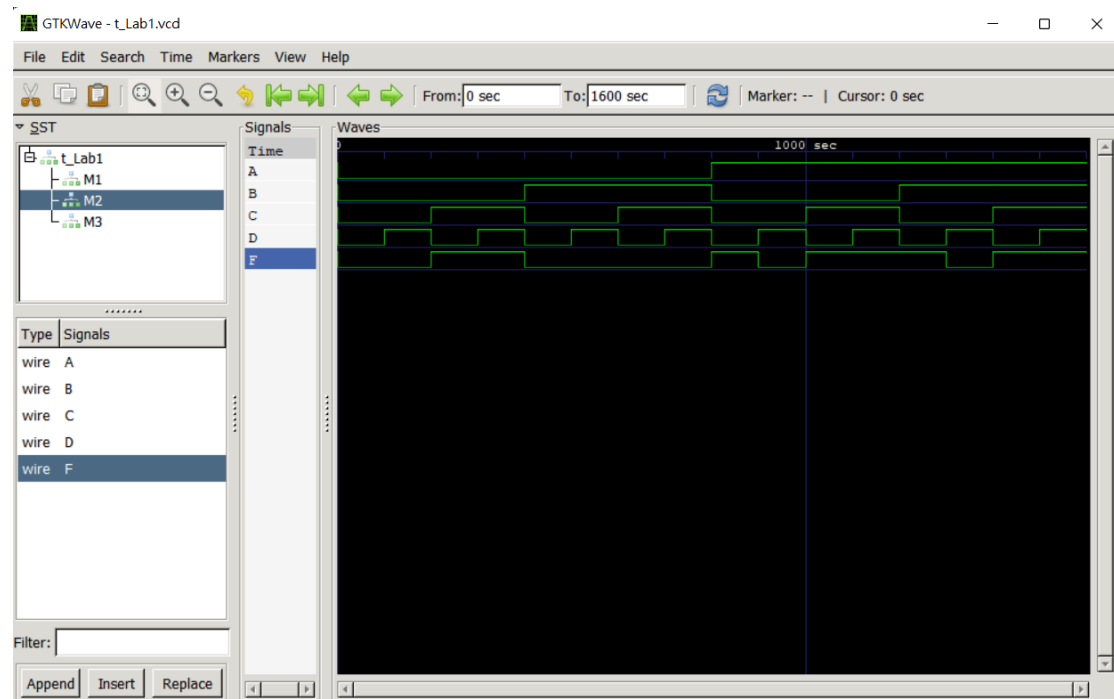
兩者並無差異，因為 Verilog 在執行程式時並不是一行一行執行，而是 Concurrency 的方式。

3.

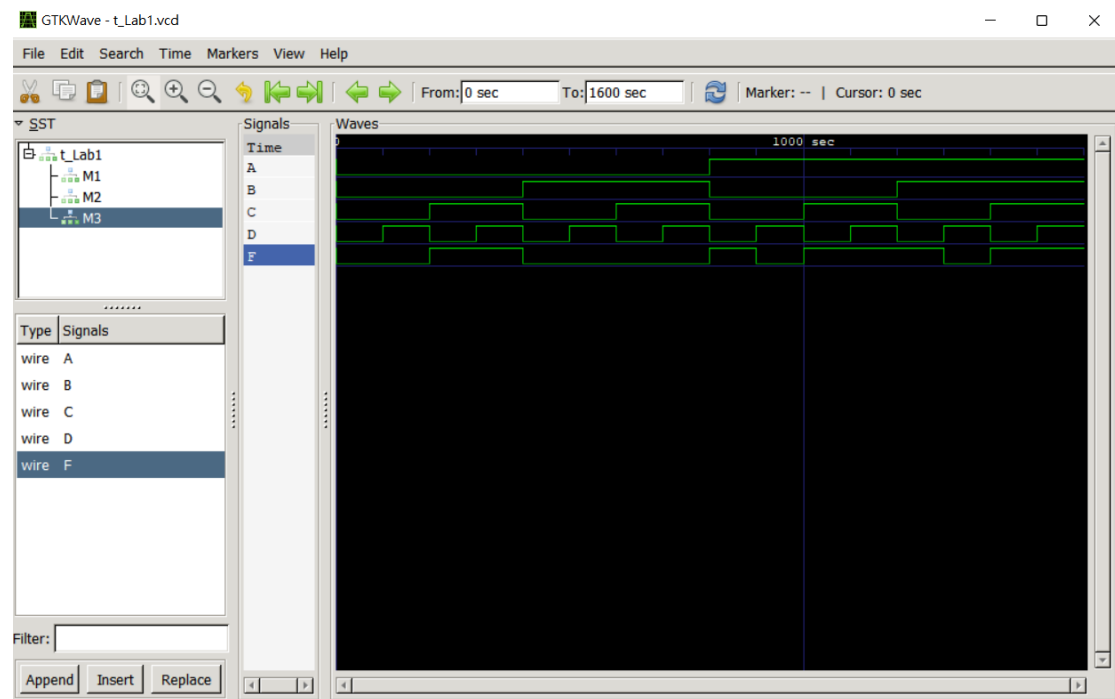
gate level modeling 輸出波形圖



dataflow modeling 輸出波形圖

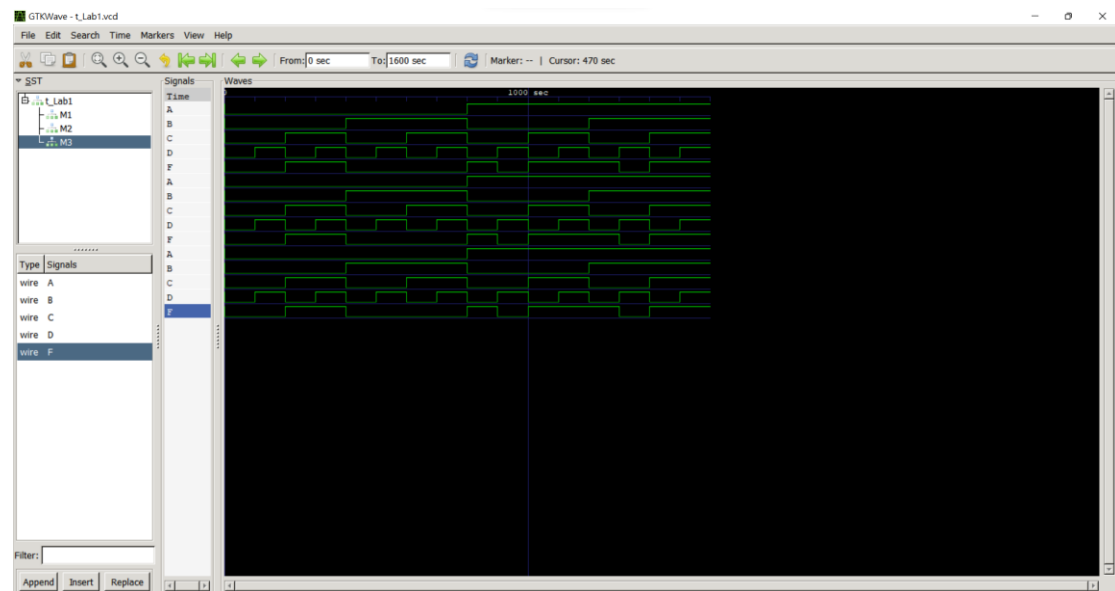


## User-defined primitive



三個電路模組輸出均相同，皆正確。

## 三個波形圖對照



4.

由 VDP table 可得

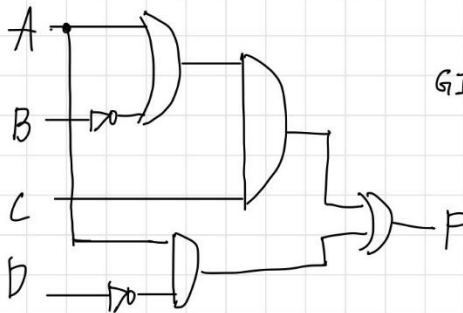
$$F(A,B,C,D) = \sum m(2,3,8,10,11,12,14,15)$$

CD \ AB	00	01	11	10
00			1	1
01				
11	1		1	1
10	1		1	1

$$F = AC + B'C + AD'$$

$$= AC + B'C + AD'$$

$$= C(A+B') + AD'$$



$$GIC: 5+3+2=10$$

## 5.心得

在設定環境變數時因為沒將 `gtkwave` 加入，卡了一段時間，但接下來的 Verilog 實作都是順利完成，希望 Lab2 也能如此順利。