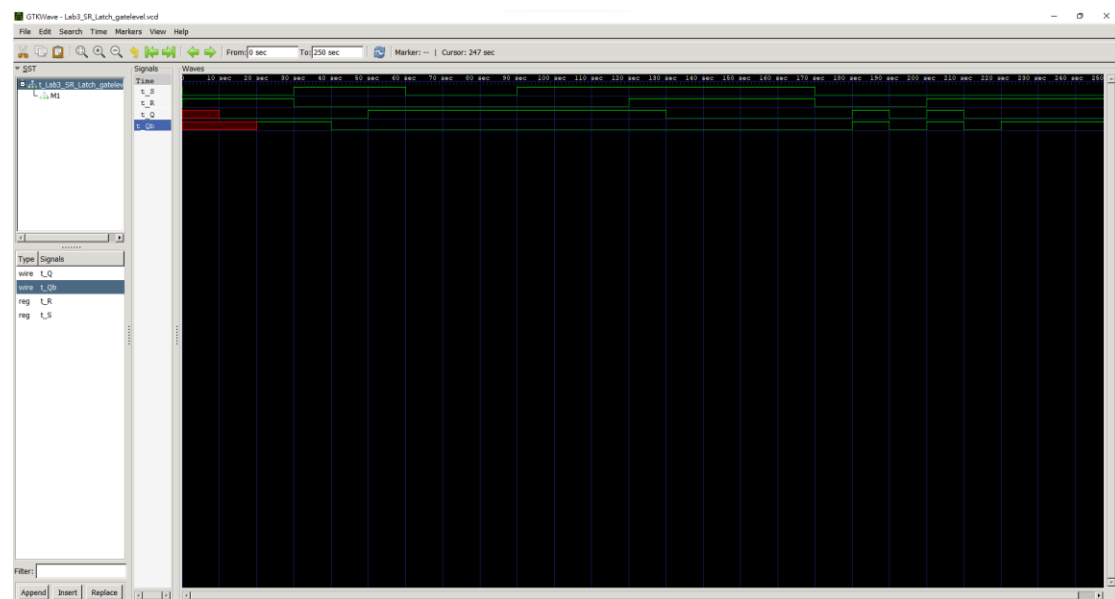


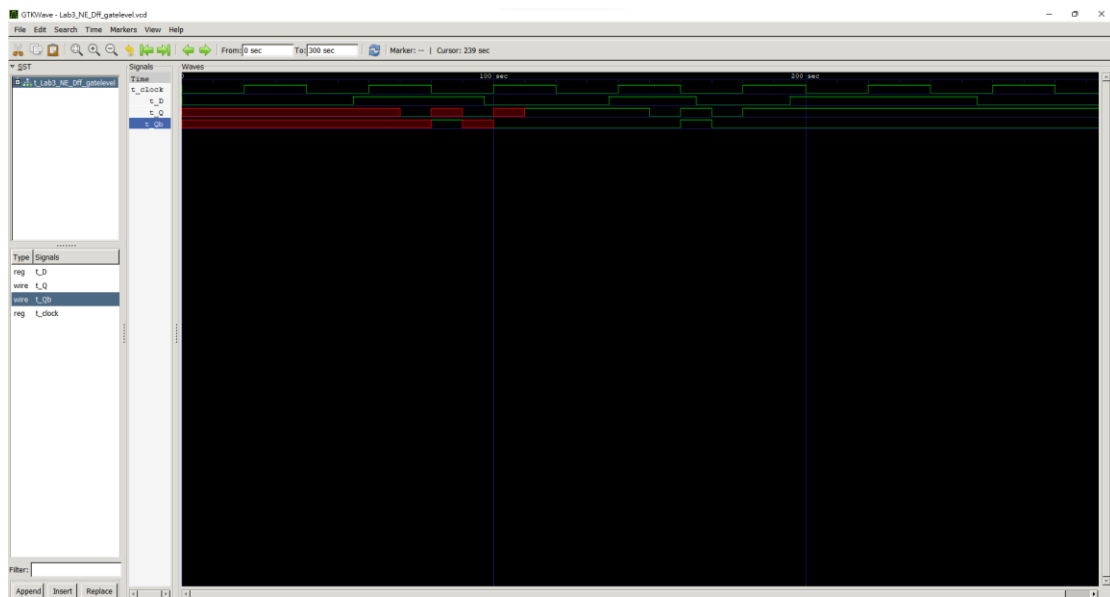
1. 2A 波形圖



觀察波型，皆符合 SR latch 的 characteristic table。

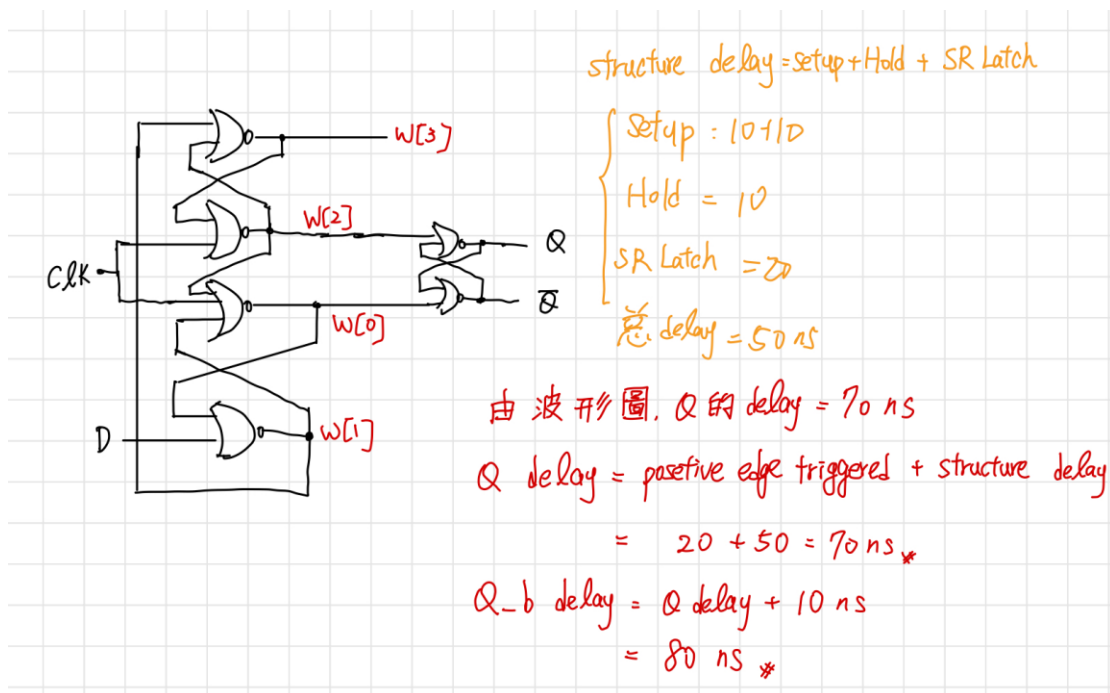
Delay 部分，輸出 Q 為 10ns，有 Q 的信號後再經過 Nor gate 產生 Q_b，故 Q_b 的 delay 為 20ns。

2. 2B 波形圖



觀察波型，符合 D-type negative edge triggered flip-flop 的特性。

Delay 分析



3.

設計電路過程:

present state

A	B	C
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0

Next_state

X=0

0	0	1
0	0	1
0	1	1
1	1	0
1	0	1
1	1	0
1	1	0

D1 D2 P3

X=1

1	0	0
0	1	0
1	0	0
0	1	0
1	0	0
0	1	0
1	1	0

Output

X=0 X=1

0	0
0	0
1	0
0	0
0	0
0	0
0	0

Z

AB \ CX	00	01	11	10
00		1		
01		1		1
11	1	1	X	X
10	1	1		1

$$D_1 = AC' + C'X + AX' + BCX'$$

AB \ CX	00	01	11	10
00			1	
01		1	1	1
11	1	1	X	X
10			1	1

$$D_2 = AC + BC + CX + BX' + AB$$

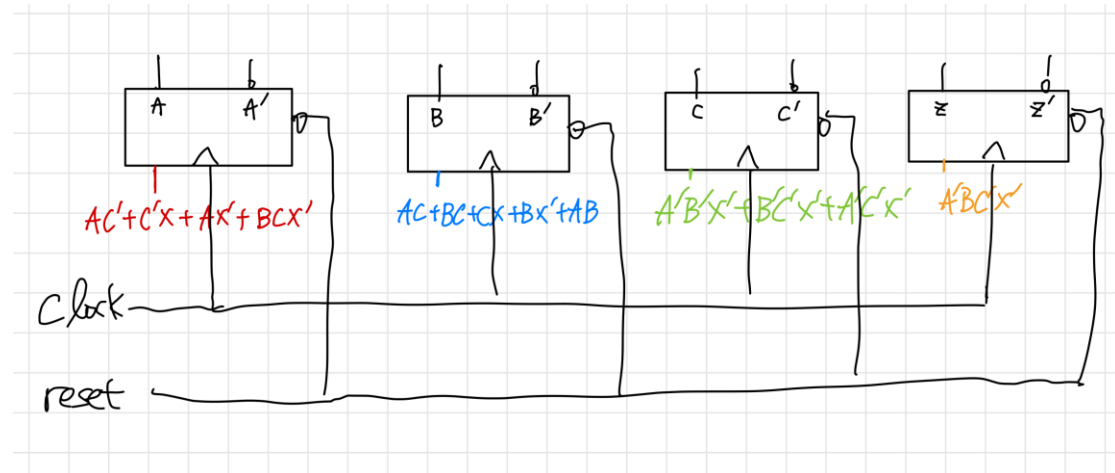
AB \ CX	00	01	11	10
00	1			1
01	1			
11			X	X
10	1			

$$D_3 = A'B'X' + B'C'X' + A'C'X'$$

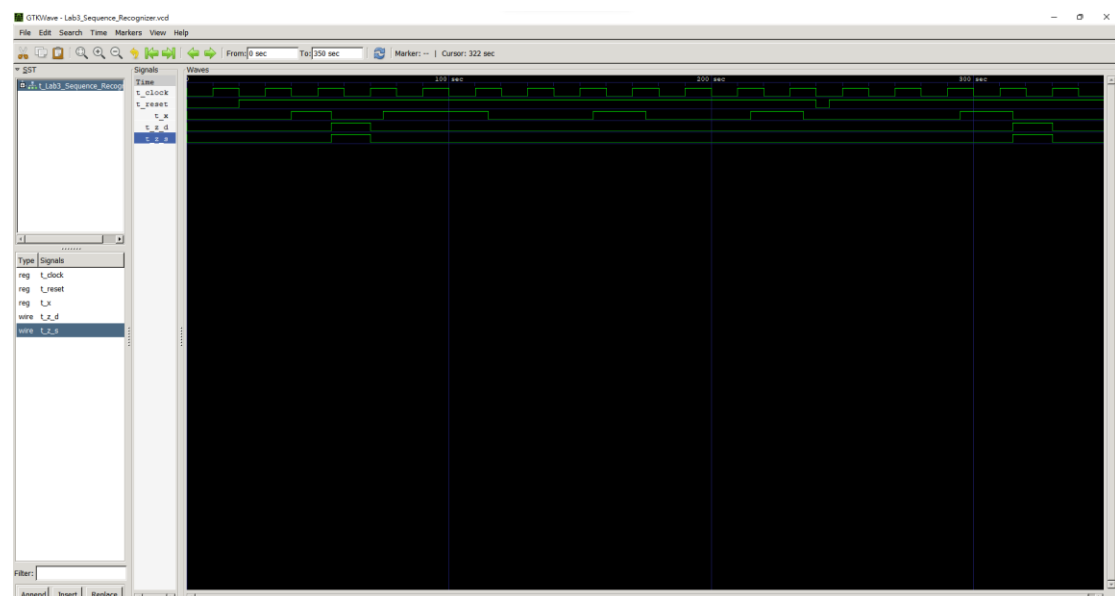
AB \ CX	00	01	11	10
00				
01	1			
11			X	X
10				

$$Z = A'B'C'X'$$

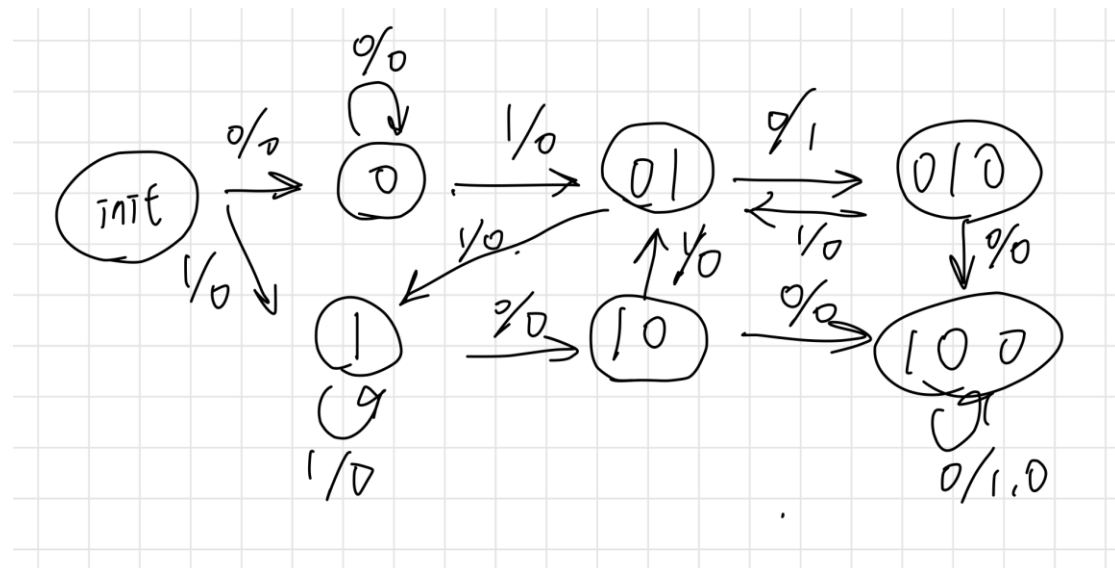
電路圖



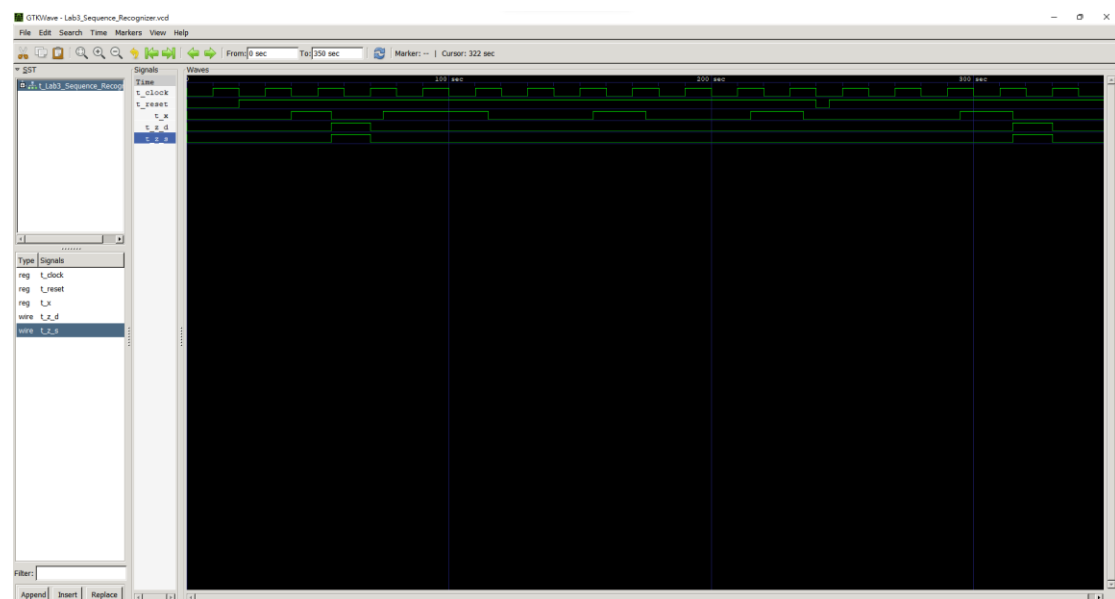
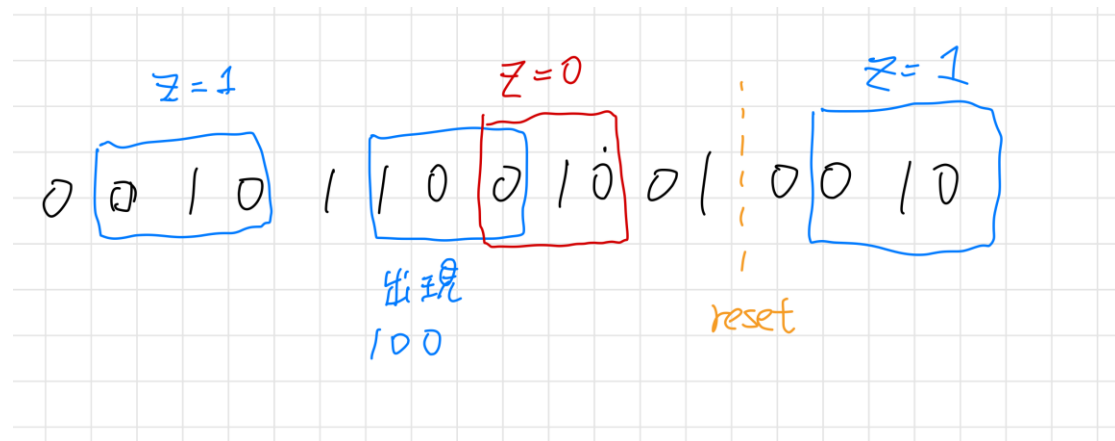
模擬波形圖



該 Mealy type 之 state diagram



Testbench 設計思路



兩種電路模組波型輸出結果皆符合 testbench 預期之輸出結果。

4. 心得

這次的 lab 稍微複雜，特別是設計 testbench 的地方需要一個一個測試，稍有不注意就會出錯，考驗細心與耐心，也讓我在這次 lab 的實作過程中學到當初只參考講義時未發現的盲點，受益良多。