

Final Project Report iclab015 張理為

一、電路架構

我的電路架構如下圖，總共分成五個 stage 分別為 Instruction Fetch、Instruction decode、Execute、Memory access 跟 write back。

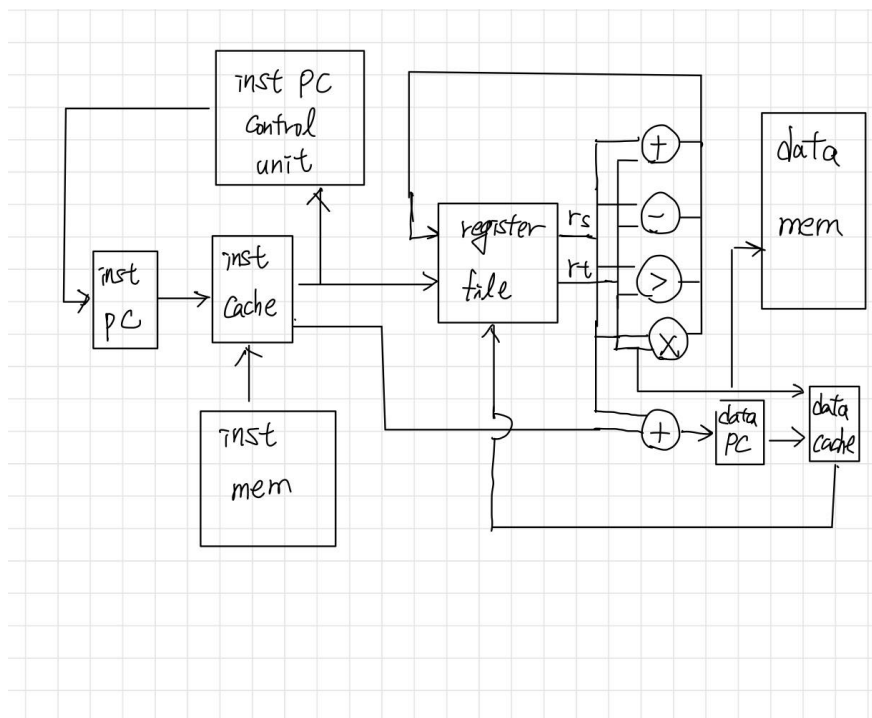
Instruction Fetch: 將 pc 只到的指令讀進來，如果該指令不再 instruction memory 中，則透過 AXI Read module 將 Dram 中的值讀進 instruction memory

Instruction Decode: 把讀進來的 16 bits 的 instruction 根據 opcode 拆解成 rs、rt、rd、imm 和 address。

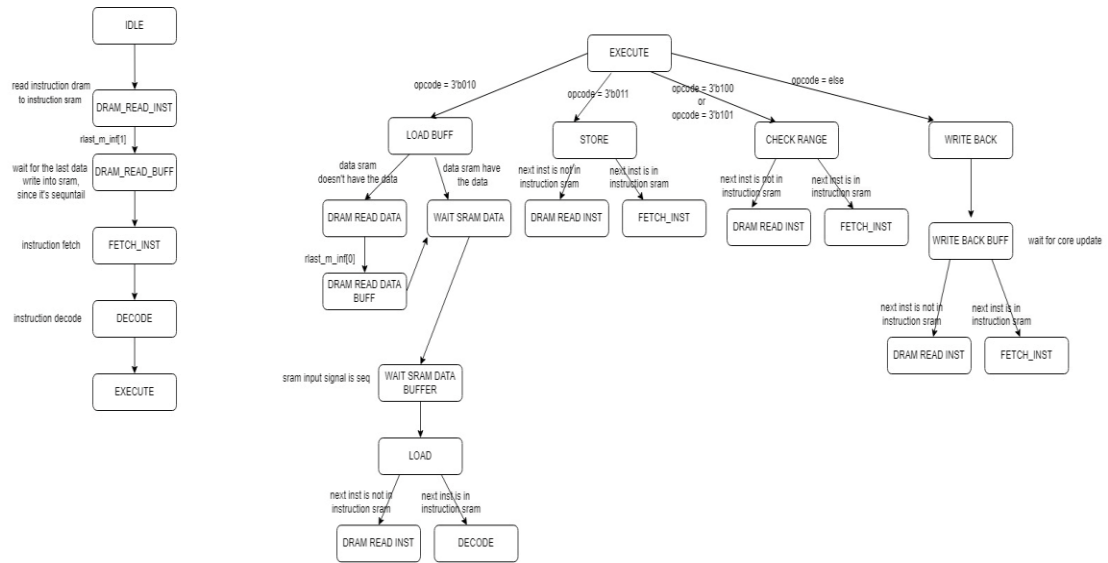
Execute: 根據不同的 opcode 做相對應的電路操作。

Memory access: 若需要做 LOAD 的話，就必須去 data memory 中把相對應的 data 拿出，若此時 data memory 中沒有該資料，則會透過 AXI Read module 將 dram 中的值拿進 data memory。若此時需要做 STORE 的話，則會把資料寫入 dram 和 data memory 中。

Write back: 若指令為 R-type，則將運算結果存回對應的 register(core1~15)



二、FSM



三、優化方法

- 因為此次設計送入 SRAM 的 input signal 都是用 sequential 送 (為了避免 06 的 hold time error)，故會需要空一個 buffer state 將資料完整的送進去，所以可以共用 buffer state。
- 若指令是 STORE 的話，除了直接寫進 DRAM 外，也會更新 data memory 裡的值，以防 data memory 沒有去 dram 拿值導致 data 出錯。
- 從 dram 重新拿 instruction 時，以該 instruction 為中心拿滿 128 bytes，可以減少重新去拿 instruction 的次數。