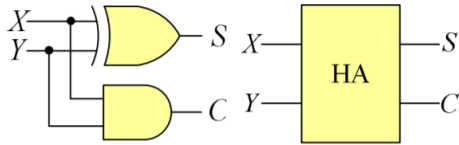
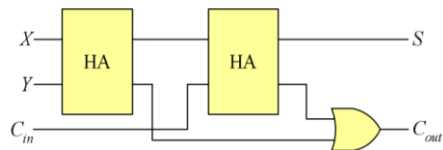


문제 1. RCA-4bit Parallel Adder/Subtractor.

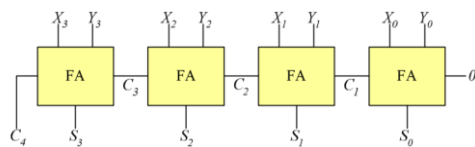
<반가산기>



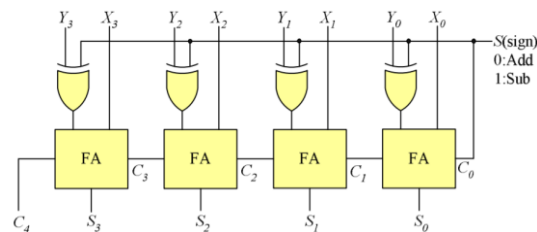
<전가산기>



<4 비트 병렬 가산기>



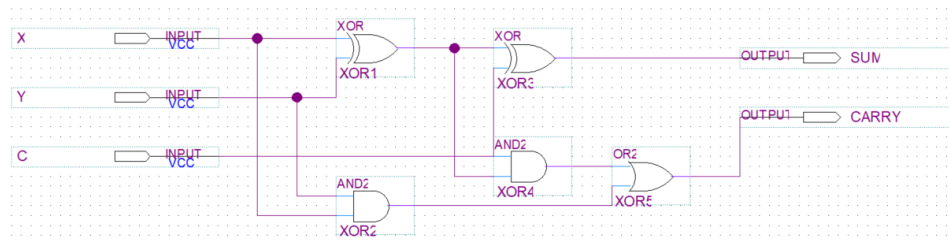
<4 비트 병렬 가감산기>



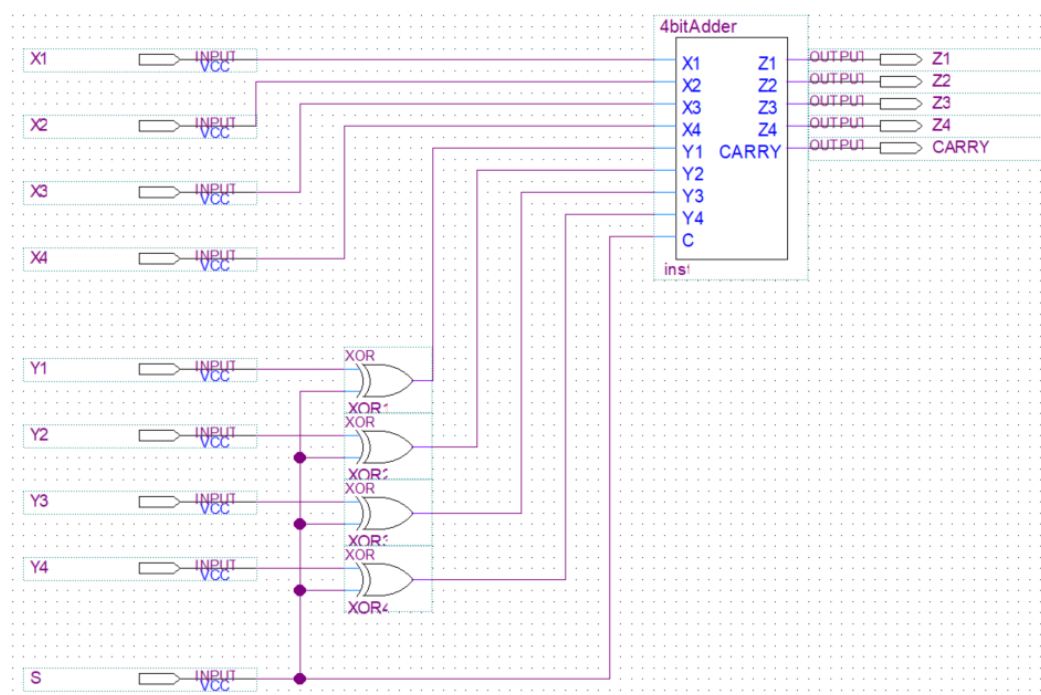
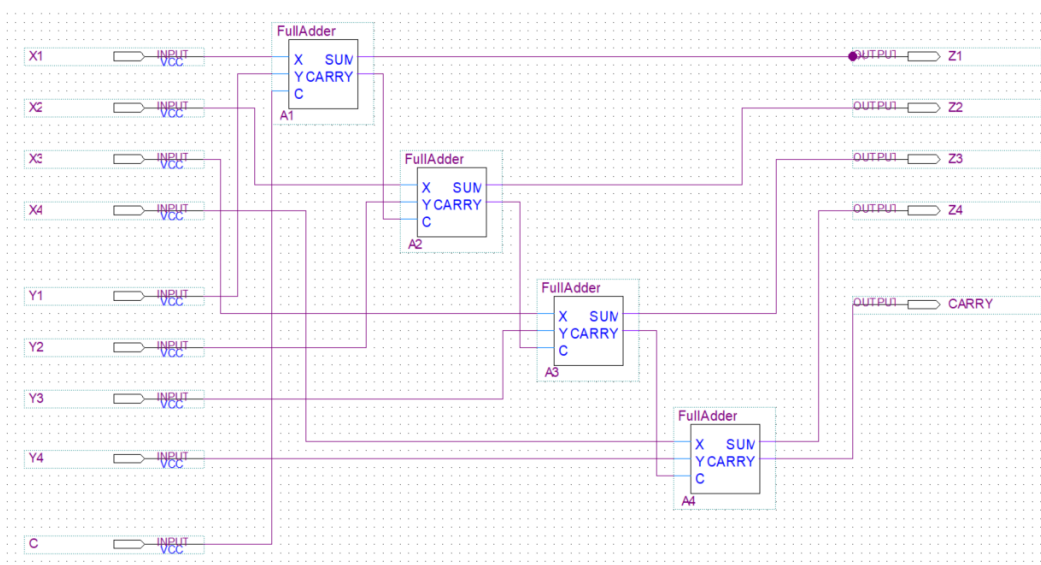
X, Y, Cn 의 입력을 받아 S(Sum, 합), C_{out}(Carry, 자리올림)을 출력하는 전가산기 회로를 4개 조합하면 4비트 입력을 받아 가산 연산을 수행하는 4비트 병렬 가산기를 구성할 수 있다. 해당 회로의 전가산기에 인가되는 Y 입력을 S(sign) 입력과 XOR 연산한 값을 전가산기 회로에 X 입력과 함께 인가하면 S의 입력이 활성화되었을 때 X에서 Y를 뺄 값을 연산하고(2의 보수 뺄셈을 이용), 비활성화 되었을 때에는 X와 Y의 합을 연산하는 4비트 병렬 가감산기 회로를 구성할 수 있다.

문제 2. CAD with Simulation

<전가산기>

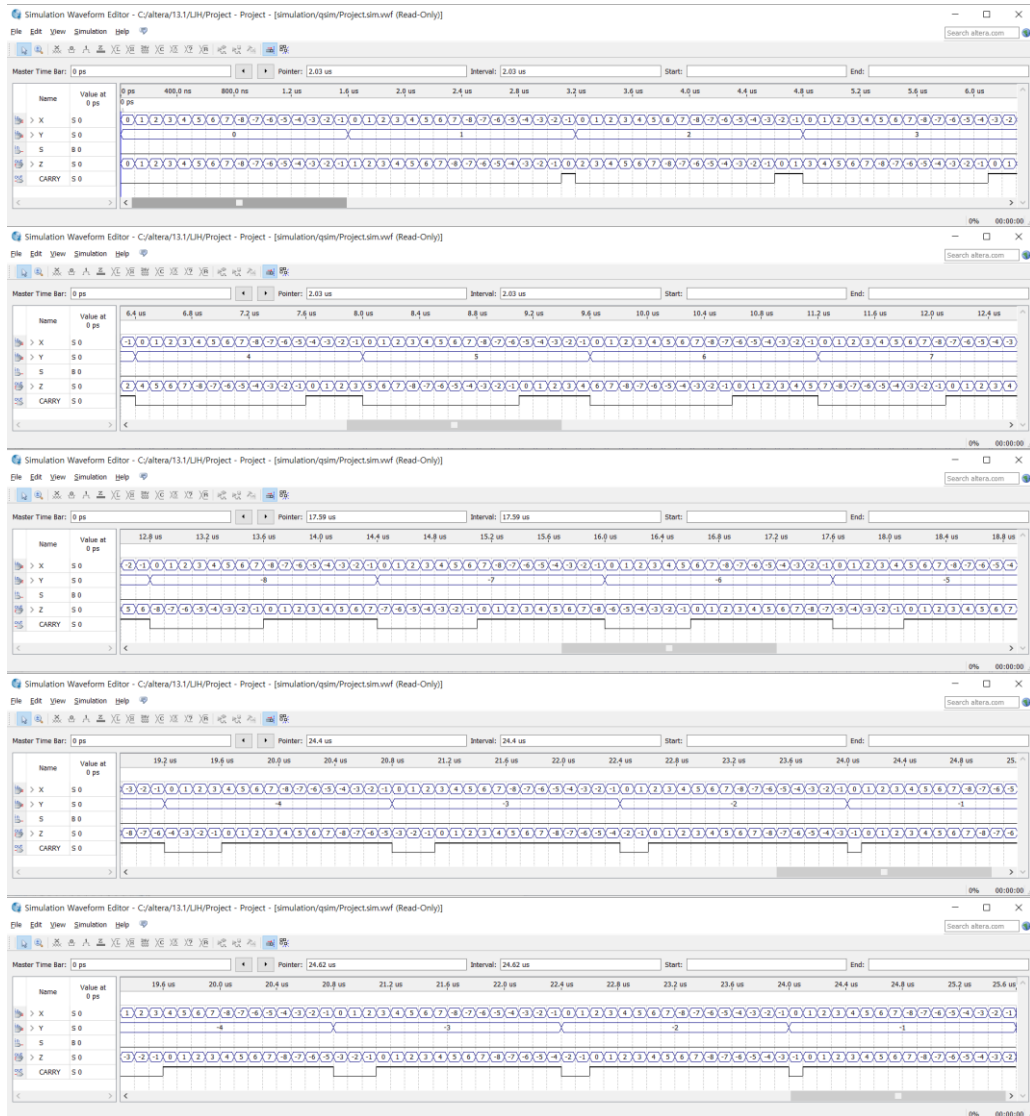


<4 비트 병렬 가감산기>

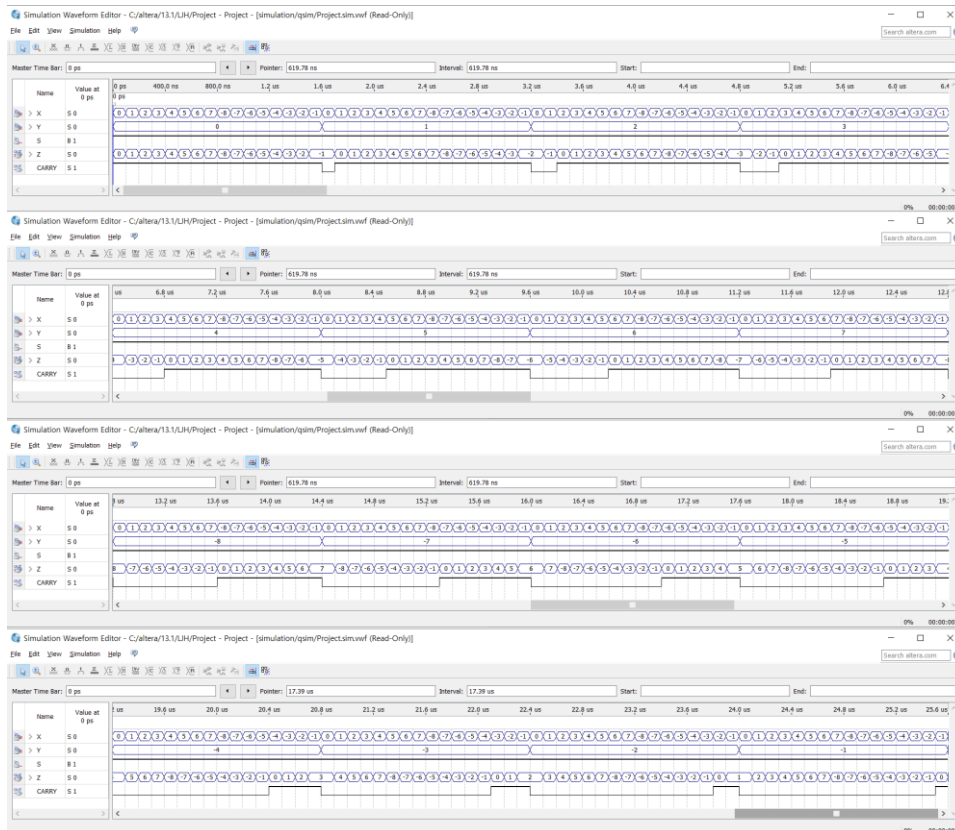


문제 3. Function Simulation / Timing Simulation

<4 비트 병렬 가감산기 (가산), Function Simulation>



<4 비트 병렬 가감산기 (감산), Function Simulation>

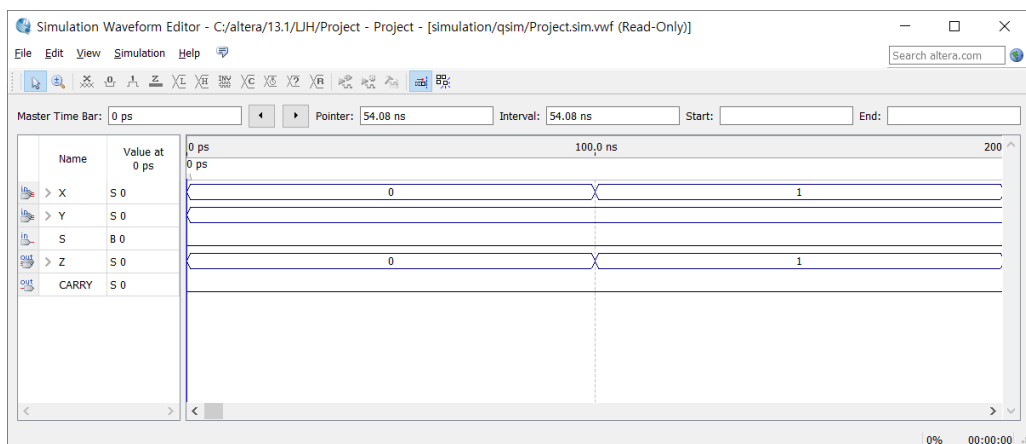


회로 시뮬레이션의 결과로 $X \pm Y$ 의 연산값을 4 비트 병렬 가감산기 회로의 출력(Z)으로 관찰할 수 있었다.

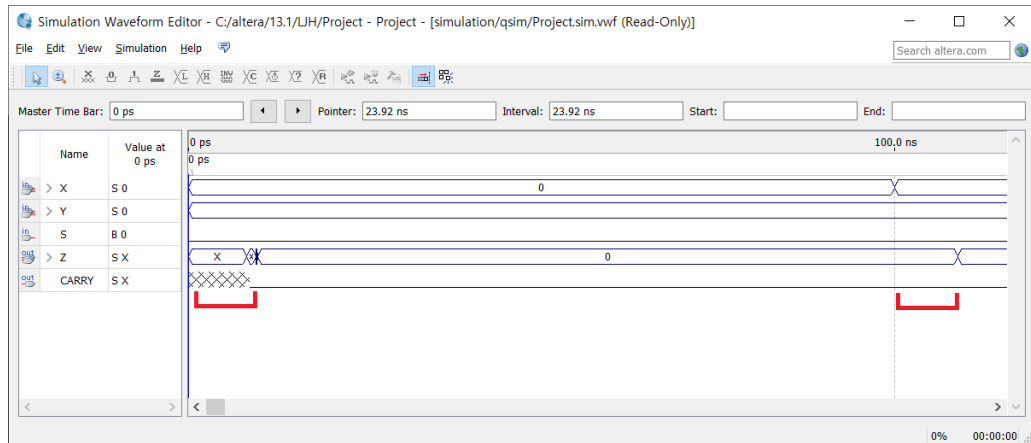
<Compare the Propagation Delay>

Quartus Simulation Waveform Editor의 Run Timing Simulation 기능을 이용하면 본 회로의 전파 지연 시간을 고려한 시뮬레이션 결과를 확인할 수 있다.

---Function Simulation---

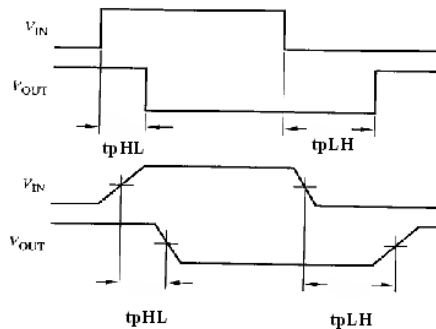


--- Timing Simulation---



위와 같은 지연 시간을 관찰할 수 있다. (빨간색 구간)

Propagation Delay



논리 결과만을 테스트하는 Function Simulation의 경우와 달리 Timing Simulation에서는 전파 지연 시간이 고려되어 해당 소자를 거쳐 전파되는 신호의 파형에 t_{plh} , t_{phl} 만큼의 지연이 추가되어 출력 신호 파형이 입력 신호 파형보다 뒤쳐지는 현상이 관찰되었다.

느낀 점과 내가 아직 모르는 것들

전가산기를 이용하여 컴퓨터에서 처리하는 것과 같은 큰 수를 어떤 식으로 덧셈 연산 하는지 궁금하였는데 직접 4 비트 연산을 수행하는 병렬 가감산기를 설계해보면서 어떤 식으로 연산이 이루어지는 지 이해할 수 있어서 좋았습니다. 정수를 계산하는 가감산기를 만들어 보면서 컴퓨터의 정수 연산에 대해서는 본

과제를 수행하면서 어떤 과정이 이루어지는지 이해하였는데 소수에 대해서, 즉
부동소수점 실수에 대한 가감산 연산은 어떤 식으로 이루어지는지 궁금합니다.