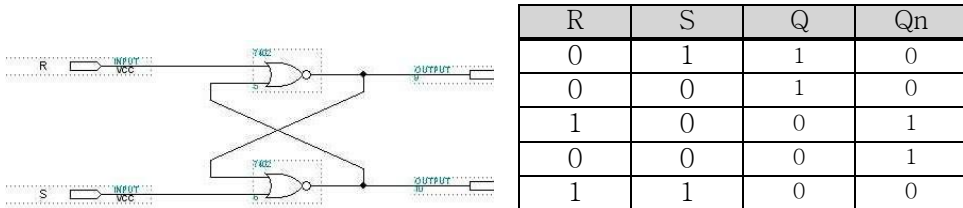
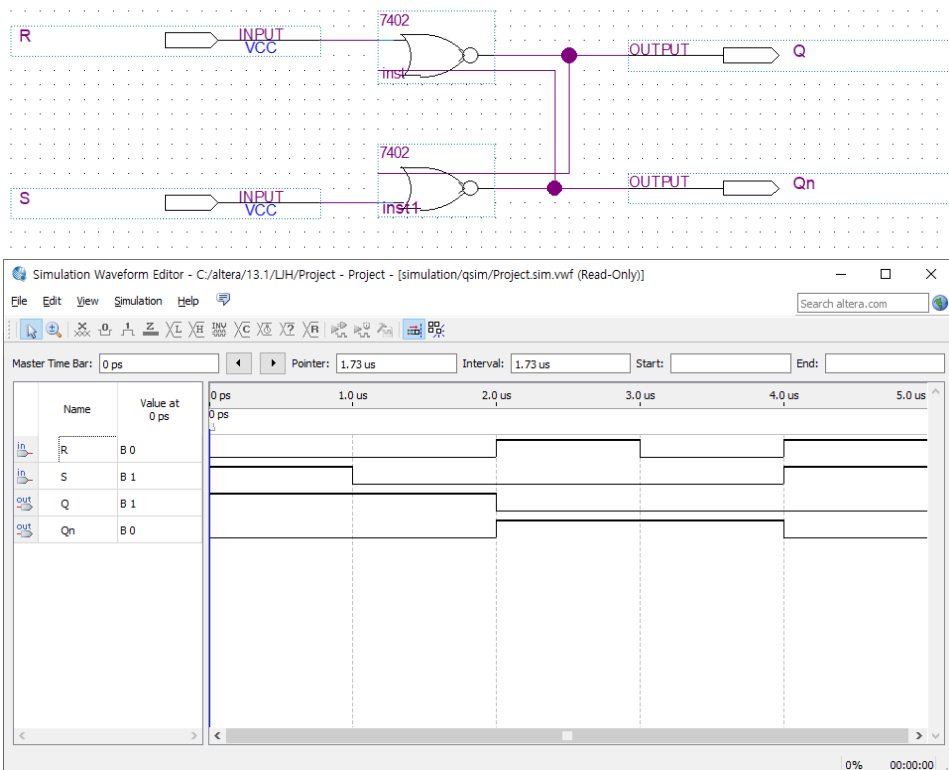


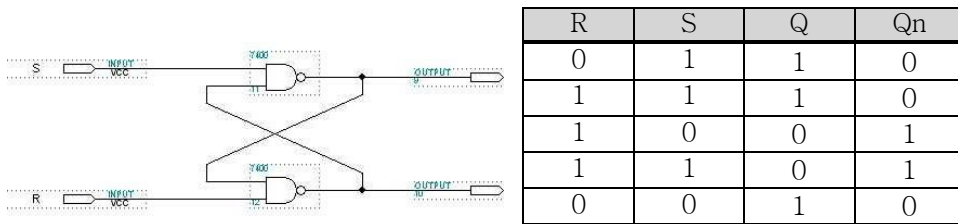
1) 7402 IC 핀 배치도를 참조하여 4개의 게이트 중 2개를 선정하여 NOR 게이트 래치 회로를 구성한다. 7402의 7번 핀은 접지하고, 14번 핀은 +5V의 전압을 인가한다. 입력 S와 R의 상태를 표와 같이 변화시키면서 출력 상태를 기록하 여라.



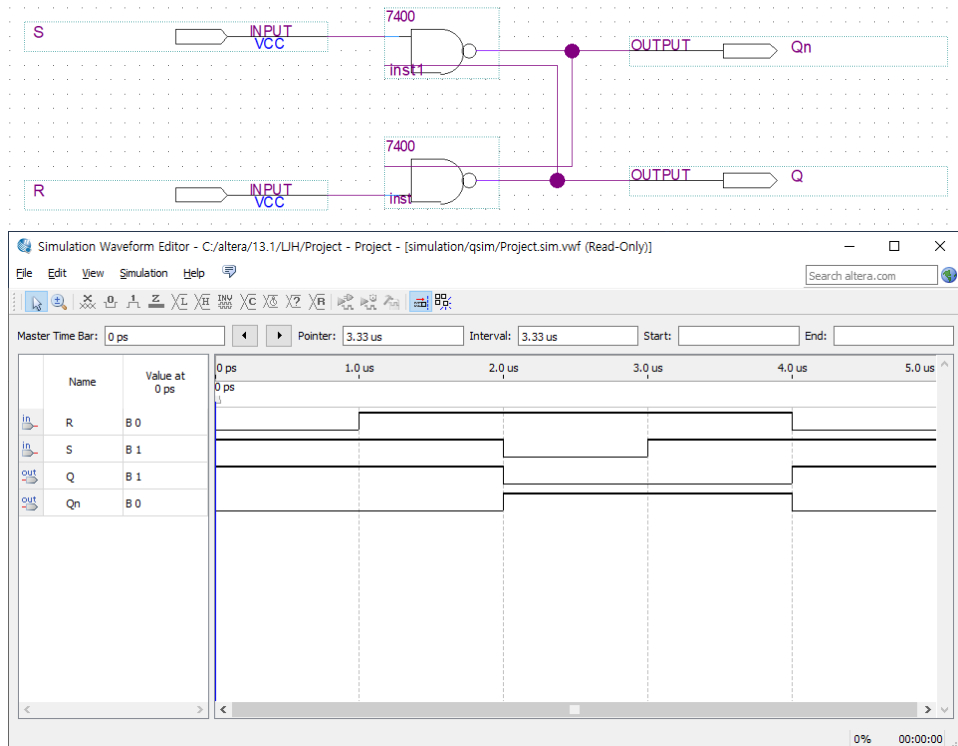
### [시뮬레이션]



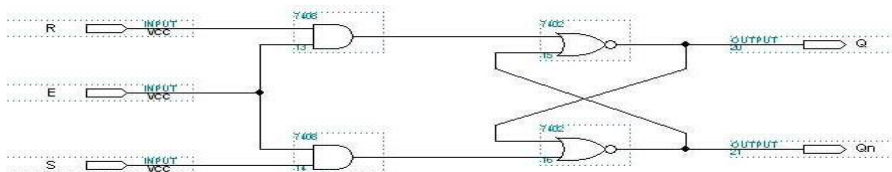
2) 7400 IC 핀 배치도를 참조하여 4개의 게이트 중 2개를 선정하여 NAND 게이트 래치 회로를 구성한다. 7400의 7번 핀은 접지하고, 14번 핀은 +5V의 전압을 인가한다. 입력 S와 R의 상태를 표와 같이 변화시키면서 출력 상태를 기록하 여라.



### [시뮬레이션]



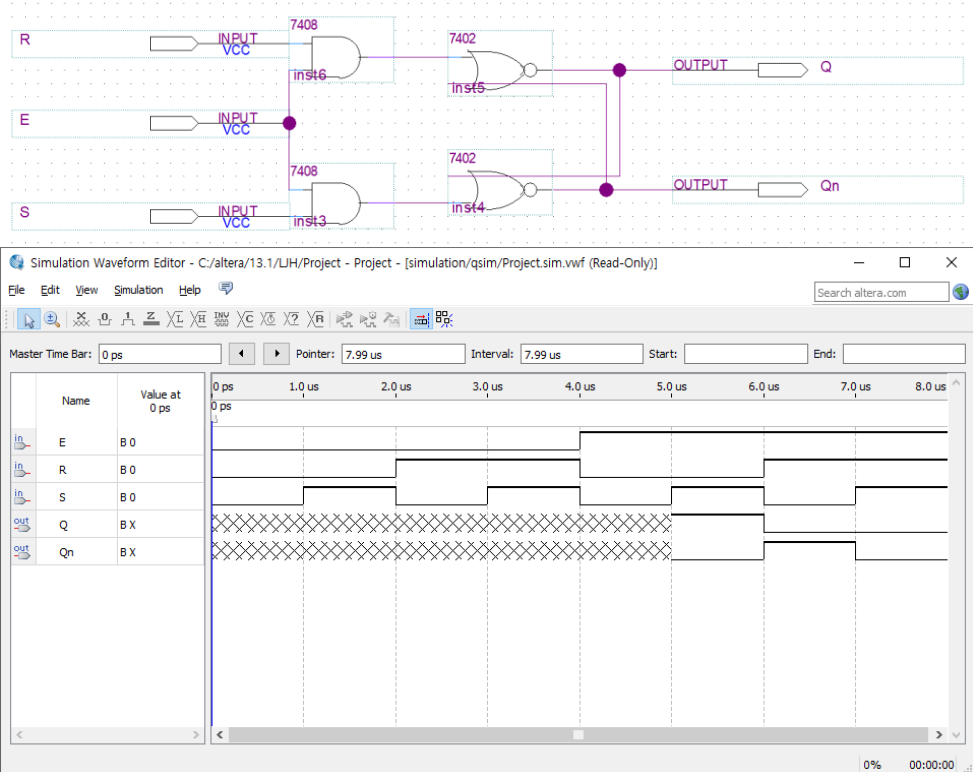
3) 7402, 7408 IC 핀 배치도를 참조하여 아래 그림과 같은 S-R 플립플롭 회로를 구성한다. 7402와 7408의 7번 핀은 접지하고, 14번 핀은 +5V의 전압을 인 가한다. 입력 E, R, S의 상태를 표와 같이 변화시키면서 출력 상태를 기록하여라.



E	R	S	Q	Qn
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1

0	1	1	0	1
1	0	0	0	1
1	0	1	1	0
1	1	0	0	1
1	1	1	0	0

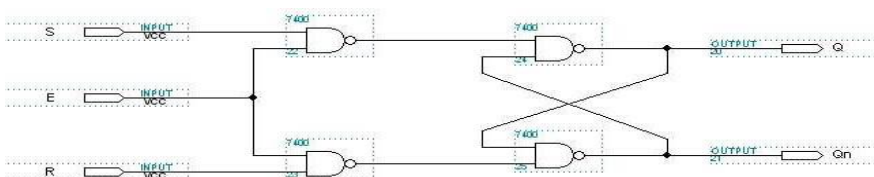
### [시뮬레이션]



### [검토] E 단자의 역할을 설명하여라.

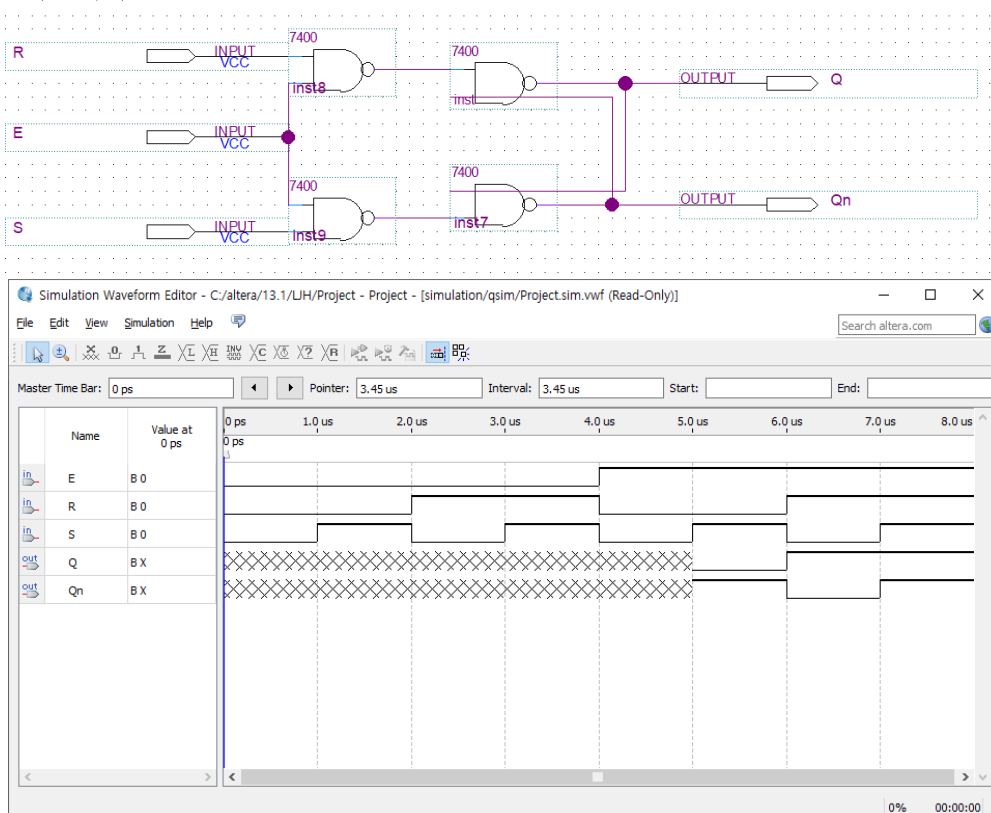
클럭형 S-R 플립플롭(NOR 형태)에서 E 단자는 CP(클럭펄스)단자로써 E=0일 때는 S와 R의 입력에 관계없이 출력을 변화하지 않게(R, S 앞단의 AND 게이트 출력을 0으로 만드므로), E=1일 때는 일반적인 S-R 래치와 같은 동작을 하게 하는 기능을 한다

4) 7400 IC 핀 배치도를 참조하여 아래 그림과 같은 S-R 플립플롭 회로를 구성 한다. 7400의 7번 핀은 접지하고, 14번 핀은 +5V의 전압을 인가한다. 입력 S와 R의 상태를 표와 같이 변화시키면서 출력 상태를 기록하여야.



E	S	R	Q	Qn
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	1	0
1	1	1	1	0

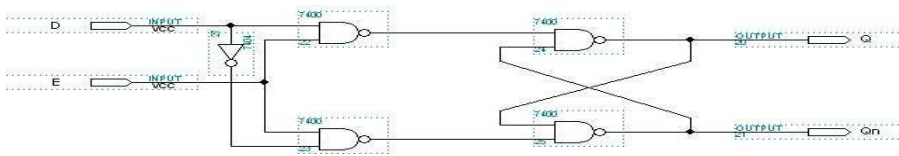
### [시뮬레이션]



[검토] E 단자의 역할을 설명하여라.

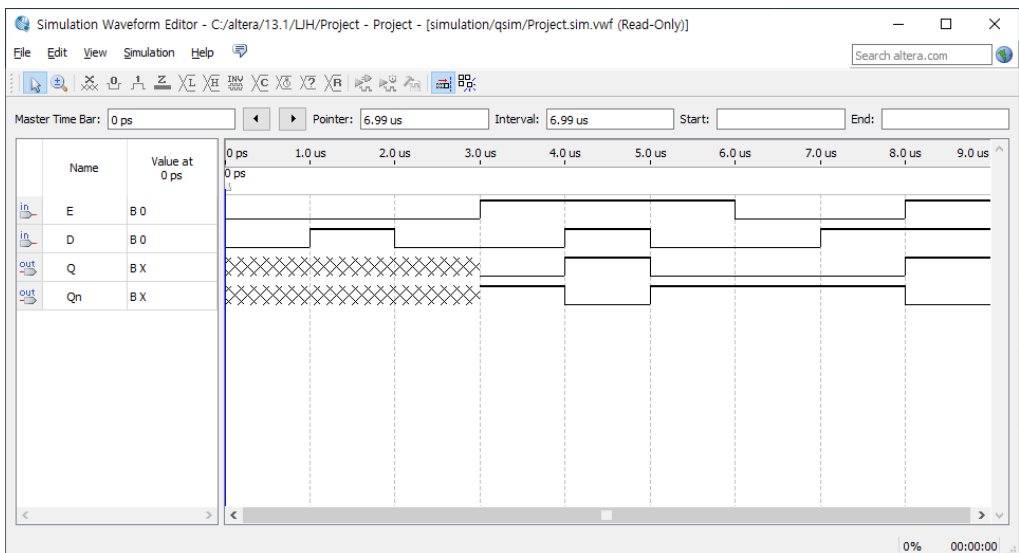
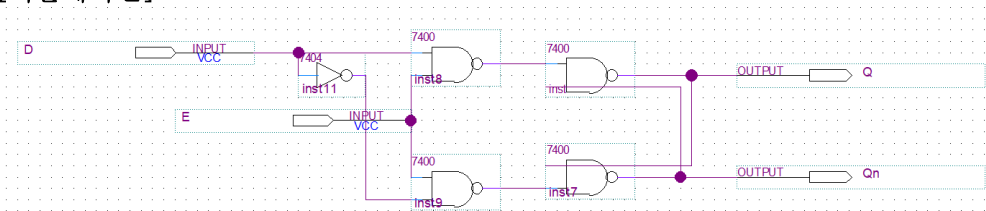
클럭형 S-R 플립플롭(NAND 형태)에서 E 단자는 CP(클럭펄스)단자로써 E=0일 때는 S와 R의 입력에 관계없이 출력을 변화하지 않게, E=1일 때는 일반적인 S-R 래치와 같은 동작을 하게 하는 기능을 한다

5) 7400, 7404 IC 핀 배치도를 참조하여 아래 그림과 같은 D 플립플롭 회로를 구성한다. 7400과 7404의 7번 핀은 접지하고, 14번 핀은 +5V의 전압을 인가한다. 입력 E와 D의 상태를 표와 같이 변화시키면서 출력 상태를 기록하여라.



E	D	Q	Qn
0	0	0	1
0	1	0	1
0	0	0	1
1	0	0	1
1	1	1	0
1	0	0	1
0	0	0	1
0	1	0	1
1	1	1	0

## [시뮬레이션]

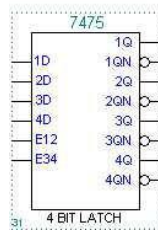


[검토] E 단자의 역할을 설명하여라.

클럭형 D 플립플롭의 E 단자는 CP(클럭펄스)단자로써 E=0일때는 D의 입력에 관계없이 출력을 변화하지 않게, E=1일 때는 출력과 D(Data) 단자의 입력이

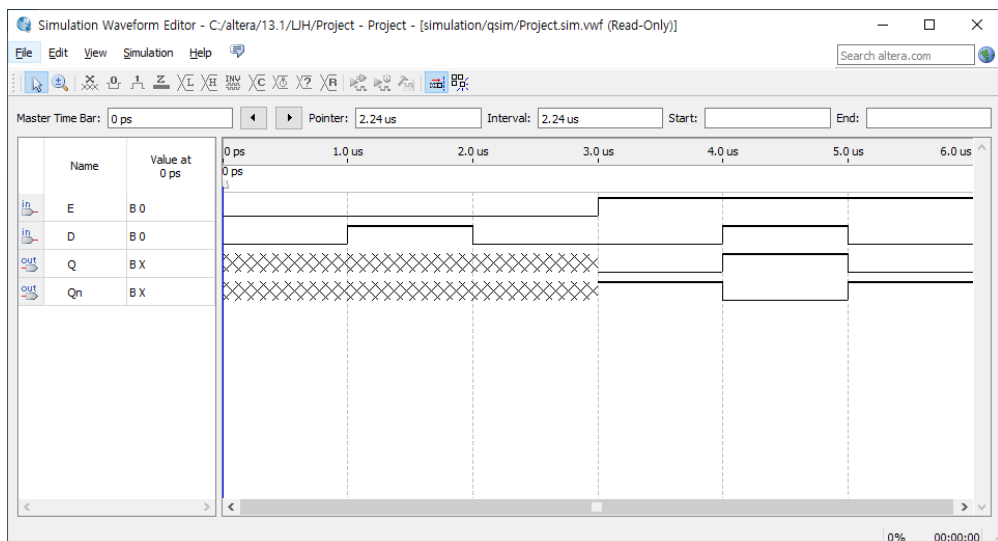
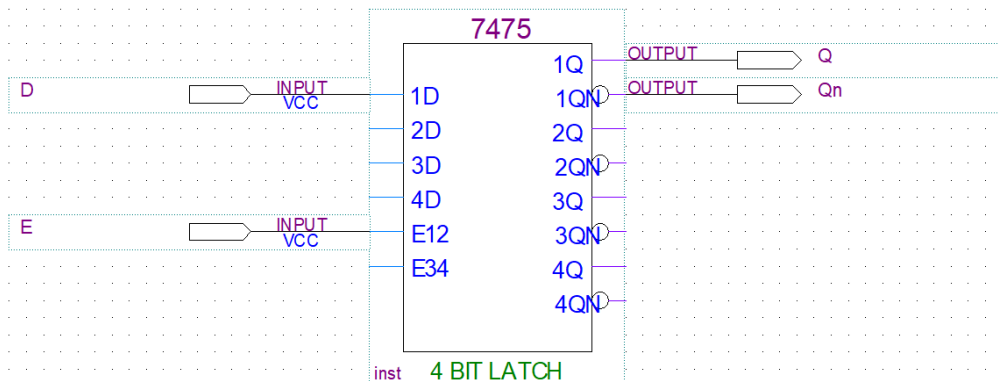
출력되도록 역할한다.

6) 7475 IC 핀 배치도를 참조하여 아래 그림과 같은 D 플립플롭 회로를 구성한다. 7475의 12번 핀은 접지하고, 5번 핀은 +5V의 전압을 인가한다. 입력 D의 상태를 표와 같이 변화 시키면서 출력 상태를 기록하여라.



E	D	Q	Qn
0	0	0	1
0	1	0	1
0	0	0	1
1	0	0	1
1	1	1	0
1	0	0	1

### [시뮬레이션]

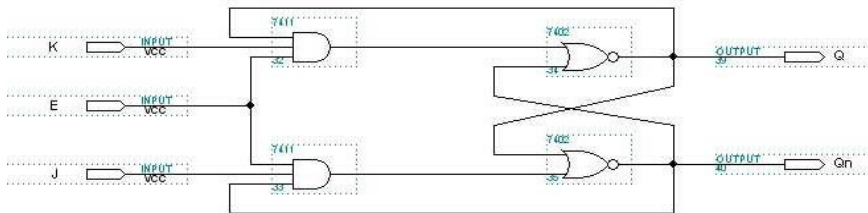


[검토] E 단자의 역할을 설명하여라.

클럭형 D 플립플롭의 E 단자는 CP(클럭펄스)단자로써 E=0일때는 D의 입력에 관계없이 출력을 변화하지 않게, E=1일 때는 출력과 D(Data) 단자의 입력이

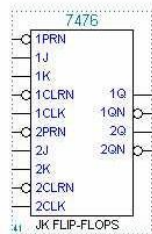
출력되도록 역할한다.

7) 7402, 7411 IC 핀 배치도를 참조하여 아래 그림과 같은 J-K 플립플롭 회로를 구성한다. 7402와 7411의 7번 핀은 접지하고, 14번 핀은 +5V의 전압을 인가한다. 입력의 상태를 표와 같이 변화시키면서 출력 상태를 기록하여라.



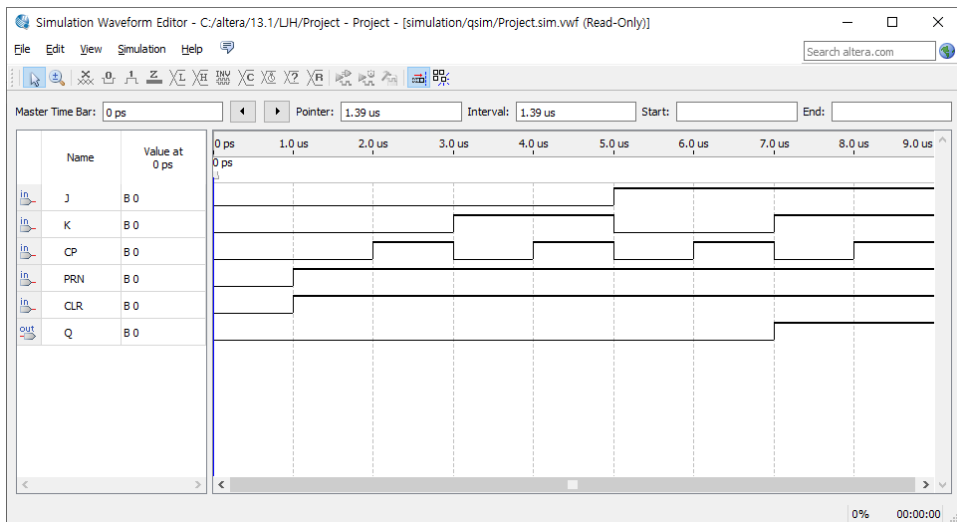
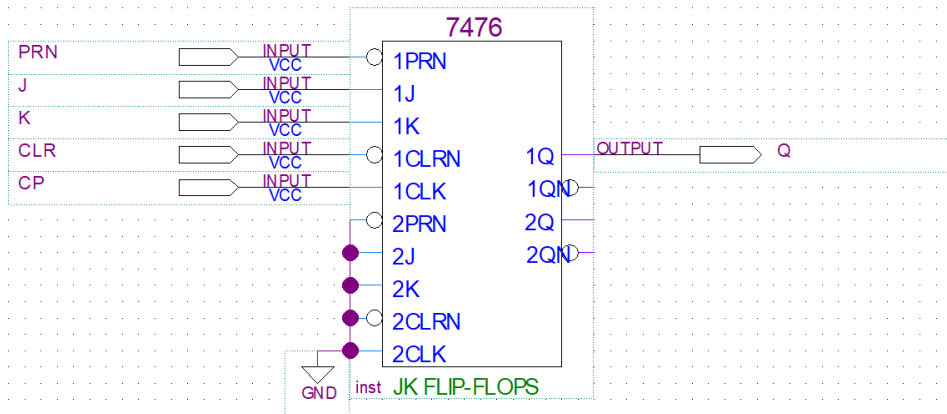
E	J	K	Q	Qn
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

8) (a) 7476 IC 핀 배치도를 참조하여 아래 그림과 같은 J-K 플립플롭 회로를 구성한다. 7476의 13번 핀은 접지하고, 5번 핀은 +5V의 전압을 인가한다. 입력 J와 K의 상태를 표와 같이 변화시키면서 출력 상태를 기록하여라. 클록펄스(CP)를 인가하기 전에 CLR은 접지 후, +5V에 접속하고, PR은 +5V에 접속한다. 단일 펄스를 인가한다.



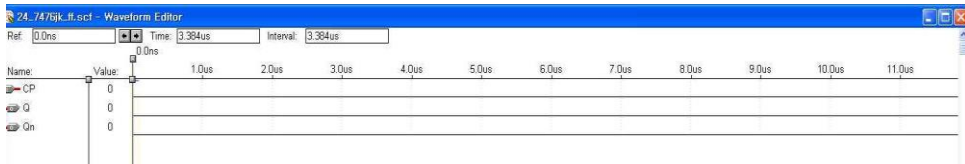
J	K	CP	Q
0	0	↓	0
0	1	↓	0
1	0	↓	1
1	1	↓	0

[시뮬레이션]



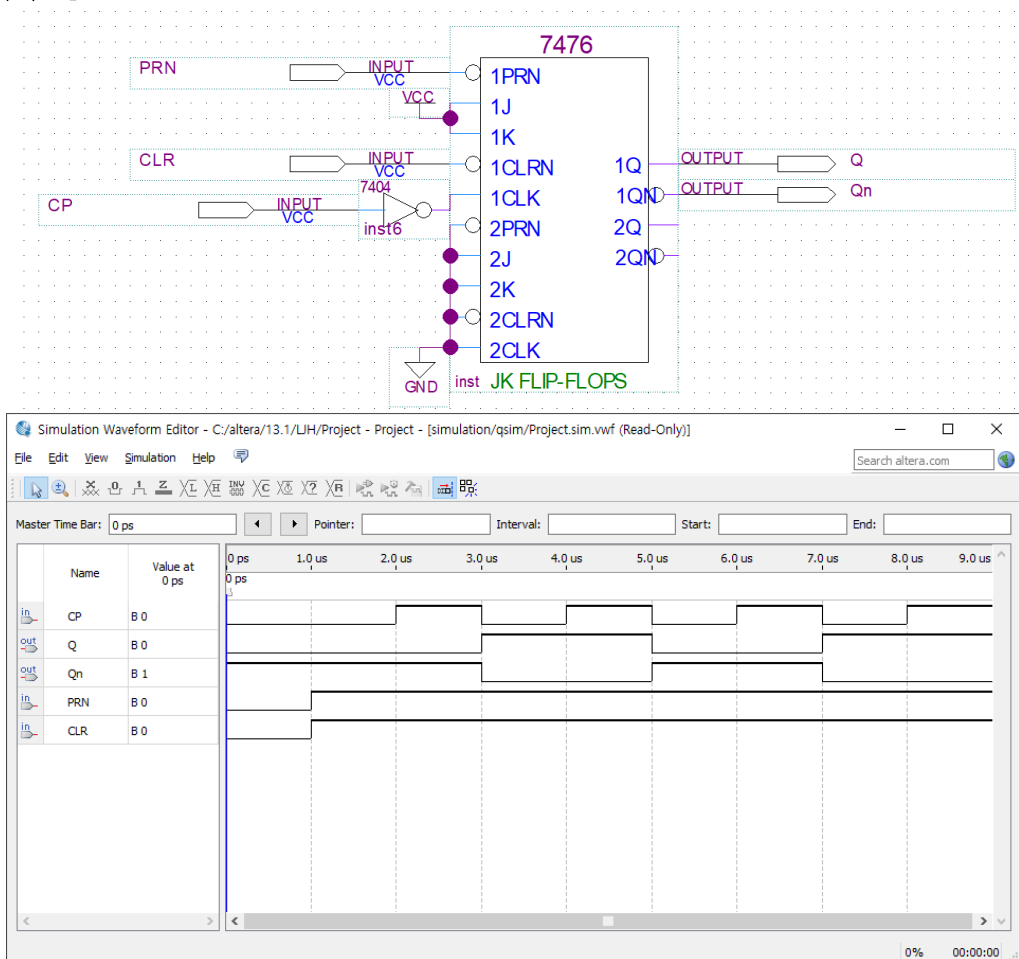


(b) 이 회로에서 J와 K의 입력을 +5V 단자에 연결하고 CP 입력에 1kHz, 5V 구형파를 인가하였을 때, 출력 파형은 오실로스코프로 관찰하여 아래 그림에 그려 보아라. 클록 펄스를 인가하기 전에 CLR은 접지 후 +5V에 접속하고, PR은 +5V에 접속한다.



(하단 시뮬레이션 참조)

### [시뮬레이션]



[검토] CLR과 PR단자의 역할을 설명하여라.

**PR** (PRESET)과 **CLR** (CLEAR) 단자는 클록펄스와 관계없이 비동기적으로 출력을 변화시키는데 사용된다. 이는 플립플롭의 초기 조건을 결정하는 등 다방면으로 활용된다. **PR**=0, **CLR**=1인 상태는 Preset 상태로 출력을 1로 만들고, **PR**=1, **CLR**=0인 상태는 Clear 상태로 출력을 0으로 만든다. **PR**=1, **CLR**=1인 상태에는 원래의

플립플롭의 동작과 같은 출력을 하게 한다.