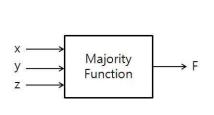
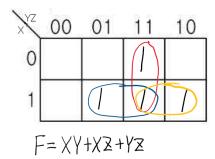
1) 다음 그림과 같이 3개의 입력을 가지는 Majority function(입력 변수 중 다수가 논리 '1'을 가질 때 출력 변수는 논리 1이 된다)을 이행하는 논리 회로가 있다.

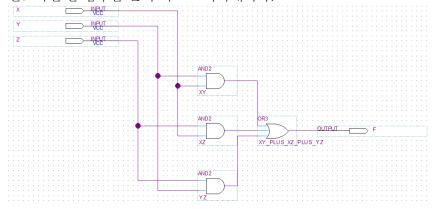


X	У	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

① 출력 F가 1이 되는 경우를 카르노 맵(Karnaugh Map)으로 표시하고 그 함수를 간단히 하여 나타내어라.

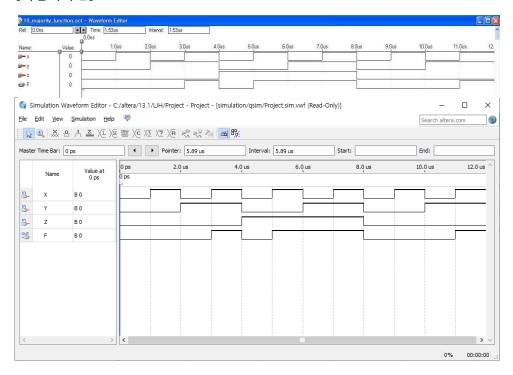


② 간소화된 불 함수를 논리 회로로 나타내어라.



③ 논리 게이트를 이용하여 회로를 구성하고 입력을 진리표와 같이 변화시키면 서 출력 F의 상태를 확인하여라.

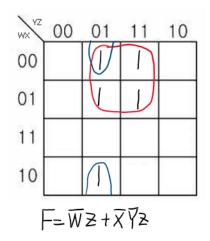
[시뮬레이션]



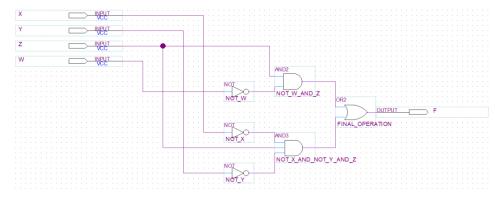
- 2) 4비트의 BCD 입력 중에서 그 수가 홀수일 때, 출력이 논리 1이 되는 회로를 설계하고자 한다.
- ① 먼저 아래의 진리표를 작성하여라. 여기서 w, x, y, z는 입력이고 F는 출력이다.

W	X	У	Z	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1

② 출력 F가 1이 되는 경우를 카르노 맵으로 표시하고 그 함수를 간단히 하여 나타내어라.



④ 간소화된 불 함수를 논리 회로로 나타내어라.



⑤ 논리 게이트를 이용하여 회로를 구성하고 입력을 진리표와 같이 변화시키면 서 출력 F의 상태를 확인하여라.

Simulation Waveform Editor - C:/altera/13.1/LJH/Project - Project - [simulation/qsim/Project.sim.vwf (Read-Only)]							_	□ ×	
Elle Edit View Simulation Help 🗐							Search alter	ra.com	
b	± × .0	1 1 Z X X	H WY XC X	∑ X2 XB № № № №	高				
Master	Time Bar: 0	ps	1	Pointer: 693.45 ns	Interval:	693.45 ns	Start:	End:	
	Name	Value at	0 ps	2.0 us	4.0 us	6.0 us	8.0 us	10.0 us	12.0 us ^
	Name	0 ps	0 ps						
in	w	В 0						×××	****
in	x	В 0							*****
in	Υ	В 0						***	*****
in	Z	В 0						***	*****
out	F	В 0						***	****
<		>	<						> ~
								09	% 00:00:00

[검토] 4비트의 BCD 입력 중에서 그 수가 짝수일 때, 출력이 논리 1이 되는 회로를 설계하라.

W	X	У	Z	!F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0

