(1)

- force_request trigger for the req output signal.

  if "force_request" is asserted for one cycle the the device want the Bus for one transaction
  if asserted for 2 cycles, the device should want the Bus for 2 different transactions --- & so on.

- "AddressToContact" whenever you assert "force_request" signal, you should also set the address of the target you want to communicate with this signal.
  * every device must have a unique address, of course, and must know about its own Addr.

- You are FREE to add any Ports, parameters, or internal Registers you want inside the module that will help faciliate the operation of Bus componatai

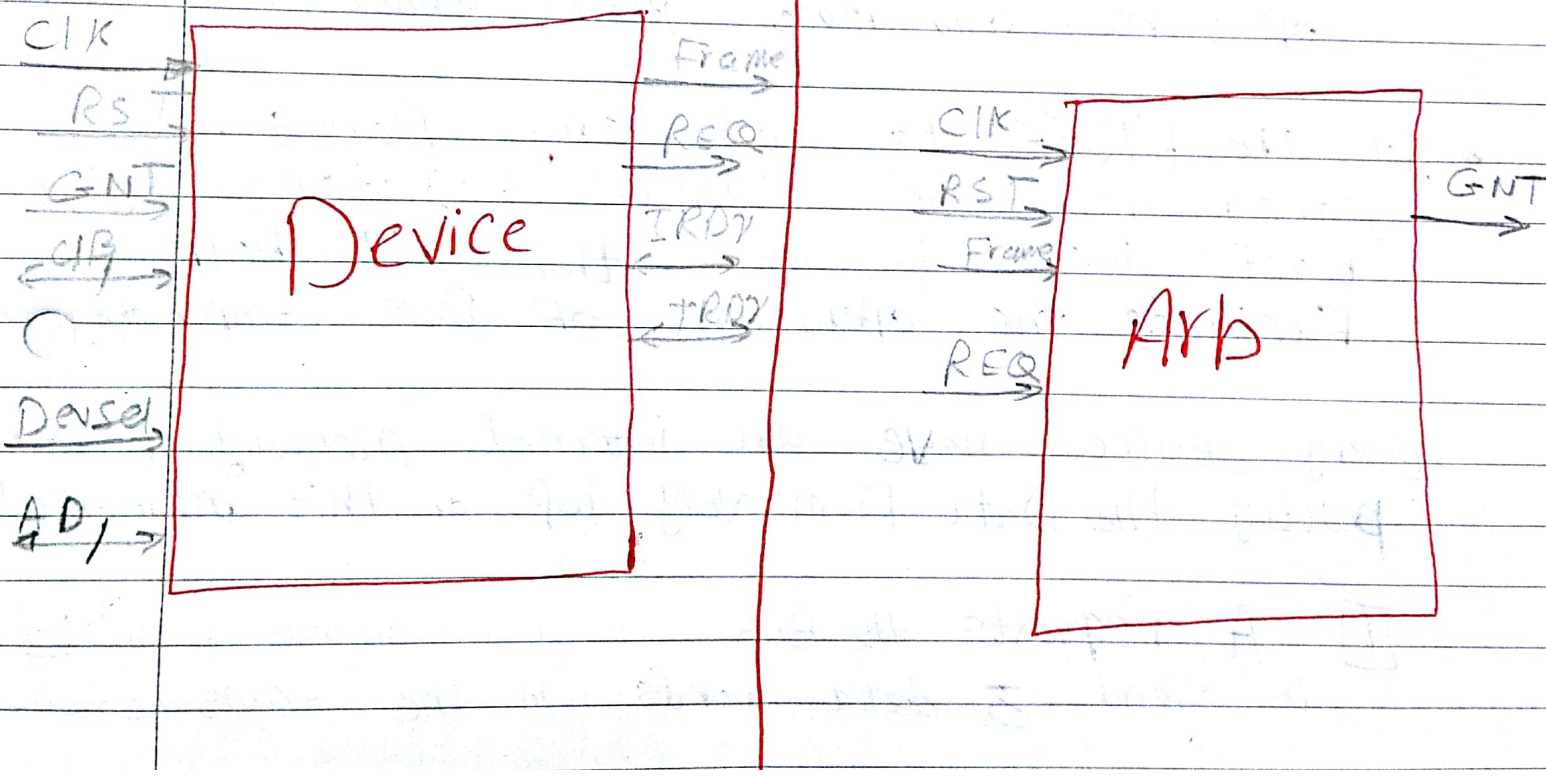
- every device have an internal memory of 16 rows "putting the Data from very top of this memory."

[1] A requests the Bus to communicate with B & send 3 data words in the transaction.
assume A always sends "AAAAAAAA"
فالمفروض بعد كدا transaction دي يتسجل في 3 row في B
فيهم "AAAAAAAA"

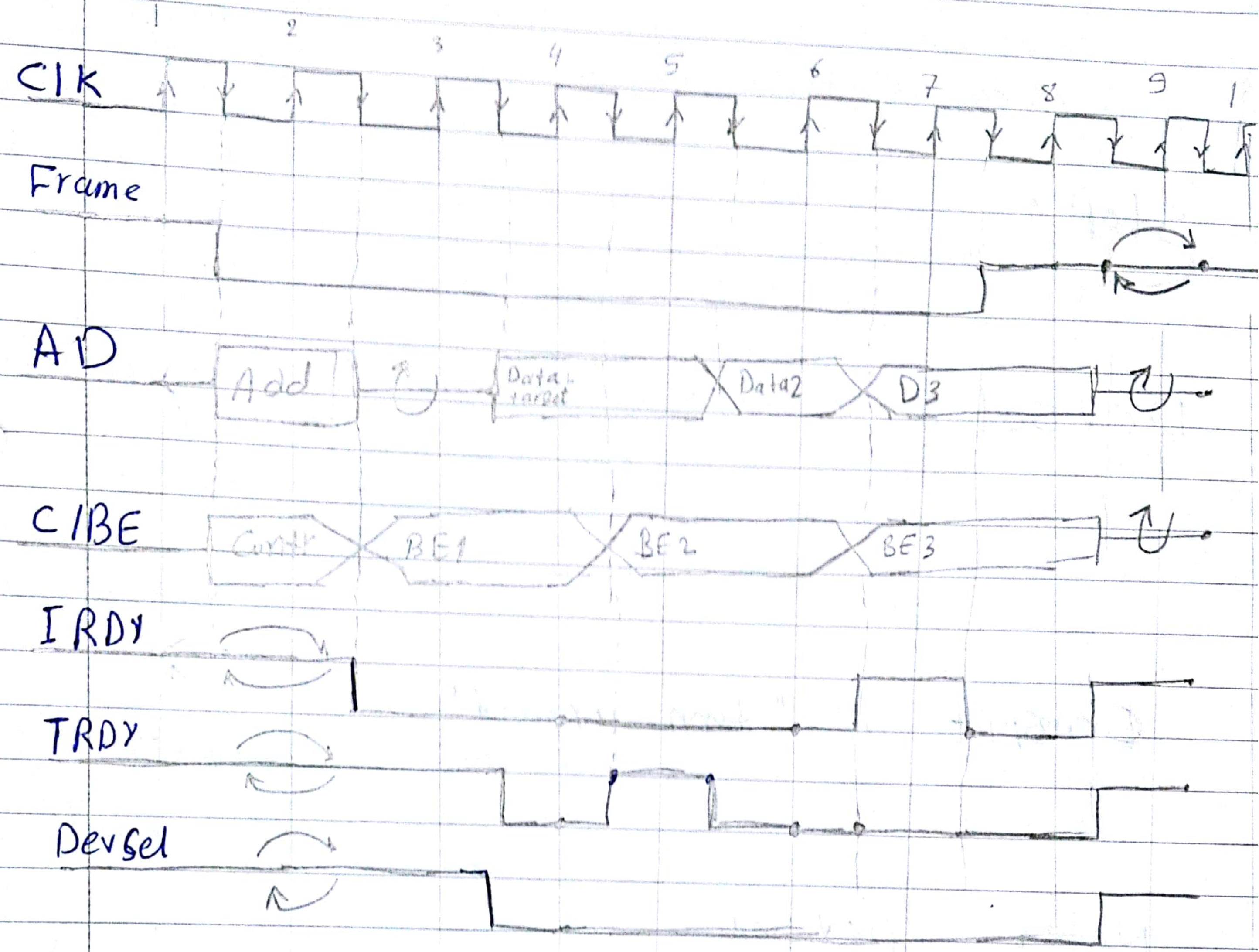
[2] B requests the Bus to communicate with A & send 2 words. assume B always send "BBBBBBBB"

③ C requests the Bus for 2 transaction. and at the same time A requests the Bus again to communicate with C.

- Arbiter should grant A, then A sends 2 words to C
- then Arbiter grant Bus to C, C sends one word to A.
- C still wants the Bus to communicate with B, & send another word to B.



Timing diagram of Read operation on 3 data Phases



• أول ما تنزل الـ frame بحط الـ Address بتاع الـ device اللى هتواصل معاه و فى نفس اللحظة هبعت الـ C/BE برضو

• معنى ان الـ initiator لـ Read انه ينادى الـ Pos edge الجاية هيعرف لـ Read الـ data من الـ target ودا مش هيحصل فى نفس لحظة تنزول الـ frame اكيد

• بعد مرور posedge من وجود الـ Address فخلاص الـ op الـ traget اتعرف والـ Address ملوش لزمة فاتمسح و دخل فى turn round و فى نفس اللحظة الـ IRDY لقه صفر والداتا اتحطت ع Bus

* حصل turn round عشان الـ Initiator و الـ target بيكتبوا ع الـ Bus

- at posedge iR IRDY & TRDY == 0
Data transfer occured

- ال Byte^E مش مهم فى Read

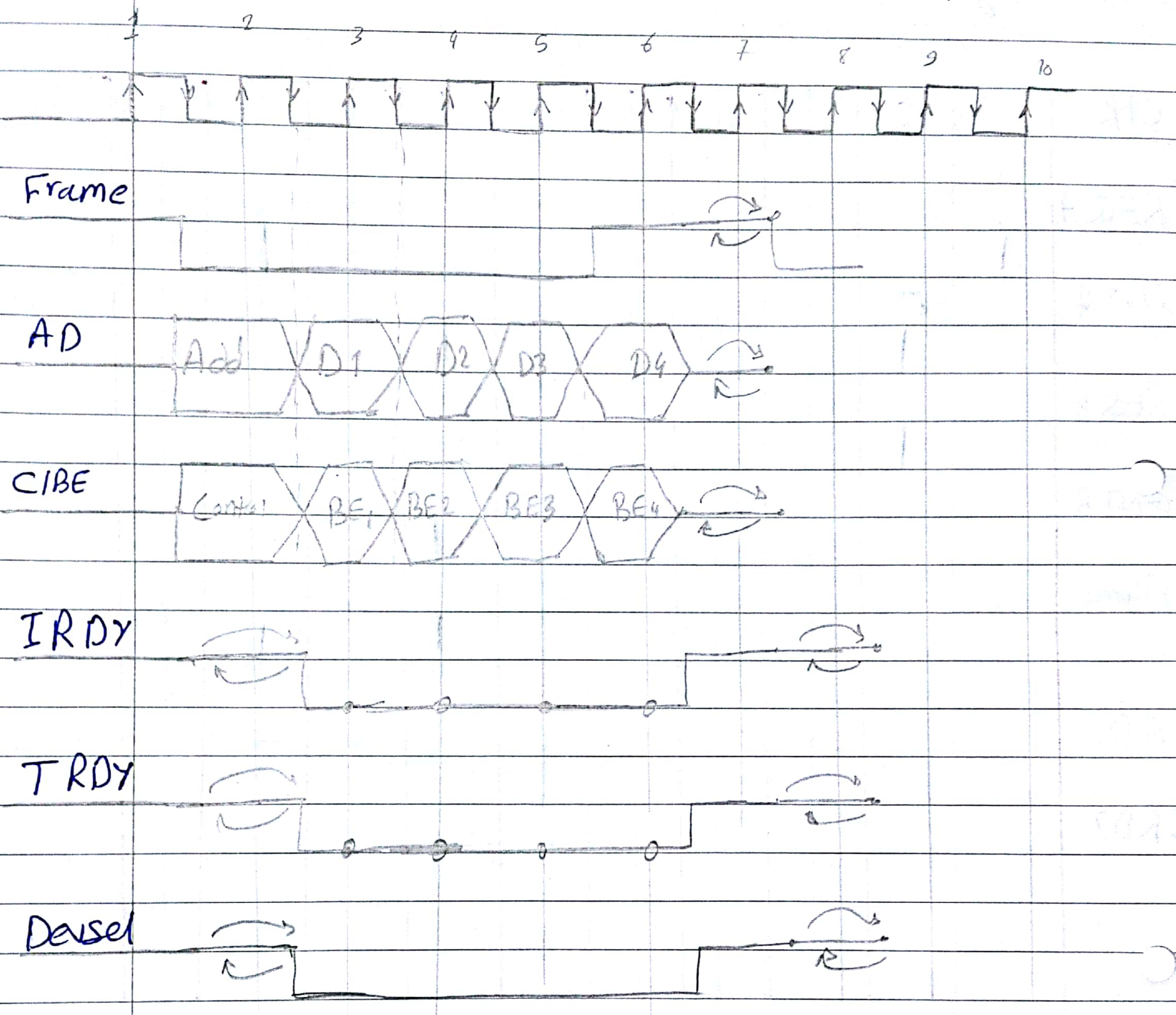
- قبل أخر data phase ال frame بتبقى 1

- ال Signals اللى one bit قبل ماتدخل فى ال turn round
لازم تكون high الاول ل one cycle

- بالنسبة ل IRDY و TRDY ال turn round
بتحصل بعد ماال frame ينزل ع طول " وال Devsel معاهم"
" بداية نزول ال frame هى بداية ال turn round ليهم"

(5) Fastest possible Write 4-Data Phase operation

write transaction:

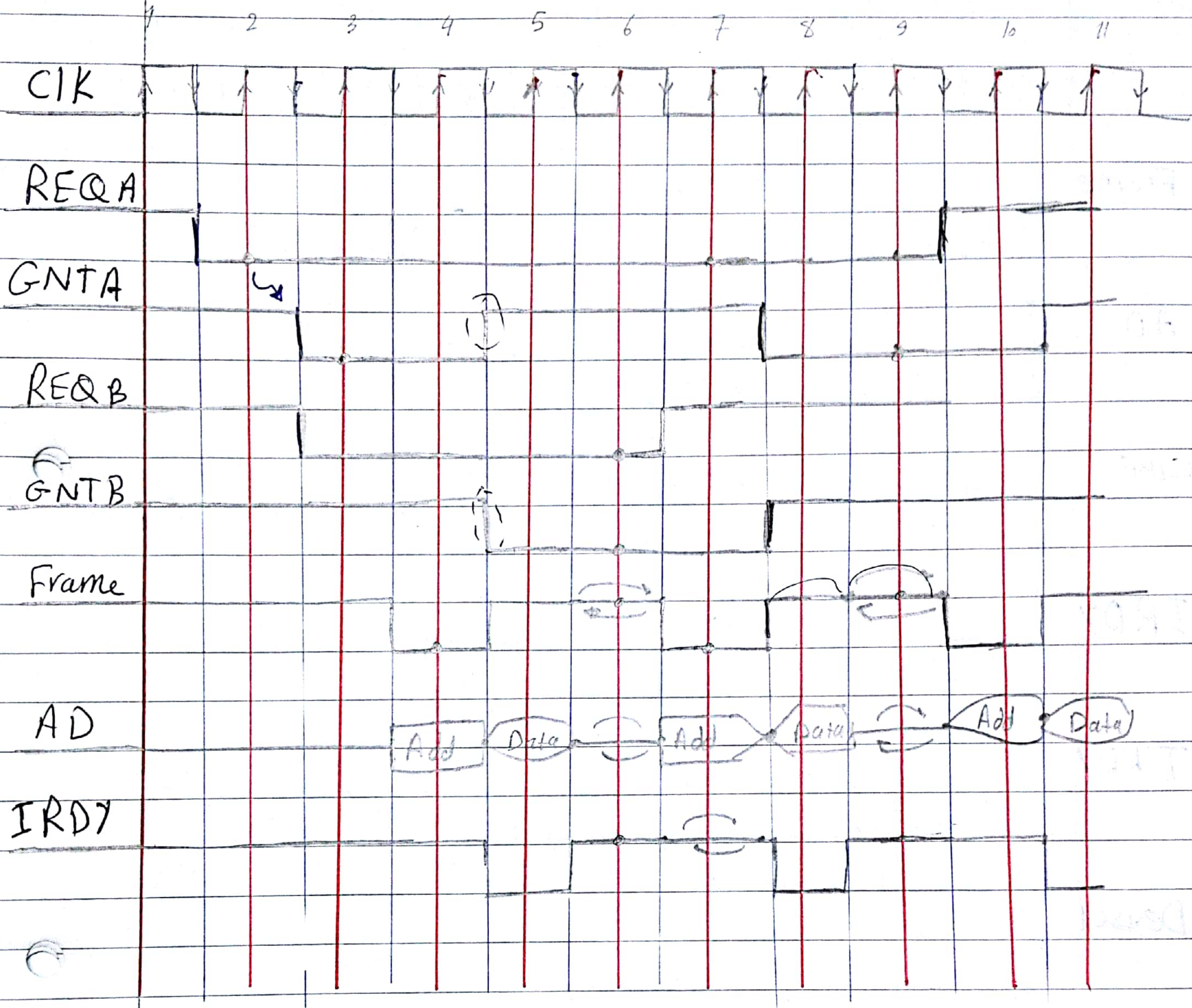


• لو جيت تحل الكلام دا بالضبط بس في الـ Read oper هتستنى
الـ AD الـ turn round ف هيبقى هو هو بس shifted

• مش محتاج turn round في الـ AD عشان الـ Initiator هو اللى
هيحط الـ Address والـ Data

① 2 initiator : I A → 2 transaction
I B → 1 transaction | FCFS

Timing Diagram for Arbitration



لو عاوز transaction واحدة فمجرد ما الـ Frame ينزل صفر ممكن تطلع الـ Req لـ 1 بس لو سيبتها مكمله صفر يبقى انت ليسة عندك transcation الـ تانية ورا دي

• الـ GNt معناها انه فى اقرب فرصة الـ Bus هيكونه معاك لكن مش شرط الـ clk الجاية ؛ فـ عشانه كدة الـ REQ لازم تفضل low لحد ما يـ assert الـ Frame

معنى انه الـ Bus IDLE انه الـ Frame و الـ IRDY يكونوا High