

ประมวลรายวิชา

รหัสรายวิชา	2110251	
หน่วยกิต	3.0 (3.0-0.0-9.0)	
ชื่อรายวิชา	ภาษาไทย	ตรรกศาสตร์ของดิจิทัลคอมพิวเตอร์
	ภาษาอังกฤษ	DIGITAL COMPUTER LOGIC
หน่วยงานที่รับผิดชอบรายวิชา	คณะ/สถาบัน	คณะวิศวกรรมศาสตร์
	ภาควิชา	ภาควิชาวิศวกรรมคอมพิวเตอร์
	สาขาวิชา	Bachelor of Engineering
ประเภทรายวิชา	ทวิภาค (หลักสูตรปกติ)	
ภาคการศึกษา	ทวิภาค ภาคต้น	
ปีการศึกษา	2024	
ผู้ประสานงานรายวิชา	เศรษฐา ปานงาม	
ผู้สอน / สตาฟฟ์		
ตอนเรียน	ผู้สอน / สตาฟฟ์	
1	• เศรษฐา ปานงาม	
2	• ณรงค์เดช กิริติพรานนท์	
3	• พิษณุ สิริธอมร	
เงื่อนไขในการลงทะเบียน-ระดับปริญญา	ปริญญาบัณฑิต	
หลักสูตรที่เกี่ยวข้อง	• วศ.บ.วิศวกรรมคอมพิวเตอร์ (2566)	
สถานะรายวิชา	วิชาบังคับ	
คำบรรยายรายวิชา	ภาษาไทย	ระบบตัวเลข เกตเชิงตรรก พื้ชคณิตแบบบูล ผังคาร์โนห์ วิธีการใช้ตาราง วงจรตรรกแบบรวมการใช้งาน วงจรบวก วงจรลบ วงจรแสดงผลพหุคูณ วงจรถอดรหัส วงจรลงรหัส มัลติเพล็กซ์เซอร์ ดีมัลติเพล็กซ์เซอร์ การใช้งานของเกตไตรสเตต ความเร็วและเวลาของวงจรเชิงตรรก วงจรเชิงลำดับ และการออกแบบ ฟลิปฟลอป เคาเตอร์ เรจิสเตอร์
	ภาษาอังกฤษ	Number System; logic gates and logic expression; Boolean Algebra: Karnaugh Map, tabulation method; combination logic circuit and applications: adder, subtractor, multiple outputs citcuit, decoder, encoder, multiplexer, demultiplexer; gate implementation: tristate, speed and delay in logic circuits; sequential circuits and design; flip-flop, counter;register.
ผลลัพธ์การเรียนรู้ระดับหลักสูตรที่เกี่ยวข้องกับรายวิชา	• CP TABEE 1 (ABET a.4): Apply HW Design	
ผลลัพธ์การเรียนรู้ระดับรายวิชา		
ผลลัพธ์การเรียนรู้ระดับรายวิชา (CLO)	PLO ที่เกี่ยวข้อง	

1. เข้าใจพื้นฐานคณิตศาสตร์เชิงบูล	-
2. สามารถออกแบบวงจรเชิงตรรกทั้ง แบบ Combinational และ Sequential	-

เนื้อหา

#	วันที่/เวลา	หัวข้อ / เนื้อหา	CLO
1	2024-08-05 00:00 - 00:00	Course Introduction and Overview	-
2	2024-08-07 00:00 - 00:00	Chapter 2 Combinational Logic AND, OR, NAND, NOR, XOR, XNOR; Laws of Boolean Algebra	-
3	2024-08-12 00:00 - 00:00	วันหยุดราชการ	-
4	2024-08-14 00:00 - 00:00	Chapter 2: Two Level Logic and Simplification	-
5	2024-08-19 00:00 - 00:00	Chapter 3 Multi-Level Combinational Logic Multilevel Logic	-
6	2024-08-21 00:00 - 00:00	Chapter 3 Multi-Level Combinational Logic Multilevel Logic	-
7	2024-08-26 00:00 - 00:00	Time Response in Combinational Networks	-
8	2024-08-28 00:00 - 00:00	Chapter 4 Programmable and Steering Logic PALs and PLAs	-
9	2024-09-02 00:00 - 00:00	Chapter 4 Non-Gate Logic	-
10	2024-09-04 11:00 - 12:30	Quiz 1	-
11	2024-09-09 00:00 - 00:00	Chapter 5 Arithmetic Circuits	-
12	2024-09-11 00:00 - 00:00	Chapter 5 (1): Binary Addition ALU Design	-
13	2024-09-16 00:00 - 00:00	Chapter 5 (2): BCD Circuits Multiplier	-
14	2024-09-18 00:00 - 00:00	Chapter 5 (3) Combinational Logic Word Problems	-
15	2024-09-26 13:00 - 16:00	Midterm exam	-
16	2024-09-30 00:00 - 00:00	Chapter 6 Sequential Logic Design Latches/Flipflops Timing Methodologies	-
17	2024-10-02 00:00 - 00:00	พิธีพระราชทานปริญญาบัตร	-
18	2024-10-07 00:00 - 00:00	Chapter 6 Sequential Logic Design Latches/Flipflops Timing Methodologies	-
19	2024-10-09 00:00 - 00:00	Chapter 7 (1) Sequential Logic Case Studies	-
20	2024-10-14 00:00 - 00:00	วันหยุดราชการ	-
21	2024-10-16 00:00 - 00:00	Chapter 7 (2) Sequential Logic Case Studies	-
22	2024-10-21 00:00 - 00:00	Chapter 8 (1) Working with Finite State Machines	-

23	2024-10-23 00:00 - 00:00	วันหยุดราชการ	-
24	2024-10-28 00:00 - 00:00	Chapter 8 (2) Moore and Mealy Machines	-
25	2024-10-30 11:00 - 12:30	Quiz 2	-
26	2024-11-04 00:00 - 00:00	Chapter 8 (3) Moore and Mealy Machines	-
27	2024-11-06 00:00 - 00:00	ASM Chart	-
28	2024-11-11 00:00 - 00:00	ASM Chart	-
29	2024-11-13 00:00 - 00:00	Chapter 9 (1) Finite State Machine Optimization State Minimization/Reduction	-
30	2024-11-18 00:00 - 00:00	Chapter 9 (2) State Assignment	-
31	2024-11-20 00:00 - 00:00	Chapter 9 (3) FSM Partition	-
32	2024-12-02 13:00 - 16:00	Final exam	-

สื่อที่ใช้ในการเรียนการสอน

- Powerpoint
- handouts

ช่องทางการสื่อสาร / ระบบ LMS

ประเภท	ชื่อช่องทาง / URL	หมายเหตุ
ระบบจัดการการเรียนการสอนออนไลน์ (LMS)	MyCourseville	
อีเมล	setha.p@chula.ac.th	
อีเมล	narongdech.k@chula.ac.th	
อีเมล	pitchaya@gmail.com	

การประเมินผลการเรียน

วิธีประเมินผลการเรียน	ระดับการวัดผล	CLO ที่เกี่ยวข้อง	คิดเป็นร้อยละ
2 Quizzes			20.00
Midterm exam			40.00
Final exam			40.00

การตัดเกรด	ระบบเกรด	Letter Grade (A-F)	
	วิธีตัดเกรด	Criterion-referenced Grading (อิงเกณฑ์)	
	ระดับต่ำสุดในการผ่าน (MPL)	0	
	เกณฑ์การตัดเกรด	เกรด เกณฑ์คะแนนในการตัดเกรด	
		A	≥ 80
		B+	≥ 75
B		≥ 70	
	C+	≥ 65	
	C	≥ 60	

เกรด เกณฑ์คะแนนในการตัดเกรด

D+ ≥ 55

D ≥ 50

F อื่น ๆ

รายการเอกสารอ่านประกอบ

ประเภท	ชื่อเอกสาร	หมายเหตุ
หนังสือ	Katz, Contemporary Logic Design 2nd edition. Pearson, 2004	

การประเมินผลการเรียนการสอน	ประเมินผลการเรียนการสอนผ่านช่องทาง	Mycourseville
----------------------------	------------------------------------	---------------

รายละเอียดการปรับปรุงจากการประเมินครั้งที่ผ่านมา	-
--	---

การควบคุมคุณภาพรายวิชา	การตอบสนองต่อข้อตำหนิ/คำร้องเรียนจากนิสิต	-
------------------------	---	---