




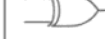
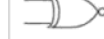


1. Tabele prawdy funkcji logicznych: NOT, AND, NAND, OR, NOR, AOI, OAI

środa, 2 marca 2022 22:18

Logic Gates

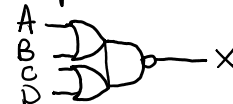
Name	NOT	AND	NAND	OR	NOR	XOR	XNOR																																																																																																
Alg. Expr.	\overline{A}	AB	\overline{AB}	$A + B$	$\overline{A + B}$	$A \oplus B$	$\overline{A \oplus B}$																																																																																																
Symbol																																																																																																							
Truth Table	<table><tr><th>A</th><th>X</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	X	0	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	X	0	0	0	0	1	0	1	0	0	1	1	1	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	X	0	0	1	0	1	1	1	0	1	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	1	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	1
A	X																																																																																																						
0	1																																																																																																						
1	0																																																																																																						
B	A	X																																																																																																					
0	0	0																																																																																																					
0	1	0																																																																																																					
1	0	0																																																																																																					
1	1	1																																																																																																					
B	A	X																																																																																																					
0	0	1																																																																																																					
0	1	1																																																																																																					
1	0	1																																																																																																					
1	1	0																																																																																																					
B	A	X																																																																																																					
0	0	0																																																																																																					
0	1	1																																																																																																					
1	0	1																																																																																																					
1	1	1																																																																																																					
B	A	X																																																																																																					
0	0	1																																																																																																					
0	1	0																																																																																																					
1	0	0																																																																																																					
1	1	0																																																																																																					
B	A	X																																																																																																					
0	0	0																																																																																																					
0	1	1																																																																																																					
1	0	1																																																																																																					
1	1	0																																																																																																					
B	A	X																																																																																																					
0	0	1																																																																																																					
0	1	0																																																																																																					
1	0	0																																																																																																					
1	1	1																																																																																																					

AOI (AND-OR-INVERT)
dopelnienie sumy iloczynów



A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

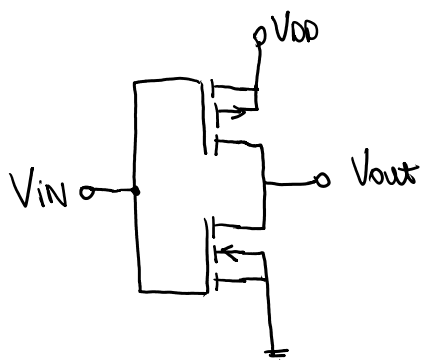
OAI (OR-AND-INVERT)
dopelnienie iloczynu sum



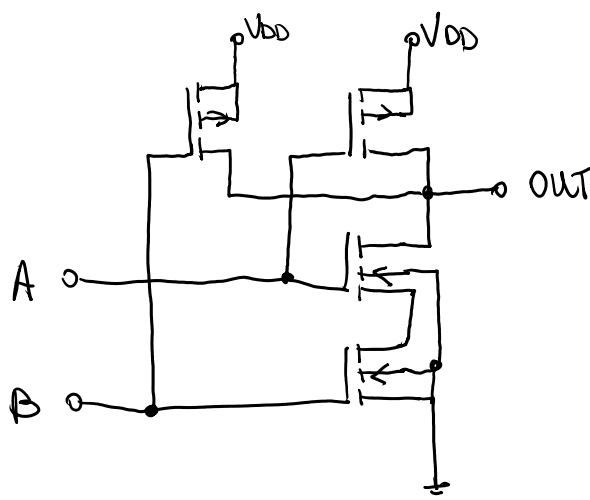
A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

2. Zasada działania i schematy bramek NOT, NAND, NOR i bramki transmisyjnej w technice CMOS (schematy z cztero końcówkowymi symbolami tranzystorów MOS)

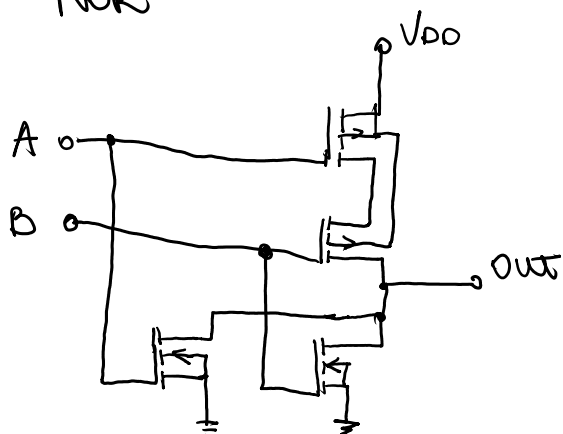
NOT



NAND

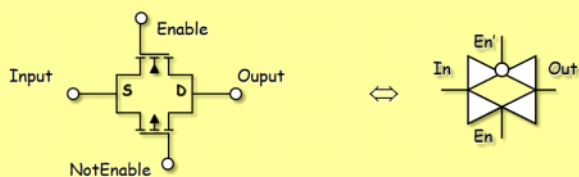


NOR

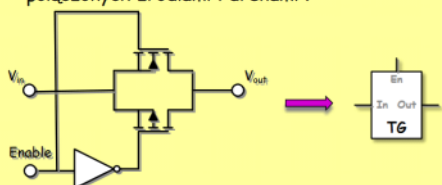


Typ połączenia	Szeregowe	Równoległe
PMOS	$F = \overline{A + B}$	$F = \overline{A \cdot B}$
NMOS	$F = \overline{A \cdot B}$	$F = \overline{A + B}$

Bramka transmisyjna



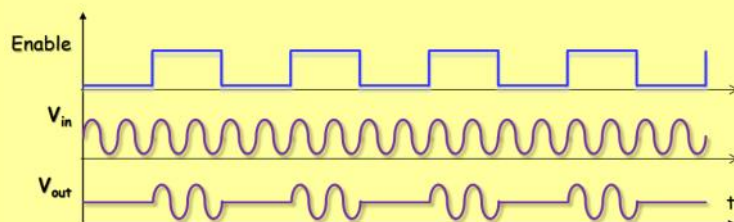
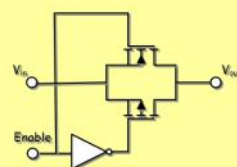
Bramka transmisyjna wykonana jest z 2 tranzystorów (NMOS i PMOS) połączonych źródłami i drenami.



In	Enable	
	0	1
0	x	0
1	x	1

Bramka transmisyjna

Out	Enable	
	0	1
0	x	0
1	x	1



3. Zasada działania i schematy przerzutników w technologii CMOS (również schematy z bramkami transmisyjnymi)

Przerzutnik RS

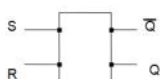


Tabela stanów

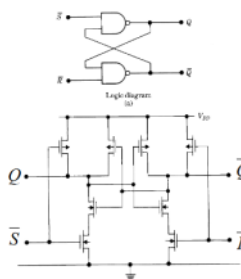
S	R	Q	Q̄
0	0	Q	Q̄
0	1	0	1
1	0	1	0
1	1	0	0

niezmieniony
niezgodzony

Symbol

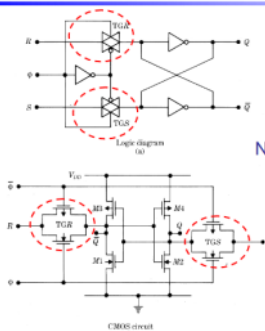


Przerzutnik RS CMOS – 2 bramki NAND



Czasami zamiast prostych wejść R i S w układzie wygodniej jest użyć ich negacji. Schemat nie komplikuje się jeśli przerzutnik konstruujemy z 2 bramek NAND.

Taktowany przerzutnik RS CMOS z bramkami transmisyjnymi

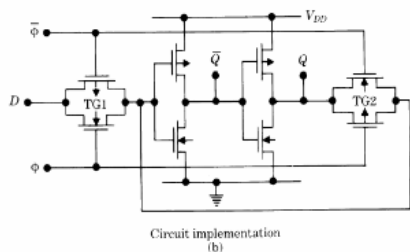
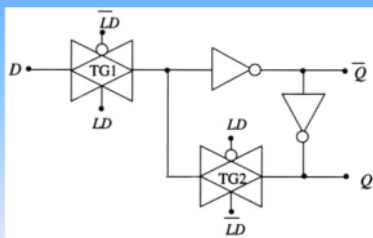


Niewielka ilość tranzystorów

$$S' = S\phi, \quad R' = R\phi$$

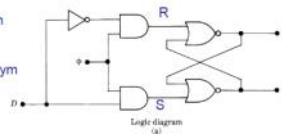
Przerzutniki – z bramką transmisyjną

Zatrask D (D-latch)

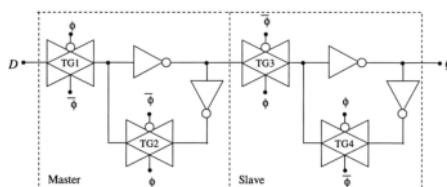
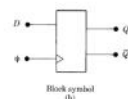


Przerzutnik D

Użycie sygnału D z inwerterem oraz zegarem zapobiega możliwości pojawienia się błędu związanego z zabronionym stanem S=R=1.



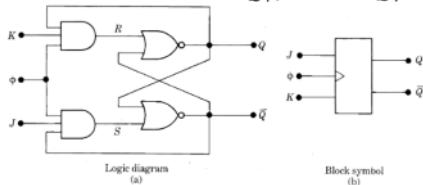
Zastosowanie:
-chwilowa pamięć,
-element opóźniający.



Przerzutnik JK

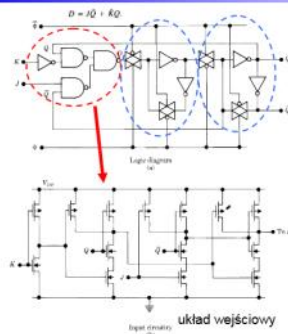
W dwujeściowym przerzutniku JK zapobiega się możliwości pojawienia się błędu związanego z zabronionym stanem S=R=1 przez użycie sprzężenia zwrotnego z wyjściem.

$$S = J\bar{Q}\phi, \quad R = KQ\phi$$



Pojawia się jednak ryzyko związane z możliwością różnych czasów propagacji sygnału przez różne pętle.

Przerzutnik JK master-slave CMOS



modyfikacja przerzutnika D master-slave

układ wejściowy

4. Deklaracja niezależnych źródeł napięcia stałego i impulsowego w programie SPICE.

czwartek, 3 marca 2022 20:11

Źródła niezależne

Vnazwa n+ n- [[DC] Wartość]

[AC Amplituda [Faza]]

[DistoF1 [AmplitudaF1 [FazaF1]]]

+ [DistoF2 [AmplitudaF2 [FazaF2]]]

[PULSE v1 v2 [td [tr [tf [pw

+ [per [phase]]]]]]]

lub [SIN vo va [freq [td [kd [phase]]]]]

lub [PWL t1 v1 t2 v2 ... tn vn]

lub [SFFM vo va fc [mdi [fm [phase]]]]]

lub [EXP v1 v2 [td1 [t1 [td2 [t2]]]]]

td - delay time

tr - time rise

tf - time fall

pw - pulse width

per - period

phase - faza



vo - offset

va - amplituda

freq - częst.

kd - tłumienie

5. Deklaracja analiz DC i TRANSIENT w programie SPICE.

Analiza stałoprądowa DC II

- **.DC** <rodzaj przemiatania> Vzrodlo1 Start1 Stop1 Krok1 <Vzrodlo2 Start2 Stop2 Krok2>
- Rodzaj przemiatania:
 - OCT: oktavami, liczba określa liczbę punktów na oktawę
 - DEC: dekadami, liczba określa liczbę punktów na dekadę
 - LIN: liniowo, liczba określa liczbę punktów analizy
- Przykład:
 - .DC LIN VIN 0.5 10 0.5 VZ 1.2 5.0 0.2

.DC	Nazwa źródła	Wartość początkowa	Wartość końcowa	Krok
-----	--------------	--------------------	-----------------	------

W przypadku wielu źródeł należy wpisać kolejno wartości ich parametrów

Przykład

.DC VCE 0 100 5 VBE 0 0.7 0.1

Analiza czasowa stanów przejściowych TR (TRAN) II

- Postać ogólna:
 - **.TRAN** Tkrok Tstop <Tstart <Tmax>> <UIC>
- Tkrok - krok wyświetlania wyników
- Tstart, Tstop - czas początkowy i końcowy analizy
- Tmax - maksymalny krok w analizie stanu nieustalonego
- UIC - zlecenie wykorzystania warunków początkowych (podane przez użycie IC=...)
- Przykład:
 - .TRAN 1NS 100NS UIC
- Analiza czasowa pozwala na przeprowadzenie analizy wrażliwościowej (w programie NAP także optymalizację)

.TRAN TSTEP TSTOP <TSTART <TMAX>> <UIC>

gdzie

TSTEP - wartość kroku dla wydruku wyników

TSTOP - czas końcowy symulacji

TSTART - początek symulacji (wartość wbudowana =0)

TMAX - maksymalna wartość kroku (wartość wbudowana TSTOP/50)

UIC - polecenie uwzględnienia warunków początkowych określonych w instrukcji **.IC** i nie wykonywania analizy DC

Analiza zmiennoprądowa AC II

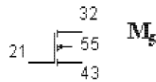
- Postać ogólna:
 - **.AC** rodzaj_przemiatania Fstart Fstop
- Rodzaj przemiatania: DEC, OCT, LIN + liczba punktów obliczeniowych
- Uwaga! W obwodzie musi być zadeklarowane przynajmniej jedno źródło typu AC (napięcia lub prądu)
- Przykład:
 - .AC LIN 10 1 100KHz

6. Deklaracja tranzystora MOS w programie SPICE.

czwartek, 3 marca 2022 20:59

9) Tranzystor MOS

M



* D G S Sub.
M5 32 21 43 55 MOS55

Example:

```
M1 Nd Ng Ns Si4410DY
.model Si4410DY VDMOS (Rd=3m Rs=3m Vto=2.6 Kp=60
+ Cgdmax=1.9n Cgdm=50p Cgs=3.1n Cjo=1n
+ Is=5.5p Rb=5.7m)
```

.MODEL MODname NMOS/PMOS VTO= KP= GAMMA= PHI=
LAMBDA= RD= RS= RSH= CBD= CBS= CJ= MJ= CJSW=
MJSW= PB= IS= CGDO= CGSO= CGBO= TOX= LD=

where:

NMOS/PMOS- MOSFET type.

VTO- Threshold voltage (V)

KP- Transconductance parameter (A/V^2)

GAMMA- Bulk threshold parameter ($V^{1/2}$)

PHI- Surface potential (V)

LAMBDA- Channel length modulation parameter (V^{-1})

RD- Drain resistance (Ω)

RS- Source resistance (Ω)

RSH- Sheet resistance of the drain/source diffusions (Ω/\square)

CBD- Zero bias drain-bulk junction capacitance (F)

CBS- Zero bias source-bulk junction capacitance (F)

MJ- Bulk junction grading coefficient (dimensionless)

PB- Built-in potential for the bulk junction (V)

• With CBD, CBS, MJ and PB, SPICE computes the voltage dependences of the drain-bulk and source-bulk capacitances:

CJ- Zero bias planar bulk junction capacitance (F/m^2)

CJSW- Zero bias sidewall bulk junction capacitance (F/m)

MJSW- Sidewall junction grading coefficient (dimensionless)

IS- Saturation current of the junction diode (A)

CGDO- Overlap capacitance of the gate with drain (F)

CGSO- Overlap capacitance of the gate with source (F)

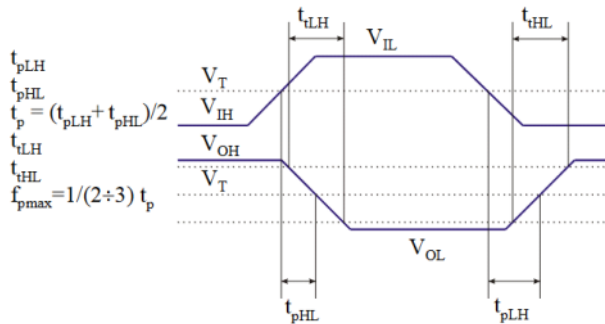
CGBO- Overlap capacitance of the gate with bulk (F)

TOX- Gate oxide thickness (m)

LD- Lateral diffusion (m)

7. Parametry bramek logicznych: czasy propagacji (t_p , t_{pLH} , t_{pHL}), czas narastania zbocza t_r , czas opadania zbocza t_f , marginesy zakłóceń, napięcie progowe inwertera CMOS, charakterystyki przejściowe bramek CMOS.

Parametry dynamiczne bramek



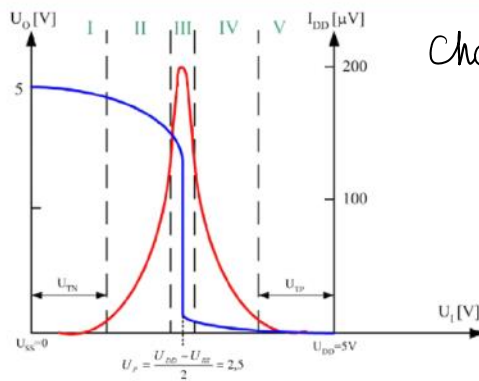
Katedra Elektroniki AGH

t_{pLH} - czas propagacji L-H 50% - 50%

t_p - średni czas propagacji

t_{rHL} - czas narastania zbocza

Inwerter CMOS

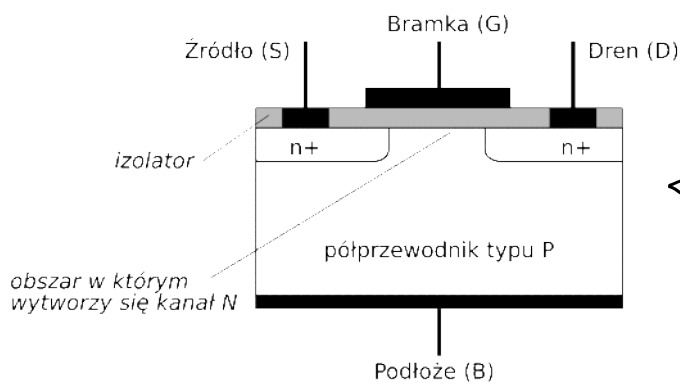


Charakterystyka przejściowa

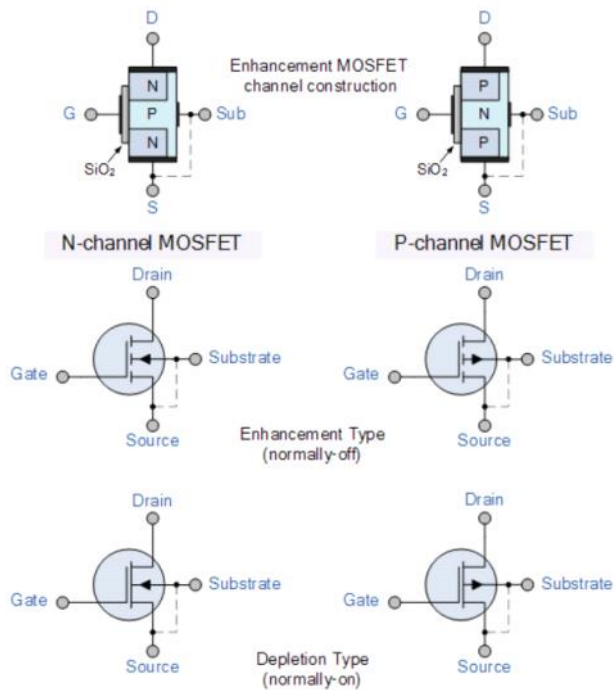
Katedra Elektroniki AGH

8. Struktura (przekrój) tranzystorów NMOS, PMOS.

piątek, 4 marca 2022 16:38



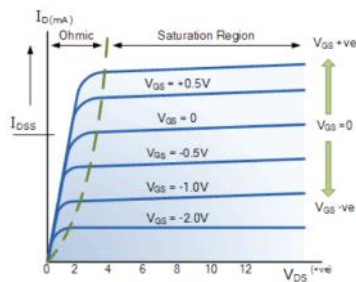
przekrój tranzystora NMOS
z kanałem wzbogaceniowym



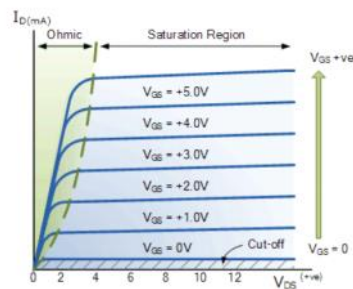
9. Zasada działania, parametry i charakterystyki tranzystorów NMOS i PMOS.

piątek, 4 marca 2022 16:51

Charakterystyka N-kanalowego MOSFET z kanałem zubożonym



Charakterystyka N-kanalowego MOSFET z kanałem wzbogacanym



Zadania z zeszłego roku

Pytanie 1

Poprawnie

Ocena: 1,00 z 1,00

Oflaguj pytanie

Wybierz stan logiczny na wyjściu **y** bramki AOI-21 ($y = \overline{(a + bc)}$) dla poniższych stanów na jej wejściach **a, b i c**.

a b c y

1 1 0	0	✓
0 0 0	1	✓
1 0 0	0	✓
0 1 0	1	✓

Twoja odpowiedź jest poprawna.

Poprawna odpowiedź to:

1 1 0 → 0,
0 0 0 → 1,
1 0 0 → 0,
0 1 0 → 1

Pytanie 2

Poprawnie

Ocena: 1,00 z 1,00

Oflaguj pytanie

Jakiej analizy należy użyć, aby wyznaczyć parametry czasowe bramki cyfrowej w SPICE?

Odpowiedź: .tran

Poprawna odpowiedź to: .tran

Pytanie 3

Częściowo poprawnie

Ocena: 0,66 z 1,00

Oflaguj pytanie

Uzupełnij netlistę bramki transmisyjnej (wejścia sterujące **c** i jego negacja **nc**).

```
br_trans.cir
VDD vdd 0 1.8
M1 [we/wy] [c] [wy/we] 0 MODEL_NMOS
L=0.18u W=0.24u
M2 [wy/we] [nc] [wy/we] vdd MODEL_PMOS
L=0.18u W=0.24u
.end
[we/wy] [wy/we] [0] [vdd]
```

Twoja odpowiedź jest częściowo poprawna.

Poprawnie wybrałeś 7.

Poprawna odpowiedź to:

Uzupełnij netlistę bramki transmisyjnej (wejścia sterujące **c** i jego negacja **nc**).

```
br_trans.cir
VDD vdd 0 1.8
M1 [we/wy] [c] [wy/we] [0] MODEL_NMOS L=0.18u W=0.24u
M2 [we/wy] [nc] [wy/we] [vdd] MODEL_PMOS L=0.18u W=0.24u
.end
```

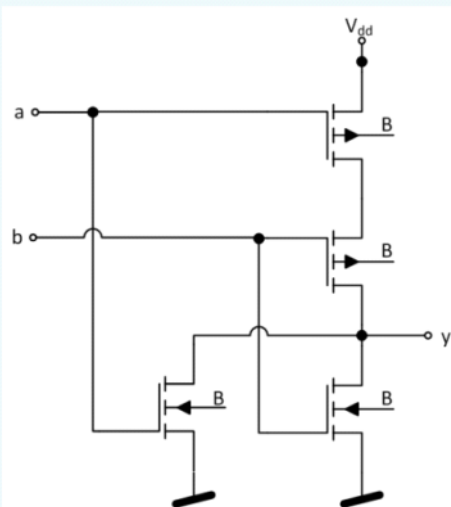
Pytanie 4

Częściowo poprawnie

Ocena: 0,67 z 1,00

Oflaguj pytanie

Zdecyduj gdzie powinna być podłączona końcówka podłoża (Body) tranzystorów w bramce przedstawionej poniżej.



- ☒ a. Podłoża tr. NMOS podłączyć do masy (gnd). ✓
- ☐ b. Podłoża tr. PMOS podłączyć do masy (gnd).
- ☐ c. Podłoża wszystkich tranzystorów podłączyć do wyjścia bramki.
- ☐ d. Podłoża tr. NMOS podłączyć do zasilania (V_{DD}).

Pytanie 5

Częściowo poprawnie

Ocena: 0,83 z 1,00

Oflaguj pytanie

Podaj opis źródła napięcia w SPICE, które generuje sygnał prostokątny o następujących parametrach: częstotliwość 20 MHz, napięcie 1,8 V, czas narastania 2 ns, czas opadania 4 ns, współczynnik wypełnienia 0,6.

V1 node1 node2 [pulse] 0 1.8 [0] [2n] [4n] [30n]
[50n]
[25n] [27n] [20MEG] [exp]
[pwl] [sin]

Twoja odpowiedź jest częściowo poprawna.

Poprawnie wybrałeś 5.

Obliczając czas trwania impulsu (przedostatni parametr) trzeba uwzględnić czas trwania zboczy (czas narastania i opadania), to wynika ze sposobu pomiaru czasu dla określenia współczynnika wypełnienia (na poziomie 50% amplitudy sygnału).

Poprawna odpowiedź to:

Podaj opis źródła napięcia w SPICE, które generuje sygnał prostokątny o następujących parametrach: częstotliwość 20 MHz, napięcie 1,8 V, czas narastania 2 ns, czas opadania 4 ns, współczynnik wypełnienia 0,6.

V1 node1 node2 [pulse] 0 1.8 [0] [2n] [4n] [27n] [50n]

- ☒ a. Podłoża tr. NMOS podłączyć do masy (gnd). ✓
- ☐ b. Podłoża tr. PMOS podłączyć do masy (gnd).
- ☐ c. Podłoża wszystkich tranzystorów podłączyć do wyjścia bramki.
- ☐ d. Podłoża tr. NMOS podłączyć do zasilania (V_{dd}).
- ☒ e. Podłoża wszystkich tranzystorów podłączyć do ich źródeł. ✓
- ☐ f. Podłoża tr. PMOS podłączyć do zasilania (V_{dd}).

Twoja odpowiedź jest częściowo poprawna.

Poprawnie wybrałeś 2.

Prawidłowymi odpowiedziami są:

Podłoża tr. PMOS podłączyć do zasilania (V_{dd}).

Podłoża tr. NMOS podłączyć do masy (gnd).

Podłoża wszystkich tranzystorów podłączyć do ich źródeł.

Podaj opis źródła napięcia w SPICE, które generuje sygnał prostokątny o następujących parametrach: częstotliwość 20 MHz, napięcie 1.8 V, czas narastania 2 ns, czas opadania 4 ns, współczynnik wypełnienia 0.6.

V1 node1 node2 [pulse] 0 1.8 [0] [2n] [4n] [27n] [50n]