

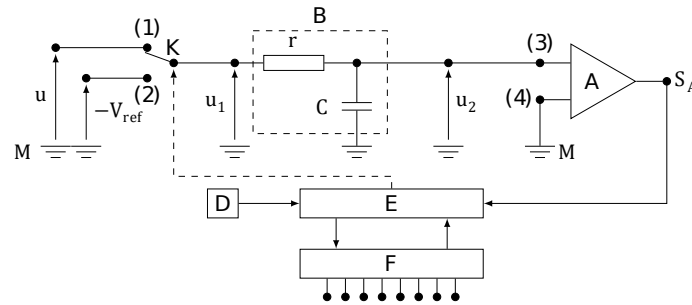
DM 4 : Électronique numérique

Éléments de correction

Numérisation avant stockage

Dans tout système de stockage numérique de données, la première étape est celle de la numérisation. Les signaux du monde réel sont analogiques, pour les transformer en signaux numériques on utilise un convertisseur analogique numérique, noté CAN par la suite.

Au cœur de tous les convertisseurs se trouve un compteur (noté F sur la figure ci-dessous), commandé par un signal d'horloge (noté D) qui incrémente le compteur à chaque bip d'horloge (le compteur est lui même commandé par une logique de commande notée E). La fréquence du signal d'horloge est $f_{ck} = 1 \text{ GHz}$, on la suppose parfaitement stable. Le compteur compte à partir de zéro, dès que la commande de compter lui a été donnée, au rythme imposé par le signal d'horloge. Il fournit en sortie un nombre codé sur N bits.



L'architecture des premiers CAN était de type « série », elle est modélisée par le dispositif schématisé sur la figure ci-dessus. La tension positive u dont la valeur est comprise entre 0 V et V_{ref} ($V_{\text{ref}} = 2 \text{ V}$), supposée constante pendant la durée de la numérisation, est convertie en un nombre s_N . Le convertisseur est composé d'un circuit r, C formant le bloc B, d'un comparateur A, et d'éléments intégrés parmi lesquels le bloc logique de commande E, le générateur de signal d'horloge D et le compteur sur N bits F. Les résistances d'entrée des blocs A, E et F sont infinies. Le module A compare les potentiels des nœuds (3) et (4). Lorsque $V_{(3)} > V_{(4)}$, son potentiel de sortie V_{S_A} est au niveau haut, de sorte que $v_{S_A} = V_{S_A} - V_M = 5 \text{ V}$. Lorsque $V_{(3)} < V_{(4)}$, son potentiel de sortie est au niveau bas ($v_{S_A} = 0 \text{ V}$). Il commande ainsi le bloc logique E. L'interrupteur K est commandé par le bloc logique E, ce qui est symbolisé par un trait pointillé.

1. Partant d'une situation où le condensateur est déchargé, E commande à l'instant $t = 0$ la mise en position (1) de l'interrupteur K. L'interrupteur reste dans cette position pendant une durée $t_1 = \frac{2^N - 1}{f_{ck}}$ qui correspond à un cycle complet de comptage du compteur sur N bits. Étudier u_2 en fonction du temps entre $t = 0$ et t_1 . Faire apparaître une constante τ , homogène à un temps, caractéristique du bloc B.

u_2 et u_1 sont reliés par un pont diviseur de tension rC ,

$$\begin{aligned}\frac{u_2}{u_1} &= \frac{1/(jC\omega)}{1/(jC\omega) + r} \\ \frac{u_2}{u_1} &= \frac{1}{1 + jrC\omega} \\ (1 + jrC\omega)u_2 &= u_1\end{aligned}$$

donc en notation réelle, $rC \frac{du_2}{dt} + u_2 = u_1$,

pour $t \leq 0$ on a $u_1 = u$, et initialement $u_2 = 0$ car le condensateur est déchargé,

donc $u_2 = u(1 - e^{-t/\tau})$ avec $\tau = rC$

Pour toute la suite, on choisit les valeurs de r et C de sorte que $t_1 \ll \tau$.

- Donner alors l'expression simplifiée de u_2 en fonction du temps, ainsi que le lien simplifié entre u_1 et $\frac{du_2}{dt}$.

Quelle est alors la fonction du bloc B ?

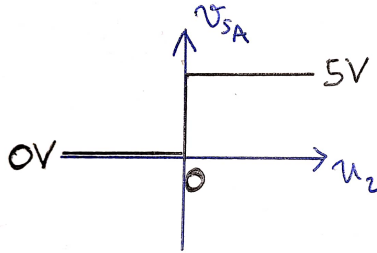
Si $t_1 \ll \tau$ alors $u_2 = u \frac{t}{\tau}$ ou $\frac{du_2}{dt} = \frac{u_1}{\tau}$

Le bloc B est un intégrateur

- Représenter le graphe de la tension $v_{SA} = V_{SA} - V_M$ en fonction de u_2 .

Que vaut v_{SA} entre 0 et t_1 ?

graphe de fonction telle que $v_{SA} = 0$ V quand $u_2 < 0$ et $v_{SA} = 5$ V quand $u_2 > 0$



$u > 0$ donc $u_2 > 0$ donc $v_{SA} = 5$ V

Le bloc de commande fait basculer l'interrupteur K en position (2) à l'instant t_1 et déclenche le comptage. Celui-ci dure jusqu'à l'instant $t_1 + t_2$ tel que le signal v_{SA} soit modifié.

- Exprimer t_2 en fonction de u , t_1 et V_{ref} .

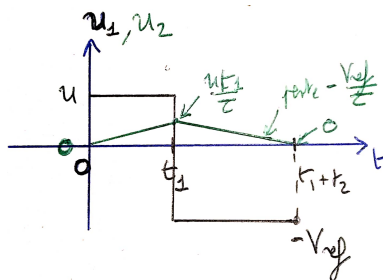
à $t = t_1$ on a $u_2 = u \frac{t_1}{\tau}$ d'après les questions précédentes,

à $t > t_1$ on a $u_1 = -V_{ref}$ d'où (en supposant $t_2 \ll \tau$) $u_2(t) = u \frac{t_1}{\tau} - V_{ref} \left(\frac{t-t_1}{\tau} \right)$ (car on a toujours $\frac{du_2}{dt} = \frac{u_1}{\tau}$).

$t_1 + t_2$ est l'instant où u_2 devient négatif soit $0 = u \frac{t_1}{\tau} - \frac{V_{ref}}{\tau} t_2$ donc $t_2 = \frac{ut_1}{V_{ref}}$

- Représenter sur un même graphe u_2 et u_1 en fonction du temps, entre $t = 0$ et $t = t_1 + t_2$.

u_1 fait un signal créneau entre u et 0, u_2 fait un signal triangle entre 0 et $u \frac{t_1}{\tau}$



6. Quel est le lien entre s_N ? et t_2 ?

Le compteur commence à t_1 et avance de 1 tous les $\frac{1}{f_{ck}}$. A $t_2 + t_1$, il a avancé de $[t_2 f_{ck}] = s_N$

7. Quelle est la durée maximale de la conversion analogique numérique pour un convertisseur 8 bits commandé par un signal d'horloge de fréquence $f_{ck} = 1 \text{ GHz}$? En déduire une condition sur la fréquence des signaux qu'on peut numériser avec un tel convertisseur. Commenter.

$t_{max} = t_1 + t_{2,max}$ la durée totale de la conversion est celle des deux phases de charge et de décharge du condensateur.

Or la valeur maximale numérisable est $u = V_{ref}$ donc $t_{max} = 2t_{2,max}$.

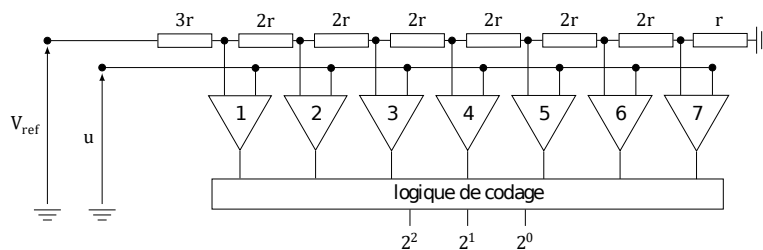
Et pour cette valeur le compteur prend sa valeur maximale $t_{max} = 2 \frac{s_{N,max}}{f_{ck}} = \frac{2(2^N - 1)}{f_{ck}}$

donc $t_{max} = 0,51 \mu s$

donc la fréquence minimale à laquelle on prend les échantillons est $f_{min} = \frac{1}{t_{max}} = 2,0 \cdot 10^6$

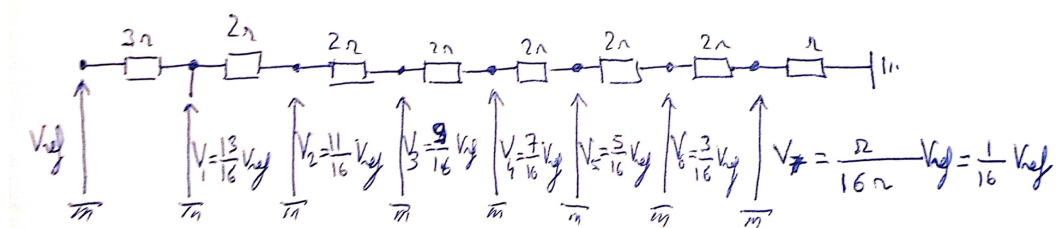
Hz donc d'après le critère de Shannon $f_{signal} < 1,0 \text{ MHz}$

Les convertisseurs plus récents ont une architecture parallèle. La figure ci-dessous représente un convertisseur 3 bits, qui convertit une tension u qui vérifie $0 < u < V_{ref}$. Il est composé de 7 comparateurs, d'une logique de commande et de résistances de valeur r , $2r$ et $3r$. Les comparateurs ont une impédance d'entrée infinie et délivrent un signal logique qui est au niveau haut lorsque la patte reliée à u a un potentiel supérieur à celui de la patte reliée à V_{ref} par l'intermédiaire des résistances.



8. Expliquer le fonctionnement de ce convertisseur. On note u_N la tension numérisée, reconstituée à partir de s_N . Comment passe-t-on de s_N à u_N ?

si $u > V_i$ le comparateur i d'un potentiel de sortie au niveau haut (1) et si $u < V_i$ au niveau bas (0).



Scanné avec CamScanner

Avec 7 comparateurs on a 8 niveaux de quantification correspondant à $V_i = \frac{15-2i}{16} V_{ref}$, et le premier comparateur de niveau haut donne le niveau de quantification.

La logique de codage convertit ce niveau en 3 bits $s_N = \frac{8-i}{8}$

9. Pour un convertisseur 8 bits, combien faut il de comparateurs ? Quels sont les avantages et inconvénients comparés des convertisseurs série et parallèle ?

Il faut $2^8 - 1 = 255$ comparateurs. Compromis entre rapidité (avantage parallèle), nombre de composant (avantage série), nombre de bit, et adaptabilité (avantage série).