



Rémi Parrot

Post-doc

Formation

- 2019–2022 **Diplôme de doctorat**, *Centrale Nantes (ECN)*, Nantes, *Réseaux de Petri temporisés pour la synthèse de circuits pipelinés*
- 2015–2019 **Diplôme d'Ingénieur**, *Centrale Nantes (ECN)*, Nantes, *Spécialité Informatique*
- 2013–2015 **Classes Préparatoire**, *Lycée Bellevue*, Toulouse, *Spécialité PSI*
- 2013 **Baccalauréat S**, *Lycée La Borde Basse*, Castres, *Spécialité SVT*

Expérience Professionnelle

- Nov. 2022–
... **Post-doc**, *Uppsala Universitet*, CSD (Computer Science Division), Uppsala–Sweden
Recherche sur le fuzzing de machine à états appliqué aux protocoles de communication.
- Sep. 2019–
Nov. 2022 **Thèse de Doctorat**, *LS2N*, STR (Système Temps Réel), Nantes–France
- Développement d'une approche de synthèse de pipeline avec des contraintes de temps et de ressources, basée sur des Réseaux de Petri Temporisés ;
 - Implémentation d'un outil de compilation Simulink vers VHDL ;
 - Construction d'un cours de VHDL pour des master M1 (master CORO à l'ECN) ;
 - Enseignements et encadrement de projet d'étudiants (en master et dans le cursus ingénieur de l'ECN).
- Avr.–Aou.
2019 **Stage de 3ème année**, *LS2N*, STR (Système Temps Réel), Nantes–France
Travail de Recherche portant sur le control de modèles formels avec du temps et des coûts.
- Nov. 2017–
Avr. 2018 **Stage en année de Césure**, *Valwin*, Service Informatique, Nantes–France
Amélioration des outils de production de site de web de pharmacie.
- Sep.–Oct.
2017 **Formation en année de Césure**, *LS2N*, STR (Système Temps Réel), Nantes–France
Portage de Trampoline RTOS sur un microcontrôleur SAM3X8E basé sur un processeur ARM Cortex-M3.
- Avr.–Aou.
2017 **Stage 2ème année**, *Universidad Complutense*, GASS (Grupo de Análisis, Seguridad y Sistemas), Madrid–Spain
Travail de Recherche en analyse forensique.
- Jui.–Aou.
2016 **Stage 1ère année**, *CCL*, Service Informatique, Castres–France
Développement web et logiciel pour une entreprise commerciale.

Projets de recherche

Post-doc

titre Fuzzing de machines à états pour les protocoles de communication

responsables Kostis Sagonas et Bengt Jonsson

description Le fuzzing est une technique de test qui consiste à fournir des entrées aléatoires au système testé jusqu'à ce qu'une erreur se produise. Les protocoles de communication ont la spécificité d'implémenter (généralement) des machines à états. Ces machines à états peuvent être apprises à l'aide de techniques d'apprentissage de modèles. Puis, on peut guider le fuzzing afin d'explorer tous les états, et donc le plus grand nombre de comportements possible du système.

Thèse de Doctorat

titre Génération automatique de code VHDL pour des Chargeurs de Véhicules Électriques

direction Olivier H. Roux, Mikaël Briday et Malek Ghanes

description Cette thèse s'inscrit dans le cadre d'une collaboration avec l'entreprise automobile Renault, et a pour objectif de synthétiser des circuits sur FPGA, avec des contraintes de ressources et de temps. Nous avons travaillé sur la synthèse d'un pipeline optimal et sur son utilisation pour le multiplexage temporel, c'est-à-dire la fusion de portions de circuits identiques en séquençant leur accès. Pour résoudre ce problème, nous le réduisons à un problème d'accessibilité optimale dans un nouveau modèle de réseau de Petri temporisé que nous avons introduit, avec des transitions retardables qui peuvent manquer leur date d'exécution et une action spécifique appelée reset qui remet à zéro les horloges de toutes les transitions. Nous avons étudié l'expressivité de ce modèle et proposé un algorithme d'exploration symbolique.

Langues

Français Langue maternelle

Anglais Lu, écrit, parlé

(niveau C1)

Espagnol Lu, écrit, parlé

(niveau C1)

Outils

Langages C, C++, Python, VHDL

Compilation GCC, GDB, Xilinx Vivado

Vérification Roméo, Uppaal

Compilateur Flex, Bison, Galgas

Versioning Git

Formatage L^AT_EX

Loisirs

Escalade, Cirque, Bricolage, Arts Plastiques

Publications

- [1] Rémi Parrot, Hanifa Boucheneb, Mikaël Briday, and Olivier H. Roux. Expressiveness and analysis of Delayable Timed Petri Net. In *16th International Workshop on Discrete Event Systems (WODES'22)*, Prague, Czechia, September 2022. IFAC.
- [2] Rémi Parrot, Mikaël Briday, and Olivier H. Roux. Pipeline Optimization using a Cost Extension of Timed Petri Nets. In *The 28th IEEE International Symposium on Computer Arithmetic (ARITH 2021)*. IEEE, June 2021.
- [3] Rémi Parrot, Mikaël Briday, and Olivier H. Roux. Réseaux de Petri temporisés pour la conception et vérification de circuits pipelinés. In *Modélisation des Systèmes Réactifs (MSR'21)*, Paris, France, November 2021.
- [4] Rémi Parrot, Mikaël Briday, and Olivier H. Roux. Timed Petri Nets with Reset for Pipelined Synchronous Circuit Design. In *The 42th International Conference on Application and Theory of Petri Nets and Concurrency (Petri Nets 2021)*, volume 12734 of *Lecture Notes in Computer Science*. Springer, June 2021.
- [5] Rémi Parrot, Mikaël Briday, and Olivier H. Roux. Design and verification of pipelined circuits with timed petri nets. *Discrete Event Dynamic Systems*, 33(1) :1–24, dec 2022.
- [6] Rémi Parrot and Didier Lime. Backward symbolic optimal reachability in weighted timed automata. In Nathalie Bertrand and Nils Jansen, editors, *18th International Conference on Formal Modeling and Analysis of Timed Systems (FORMATS 2020)*, Lecture Notes in Computer Science, pages 41–57, Vienna, Austria, September 2020. Springer.