

```

        sub        $a1, $a1, 0x00000004
        lw         $t1, ($a1)
        lw         $t2, ($t1)
pc:     not        $t1, $t2
adr:    .word      0x00400020
        li         $v0, 1
op:     .word 7
        move $a0, $t1
        syscall
end:    mop

```

Figura 8.8: Program MIPS pentru exemplificarea modului de adresare indirectă cu autodecrementare a memoriei principale.

9

Transmisia și recepția serială a informației

1. Prezentare teoretică

La sistemele de calcul se cuplează o mare varietate de echipamente periferice. Aceste echipamente, fiind produse de diverse firme, nu sunt complet compatibile între ele ca mod de dialog și transfer de informație, deși din punct de vedere logic realizează aceleași funcții. Prin urmare, a apărut necesitatea unei standardizări și unificări a echipamentelor de transmisie de date.

Transferul de date între echipamentul periferic și calculator se poate face din punct de vedere logic, paralel sau serial folosind diverse tehnologii: infraroșu, usb, Bluetooth etc.

Transferul serial are avantajul că asigură o fiabilitate mai mare transmisiei în comparație cu transferul paralel, în schimb necesită resurse fizice mai complexe.

Norme de transmitere serială a informației. Protocolul de transmisie.

Între două dispozitive cuplate ce transmit datele serial asincron trebuie să existe o linie de referință (masa electrică), 2 linii pentru date și 2 linii pentru comenzi și stări, după cum se poate observa în figura 9.1. Conform normei de transmisie CCITT, semnalele de legătură au următoarea semnificație:

- 103 = date transmisie
- 104 = date recepționate
- 105 = cerere pentru emisie
- 106 = gata de emisie
- 107 = conectat la linie
- 108 = conectează la linie

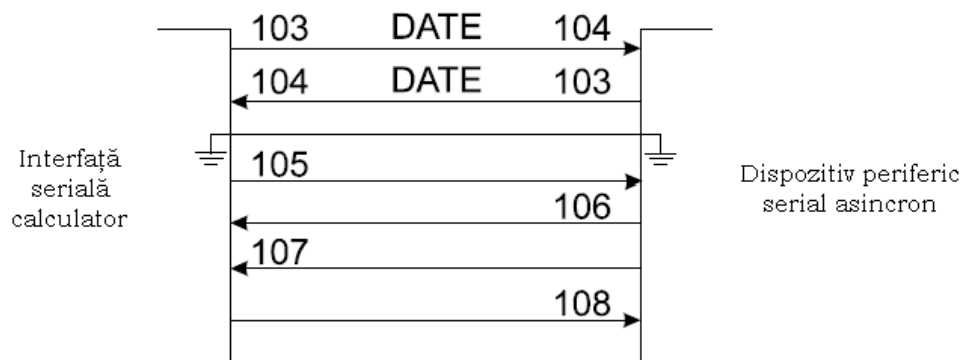


Figura 9.1: Norma de transmisie CCITT.

Semnalele ce se transmit pe aceste linii sunt sub forma unor nivele de tensiune în logică negativă. Astfel, 1 logic este considerat între -6V și -12V, iar 0 logic este considerat între +6V și +12V. Avantajele unei astfel de alegeri sunt:

- tensiunea de referință 0;
- o pană de alimentare se poate deosebi de oricare din cele două stări;

- imunitate la zgomot.

Protocolul de transmitere date

Acest protocol poate fi urmărit în figura 9.2 și este compus din următoarele secvențe:

- Dispozitivul transmite continuu 1 logic când este inactiv.
- Datele transmise pe o singură linie (103) sunt precedate de un bit de start (0 logic) și urmate de 1 sau 2 biți de stop (1 logic).

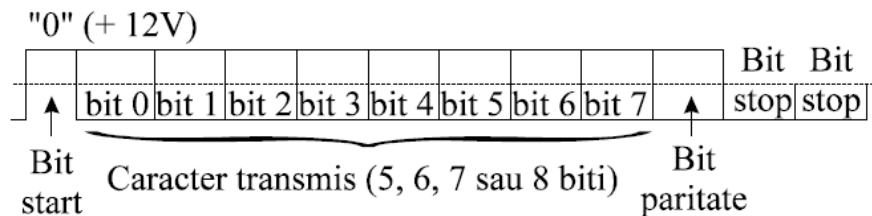


Figura 9.2: Protocolul de transmisie a datelor.

Semnalele de comandă și stare servesc numai pentru stabilirea legăturii între dispozitive. Dintre dispozitivele care lucrează serial asincron, care corespund standardului CCITT, se pot menționa: DISPLAY-uri, CONSOLE, MODEM-uri.

Proiectarea unui dispozitiv de transmisie serială asincronă

Un dispozitiv de transmisie serială asincronă se compune din:

1. registru de transmisie
2. logica de generare a parității
3. numărător de biți

Schema bloc a unui dispozitiv de transmisie este prezentată în figura 9.5. Semnificația semnalelor prezente în schema bloc este următoarea:

- rxrdy = recepție terminată;

- rdy = transmițător liber;
- txrdy = transmisie terminată;
- DDISP = date disponibile;
- DREQ = cerere date;
- DPL = deplasare date.

Proiectarea unității de comandă prezentată în figura 9.4 se realizează utilizând diagrama logică prezentată în figura 9.3.

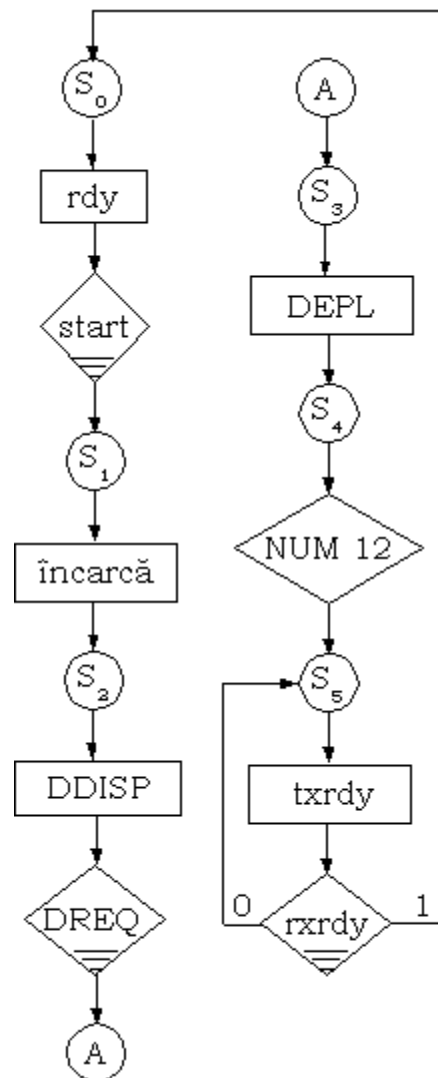
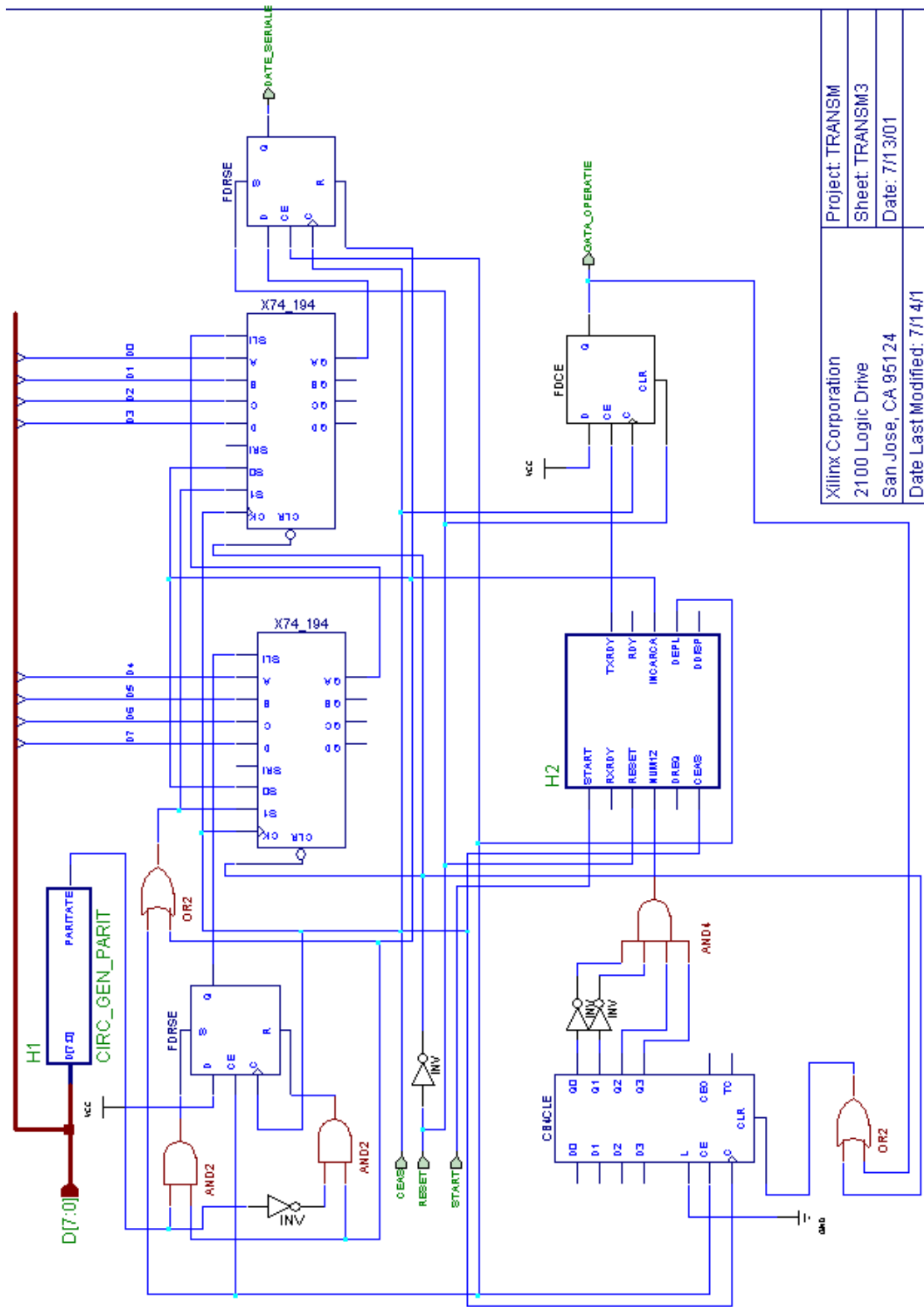


Figura 9.3: Diagrama logică a unității de comandă pentru transmisia serială a informației



Project: TRANSM
Sheet: TRANSM3
Date: 7/13/01
Xilinx Corporation
2100 Logic Drive
San Jose, CA 95124
Date Last Modified: 7/14/01

Figura 9.4: Schema bloc a protocolului de transmisie.

Recepția serială a informației

În proiectarea unui dispozitiv de recepție serială a informației se pornește de la protocolul de transmisie serială asincronă prezentat în figura 9.5.

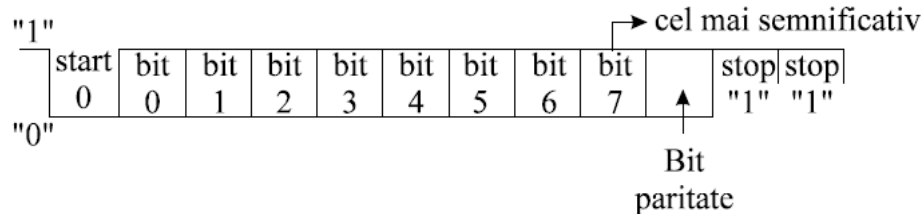


Figura 9.5: Protocolul de transmisie serială asincronă.

Resursele hardware utilizate în proiectare sunt:

- Două registre de deplasare de 4 biți în care se assemblează informația recepționată serial;
- Trei bistabile care indică modul de desfășurare a operației de recepție;
- Bistabilul DA = bistabil care indică faptul că datele au fost acceptate;
- Bistabilul PE = bistabil care indică apariția unei erori de paritate;
- Bistabilul SE = bistabil care indică bit de stop invalid.

Schema bloc a dispozitivului de recepție serială a informației este prezentată în figura 9.7. Informația recepționată serial este asamblată în registrele de deplasare de 4 biți. Având în vedere faptul că informația este precedată de un bit de start egal cu 0, se poate detecta recepția completă a caracterului, fără numărarea biților în felul următor:

- se încarcă inițial registrele de deplasare cu 1 logic;
- se testează valoarea bitului BIT₀. Când aceasta a devenit 0 (bitul de start a ajuns în această poziție) înseamnă că s-a terminat recepționarea caracterului.

Pentru a asigura o bună funcționare a dispozitivului de recepție este bine ca preluarea unui bit de informație să se facă la un moment de timp cât mai aproape de mijlocul bitului. Preluarea bitului se face prin aplicarea semnalului de deplasare *DEPL* registrelor de deplasare.

Pentru a genera semnalul *DEPL* cât mai aproape de mijlocul bitului, se aplică automatului de comandă o frecvență de 8 sau 16 ori mai mare decât frecvența de transmisie serială. După sesizarea bitului de *START*, se lasă automatul să evolueze prin 4, respectiv 8 stări, și apoi se generează semnalul *DEPL*.

Pentru biții următori, automatul de comandă trece prin 8 respectiv 16 stări, pentru a genera noi semnale *DEPL*. Diagrama unității de comandă este prezentată în figura 9.6.

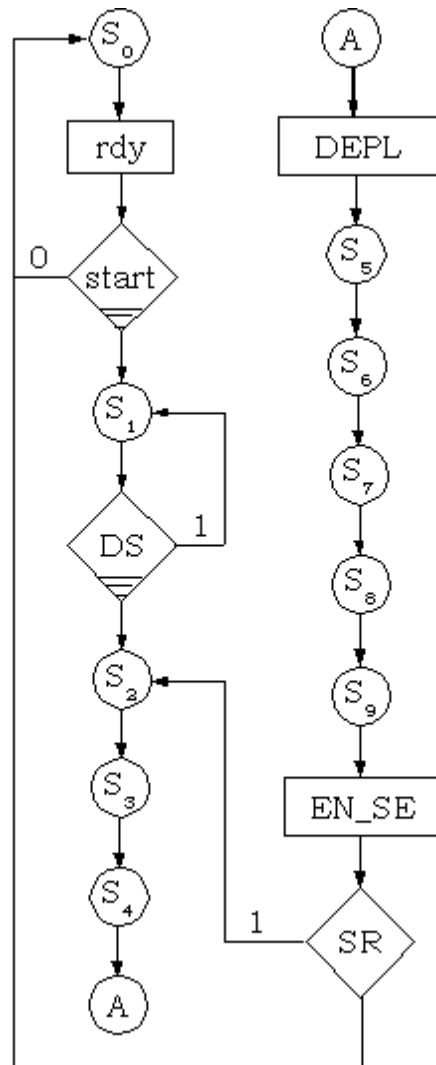
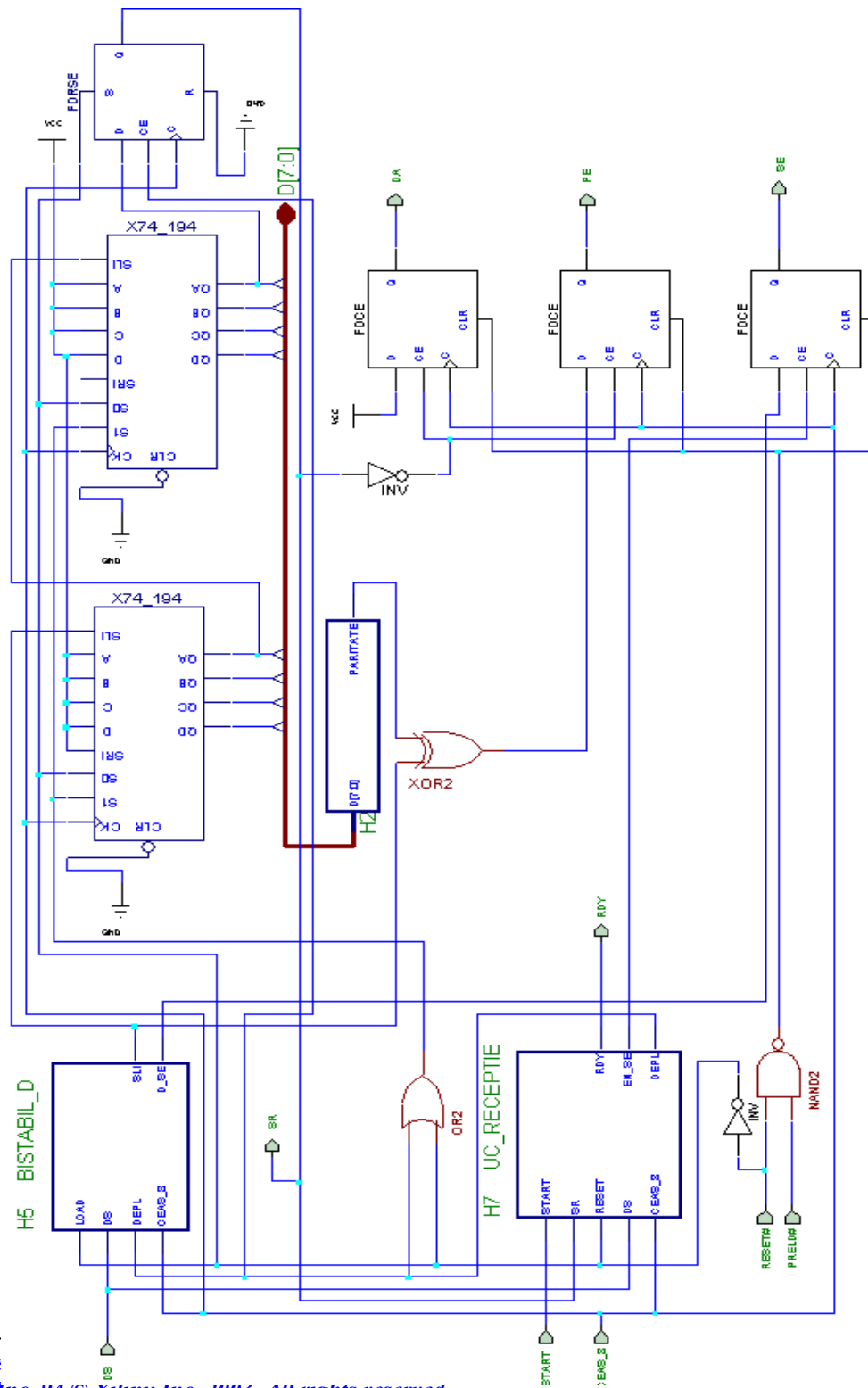


Figura 9.6: Diagrama logică a unității de comandă pentru recepția informației.



[Figure
Xilinx Inc. 94 © Xilinx Inc. 2005. All rights reserved.

Figura 9.7: Schema bloc pentru recepția serială a informației

2. Desfășurarea lucrării

1. Se va proiecta în Verilog și realiza utilizând Xilinx WebPACK ISE 6.2i schema bloc a protocolului de transmisie prezentată în figura 9.4. Verificarea funcționării schemei bloc se va realiza cu ajutorul simulatorului ModelSim.

3. Probleme propuse

1. Se va proiecta în Verilog și realiza utilizând Xilinx WebPACK ISE 6.2i schema bloc pentru recepția serială a informației prezentată în figura 9.7. Verificarea funcționării schemei bloc se va realiza cu ajutorul simulatorului ModelSim.