

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica
Disciplina: Laboratório de Sistemas Digitais
Guia de aula: 05 rev 2023 – <b>Estudo Dirigido</b>
Assuntos: <ul style="list-style-type: none"> <li>Modelos de Representação de um Sistema top-level em VHDL: Comportamental, Fluxo de dados e Estrutural.</li> </ul>
Objetivos: <ul style="list-style-type: none"> <li>Saber explicar quando, como e porque usar os modelos de representação de um sistema (paradigmas de codificação sequencial, concorrente e estrutural).</li> <li>Identificar os diferentes modelos de representação de um sistema.</li> <li>Analisar as implicações da implementação de cada modelo de representação.</li> <li>Aprender a criar um flip-flop em VHDL</li> </ul>
Espera-se que ao final do Estudo Dirigido (antes da aula) o aluno saiba responder às seguintes questões: <ol style="list-style-type: none"> <li>Quais são as diferenças entre os três paradigmas de codificação de sistemas usando VHDL: Comportamental, Fluxo de dados, Estrutural?</li> <li>Dentro de um projeto de sistemas digitais usando VHDL, esses paradigmas de codificação são mutuamente exclusivos ou complementares? Em que condições é melhor usar cada um deles?</li> <li>Qual paradigma de codificação é mais natural para integrar subsistemas em um sistema <i>top-level</i>?</li> <li>Qual paradigma de codificação é orientado a eventos? Qual é de execução sequencial?</li> <li>Quais são as construções e declarações VHDL usadas por cada um dos três paradigmas de codificação?</li> <li>Como se cria um flip-flop em VHDL?</li> </ol>
Estude os seguintes documentos disponibilizados no Moodle: <ul style="list-style-type: none"> <li>Detalhando alguns conceitos - Prof. Hermes</li> <li>Atribuição de Sinais em VHDL - Prof. Hermes</li> </ul> Parte das referências a serem estudadas: <p>[1] Paradigmas de codificação em VHDL –</p> <p>Concorrente (<i>dataflow</i> ou fluxo de dados): Cap. 4 e Cap. 5 pág. 51 a 53</p> <p>Comportamental: Cap 5 pag. 54 a 68</p> <p>Estrutural: Cap 9, pág. 119 a 131.</p> <p>Elementos de Memória em VHDL: Seções 7.1 a 7.3 (pg. 77 até 87)</p> <p>[2] pág. 121 a 172.</p>
Lista de referências: <p>[1] B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2023. The electronic version of this book can be downloaded free of charge from:</p> <ul style="list-style-type: none"> <li>Original em Latex no GitHub: <a href="https://github.com/fabriziotappero/Free-Range-VHDL-book">GitHub - fabriziotappero/Free-Range-VHDL-book: Latex source files of the open-source book FREE RANGE VHDL</a></li> <li>Original em PDF no GitHub: <a href="https://github.com/fabriziotappero/Free-Range-VHDL-book/blob/master/free_range_vhdl.pdf">https://github.com/fabriziotappero/Free-Range-VHDL-book/blob/master/free_range_vhdl.pdf</a></li> </ul> <p>[2] Volnei A. Pedroni. Circuit Design and Simulation with VHDL. The MIT Press. 2010.</p>