



Universidade Federal de Pelotas

Instituto de Física e Matemática

Departamento de Informática

Bacharelado em Ciência da Computação

Arquitetura e Organização de Computadores II

Aula 2

**2. MIPS monociclo: instruções a serem
implementadas, regime de clock, construção do
bloco operativo.**

Prof. José Luís Güntzel

guntzel@ufpel.edu.br

www.ufpel.edu.br/~guntzel/AOC2/AOC2.html

2. Organizações do MIPS: monociclo

► Instruções a Serem Implementadas

- Instruções de referência à memória (**tipo I**):

Load word (lw) e store word (sw)

- Instruções aritméticas e lógicas (**tipo R**):

(add, sub, and, or)

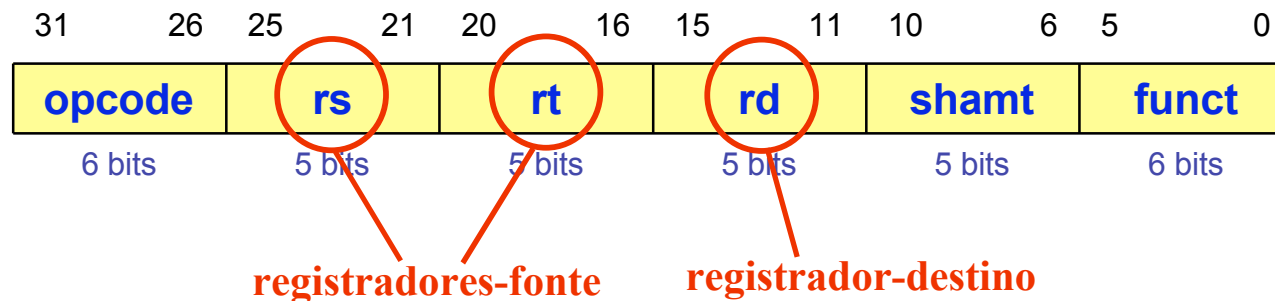
- Instruções de salto:

Branch on equal (beq) e jump (j)

2. Organizações do MIPS: monociclo

► Instruções formato R: add, sub, or, and

- opcode = 0
- “funct” define a operação a ser feita pela ALU
- “shamt” (shift amount) é usado em instruções de deslocamento

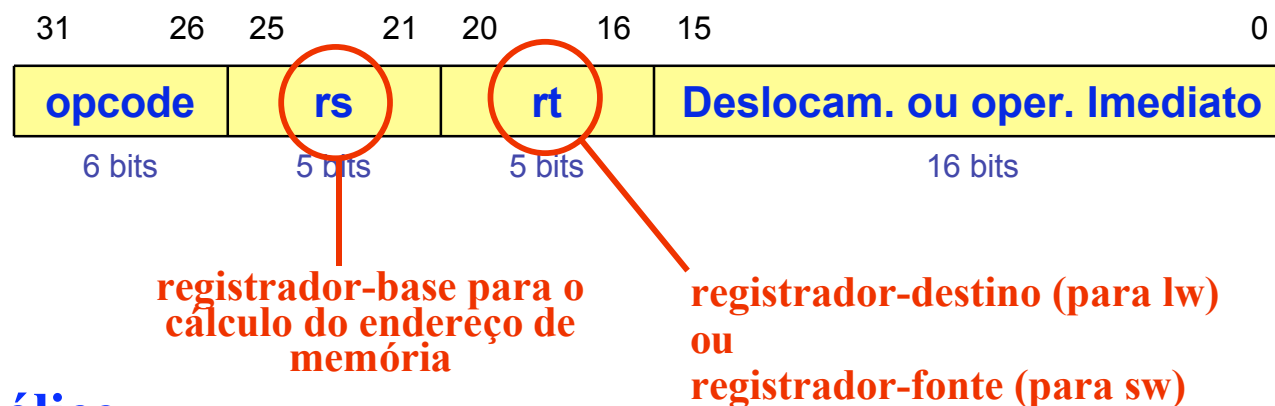


Simbólico (exemplo): add \$s1,\$s2, \$s3 ($\$s1 \leftarrow \$s2 + \$s3$)

2. Organizações do MIPS: monociclo

► Instruções formato I: load word (lw) e store word (sw)

- load word (lw): opcode = 35
- store word (sw): opcode = 43



Simbólico

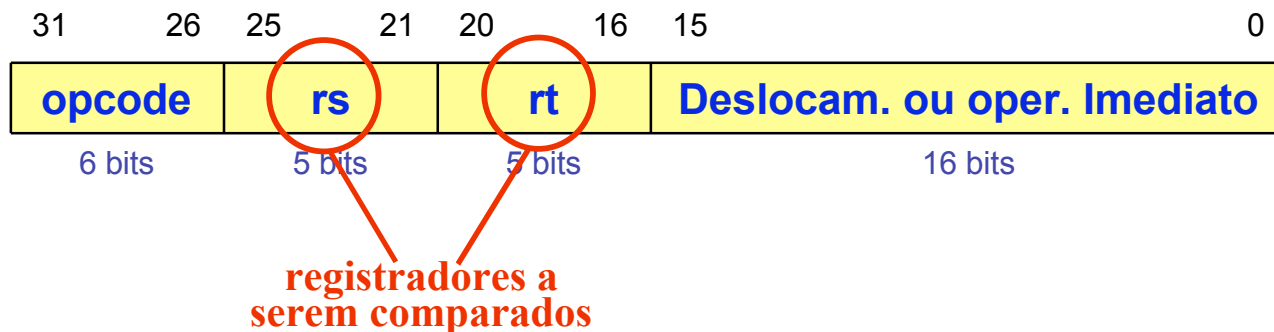
lw \$s1, offset(\$s2) ($\$s1 \leftarrow \text{Mem}[\$s2 + \text{deslocam}]$)

sw \$s1, offset(\$s2) ($\text{Mem}[\$s2 + \text{deslocam}] \leftarrow \$s1$)

2. Organizações do MIPS: monociclo

► Instrução formato I: Desvio Condicional beq: branch on equal

- Opcode = 4
- Campo deslocamento usado para calcular o endereço-alvo
- Se o conteúdo do registrador cujo endereço está no campo rs for igual ao conteúdo do registrador cujo endereço está em rt, então salta para a posição endereço+PC+4



Simbólico

beq \$s1, \$s2, offset (if (\$s1== \$s2) then PC←PC+4+deslocam)

2. Organizações do MIPS: monociclo

► **Princípios do Projeto Eficiente**

“Faça o caso comum executar mais rápido”

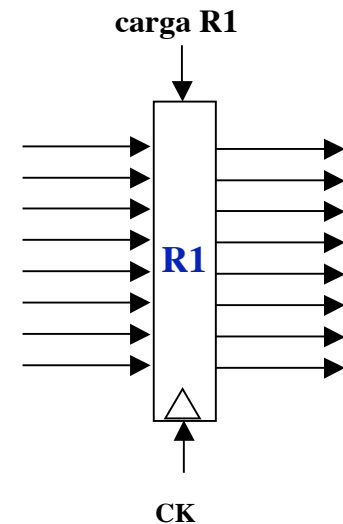
“A simplicidade favorece a regularidade”

2. Organizações do MIPS: monociclo

► Regime de Clock (Temporização)

Iremos supor que:

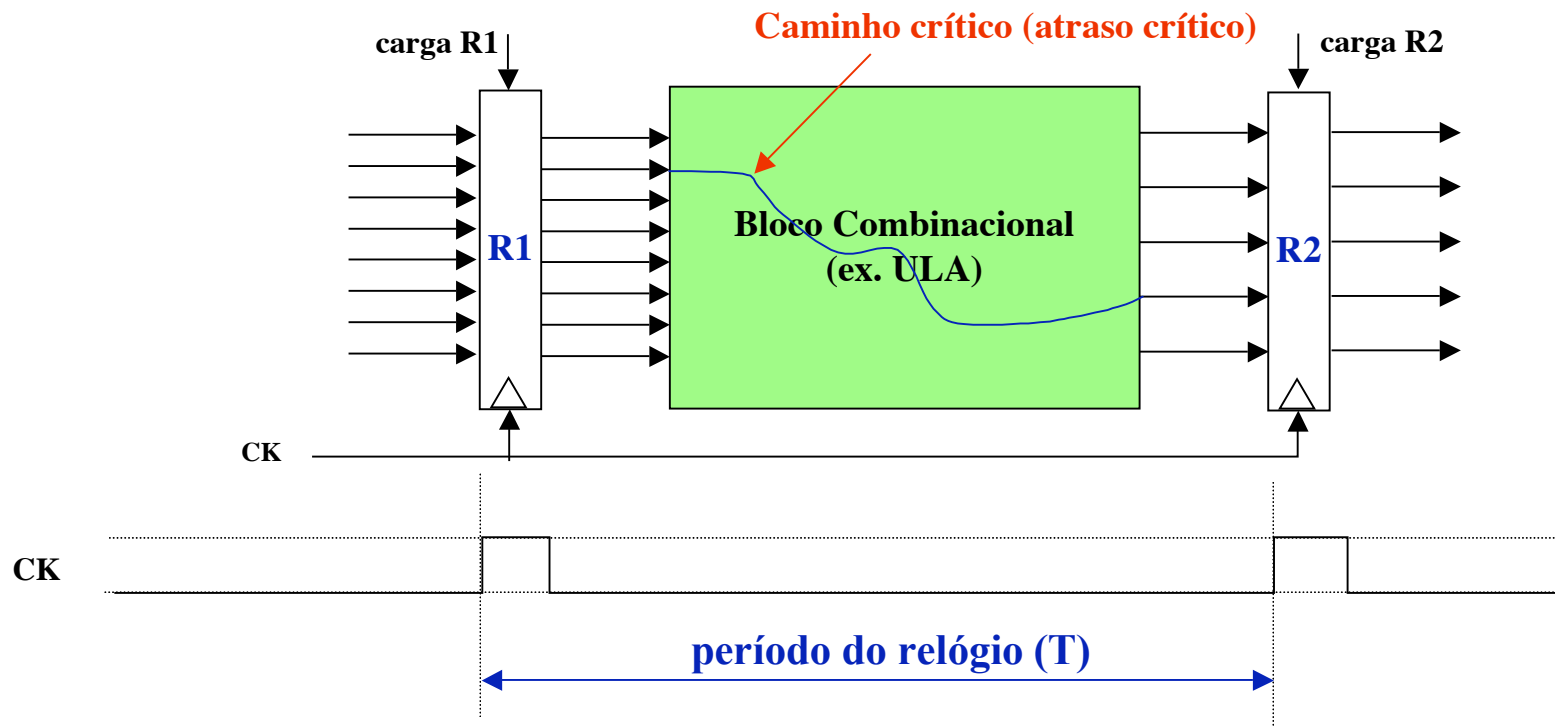
- Cada registrador possui um **signal de carga** particular que é ativado com lógica direta
- Os registradores são “**disparados**” pela borda ascendente do relógio
- No desenho ao lado, quando $CK=\uparrow$, se $cargaR1=1$, então $R1 \leftarrow entradas$



2. Organizações do MIPS: monociclo

► Regime de Clock (Temporização)

Condições para o Correto Funcionamento do Bloco Comb.

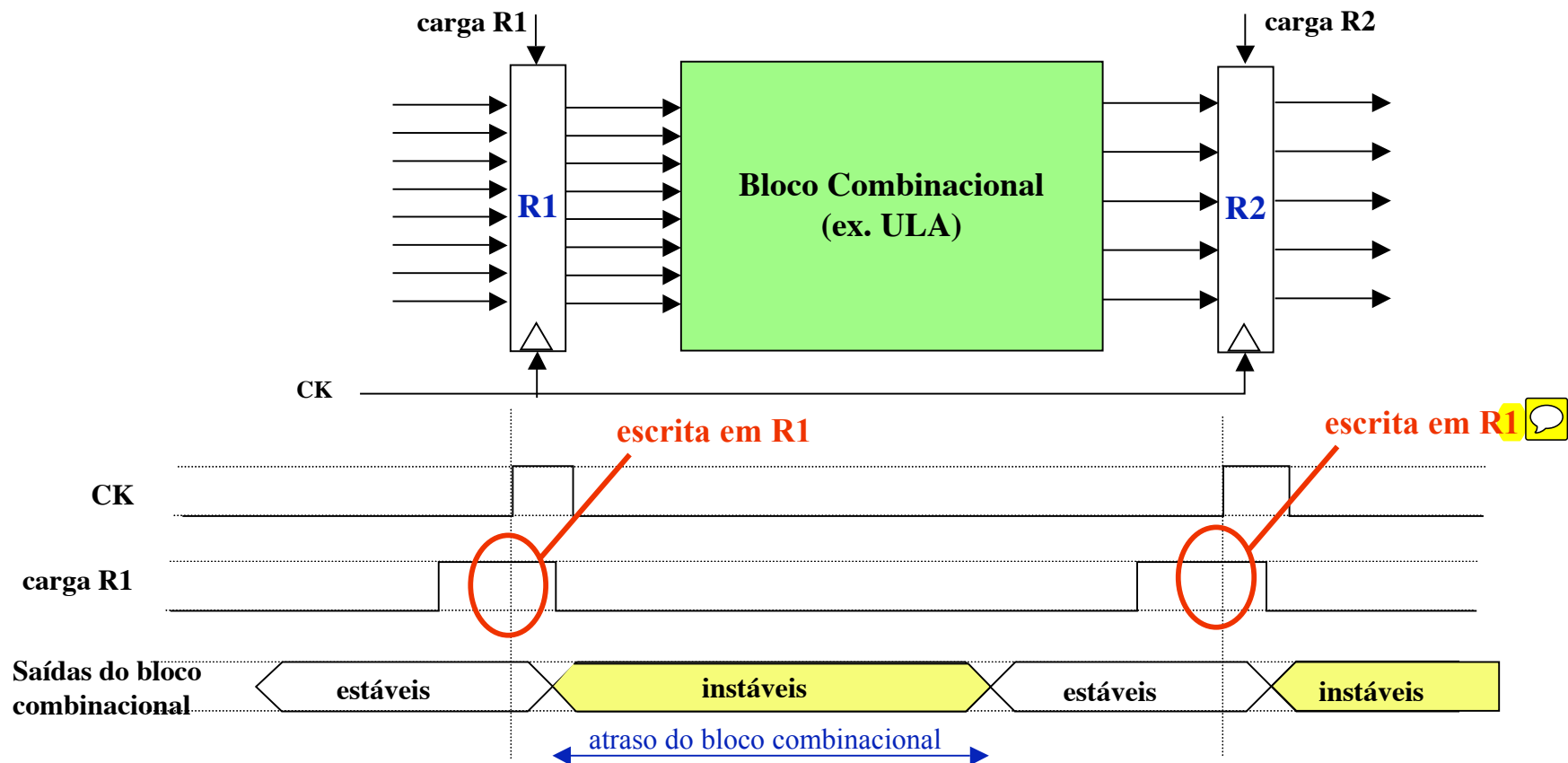


O atraso crítico do bloco combinacional deve ser menor que o período do relógio

2. Organizações do MIPS: monociclo

► Regime de Clock (Temporização)

Temporização para o Correto Funcionamento do Bloco Comb.



2. Organizações do MIPS: monociclo

► **Bloco Operativo Monociclo**

Nesta primeira implementação iremos considerar que:

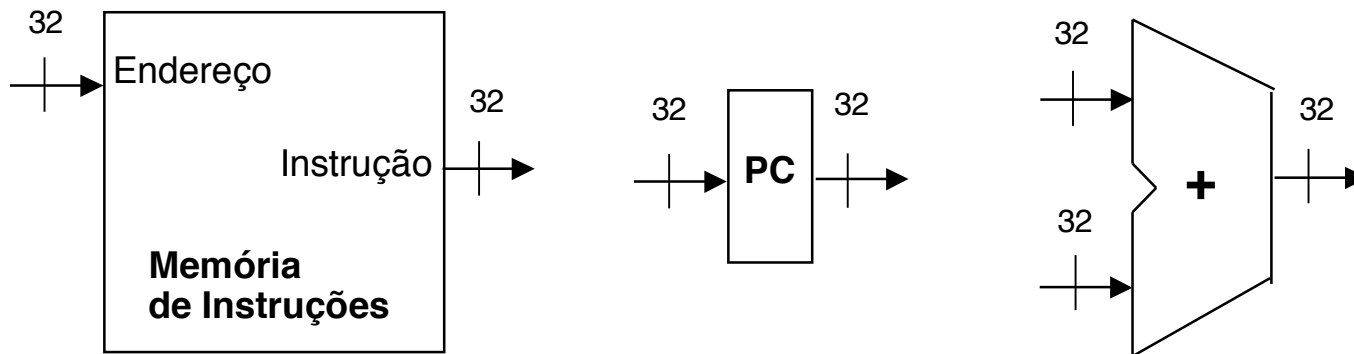
- **Qualquer instrução é executada em um único ciclo de relógio**
- **O período do relógio será longo o suficiente para acomodar qualquer instrução**
 - Na verdade, o período do relógio será função da instrução mais demorada

2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Elementos Necessários Para a Busca da Instrução:

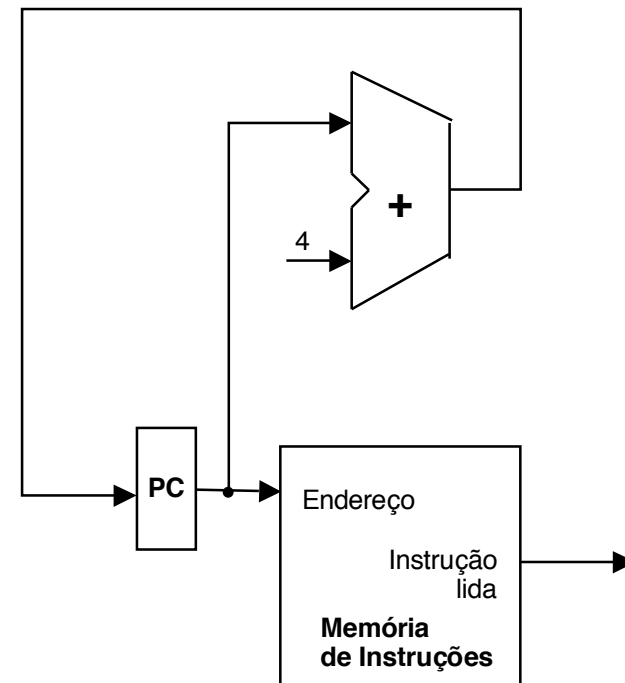
- a memória onde estão armazenadas as instruções
- o contador de programa (PC) para armazenar o endereço da instrução
- um somador para calcular o endereço da próxima instrução



2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

- O contador de programa contém o endereço da instrução em execução
- O endereço da próxima instrução é obtido pela soma de 4 posições ao contador de programa
- A instrução lida é usada por outras porções do bloco operativo

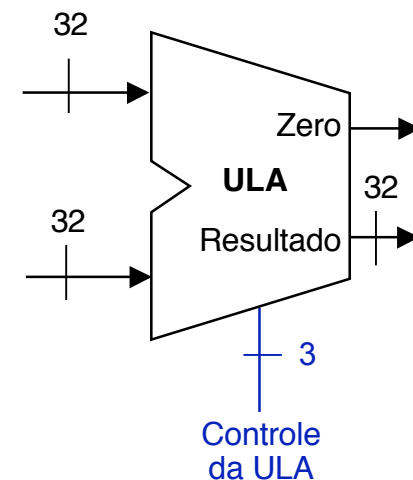
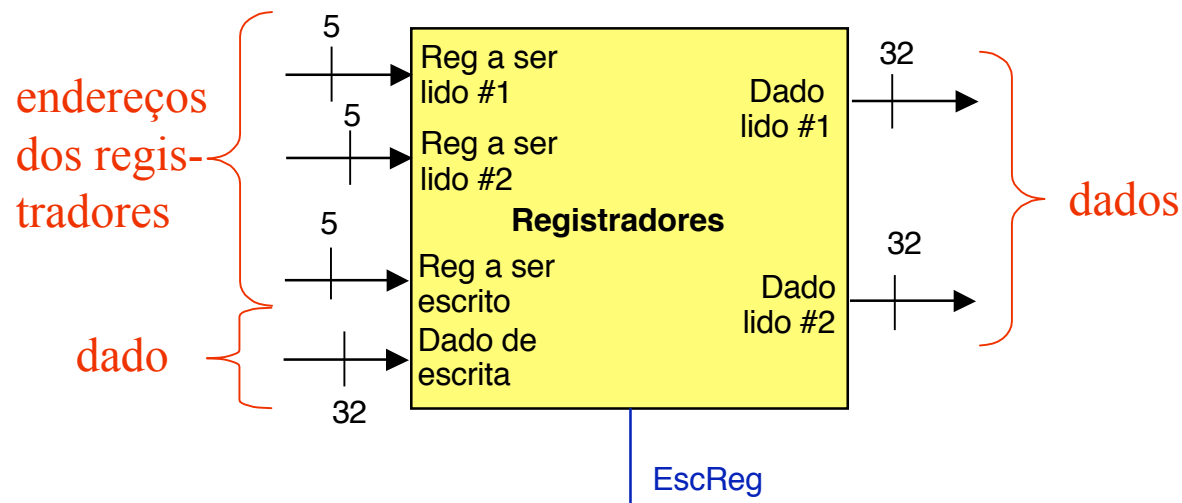


2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Elementos Necessários para Execução de Instruções tipo R:

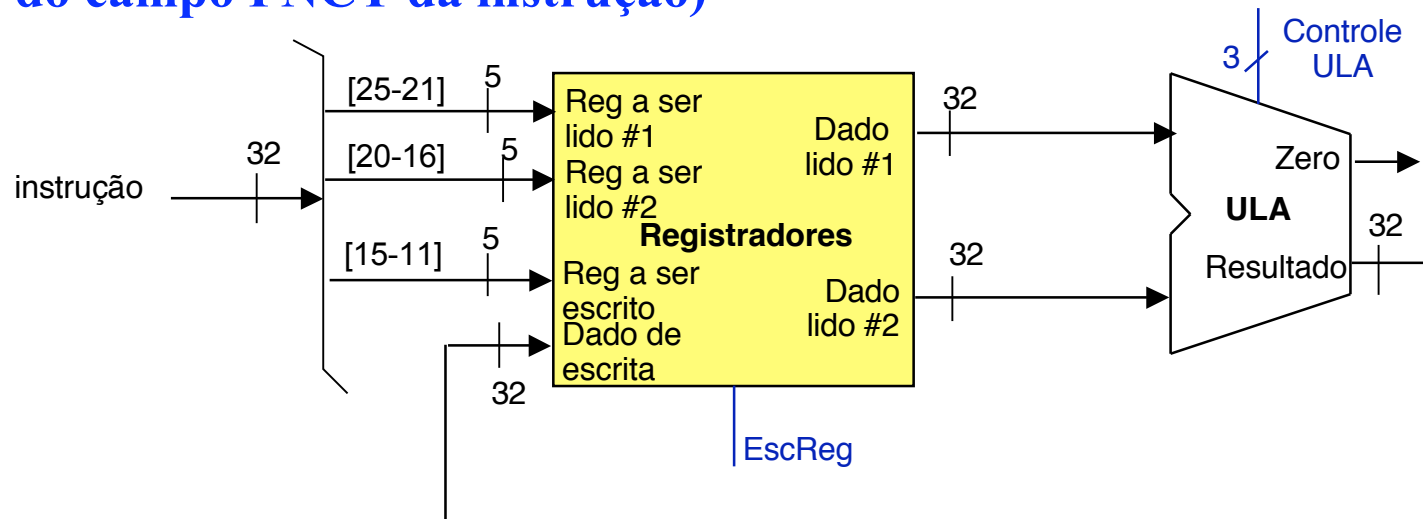
- Um banco de registradores para armazenar os operandos e o resultado das operações
- Uma Unidade Lógica/Aritmética (ULA) que será utilizada para realizar as operações



2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

- A instrução (fornecida pelo hardware de busca de instruções) contém o endereço de três registradores
- Dois destes registradores são lidos e passados para a ULA realizar a operação
- O resultado é armazenado em um terceiro registrador
- O controle da ULA determina a operação que será realizada (a partir do campo FNCT da instrução)

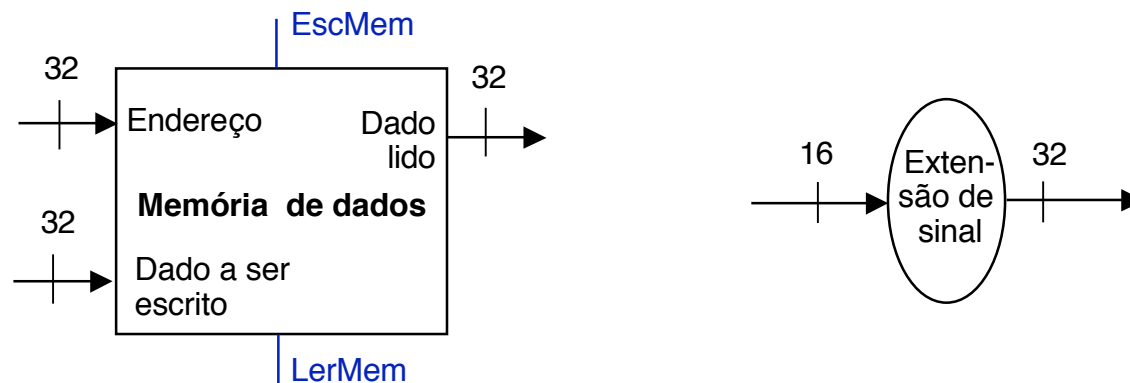


2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Elementos Necessários para Executar lw e sw

- Uma memória de dados
- Um módulo de extensão de sinal
- Um banco de registradores (já mostrado)
- Uma ULA (já mostrada)

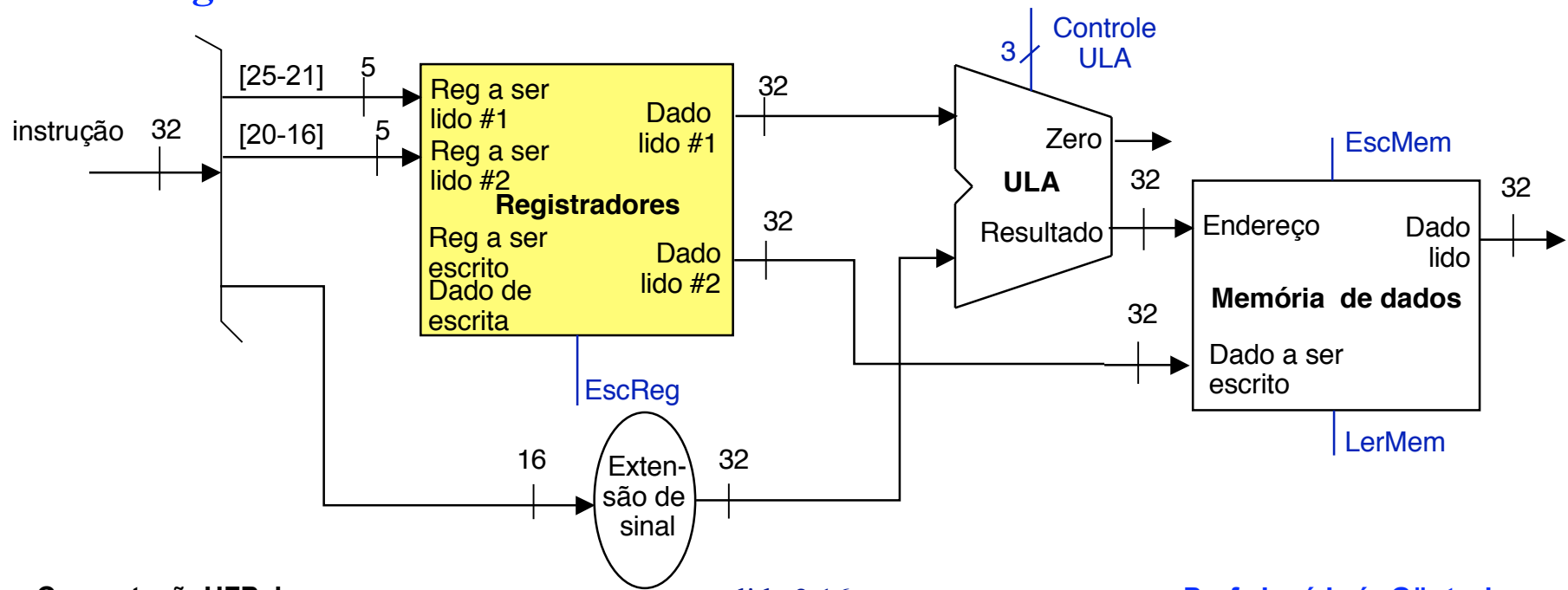


2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Combinando os Elementos para uma Escrita na Memória (sw)

- O endereço de escrita é obtido pela soma de um registrador de base (registrador 1) com um deslocamento de 16 bits estendido para 32 bits
- O registrador 2 é escrito na memória

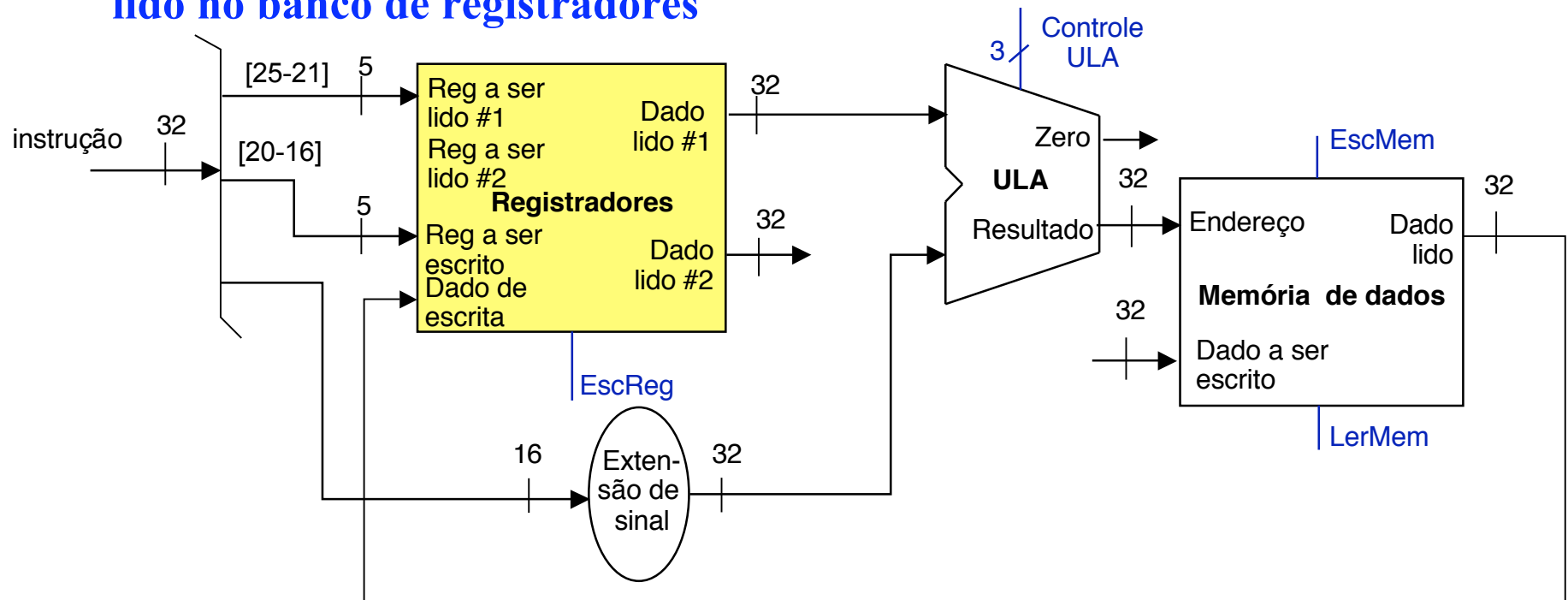


2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Combinando os Elementos para uma Leitura da Memória (lw)

- O processo de leitura é semelhante ao de escrita
- A diferença básica é a existência de um caminho para escrever o valor lido no banco de registradores

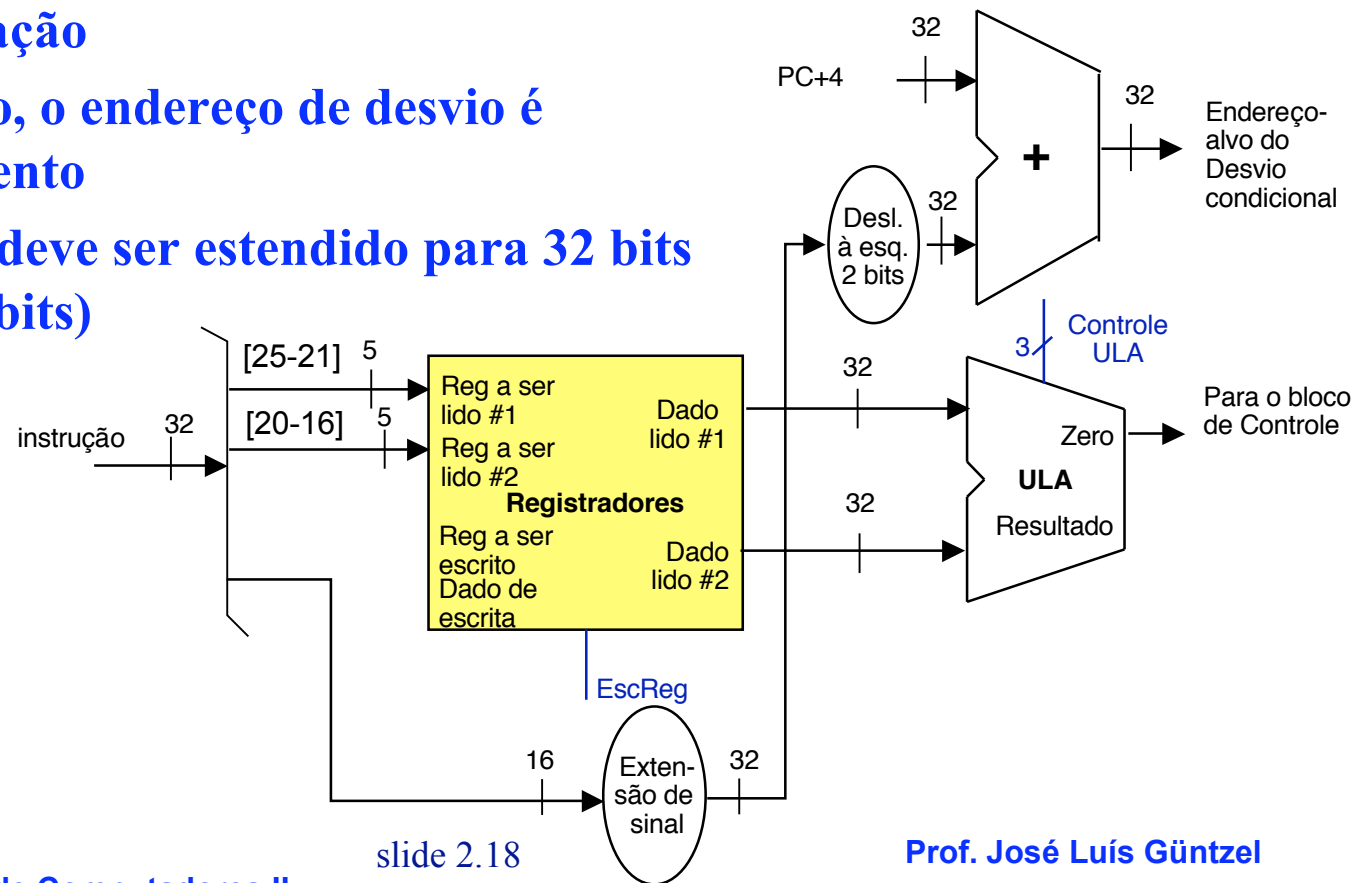


2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Elementos Necessários Implementar um Branch on Equal

- Comparar dois registradores usando a ULA para fazer uma subtração
- Se ocorrer desvio, o endereço de desvio é $PC+4+\text{deslocamento}$
- O deslocamento deve ser estendido para 32 bits (pois está em 16 bits)



2. Organizações do MIPS: monociclo

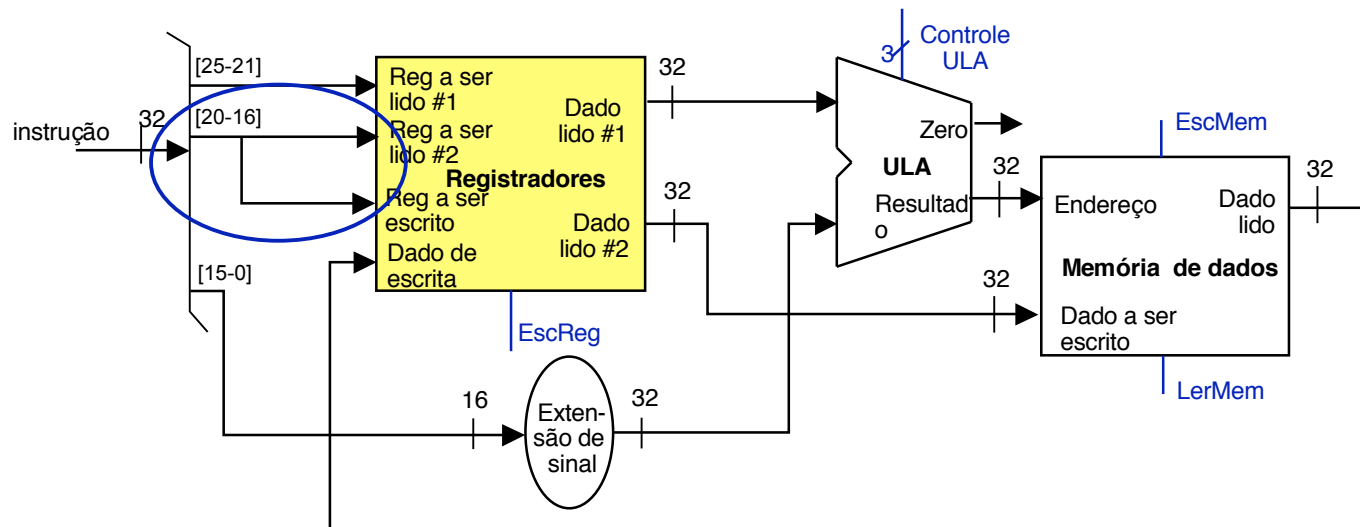
► Compondo o Bloco Operativo Monociclo

- Nesta versão de bloco operativo qualquer instrução executa em um ciclo de relógio
- Isto significa que o período do relógio deverá ser suficientemente longo para acomodar a instrução mais demorada
- **Durante a execução de uma instrução qualquer, cada unidade funcional só pode ser usada uma única vez**
- Por isso necessitamos de uma memória de instruções e outra de dados
- Ao combinarmos as porções de bloco operativo vistas anteriormente, veremos que muitas unidades funcionais podem ser compartilhadas

2. Organizações do MIPS: monociclo

► Compondo o Bloco Operativo Monociclo

Recursos para executar instruções lw ou sw

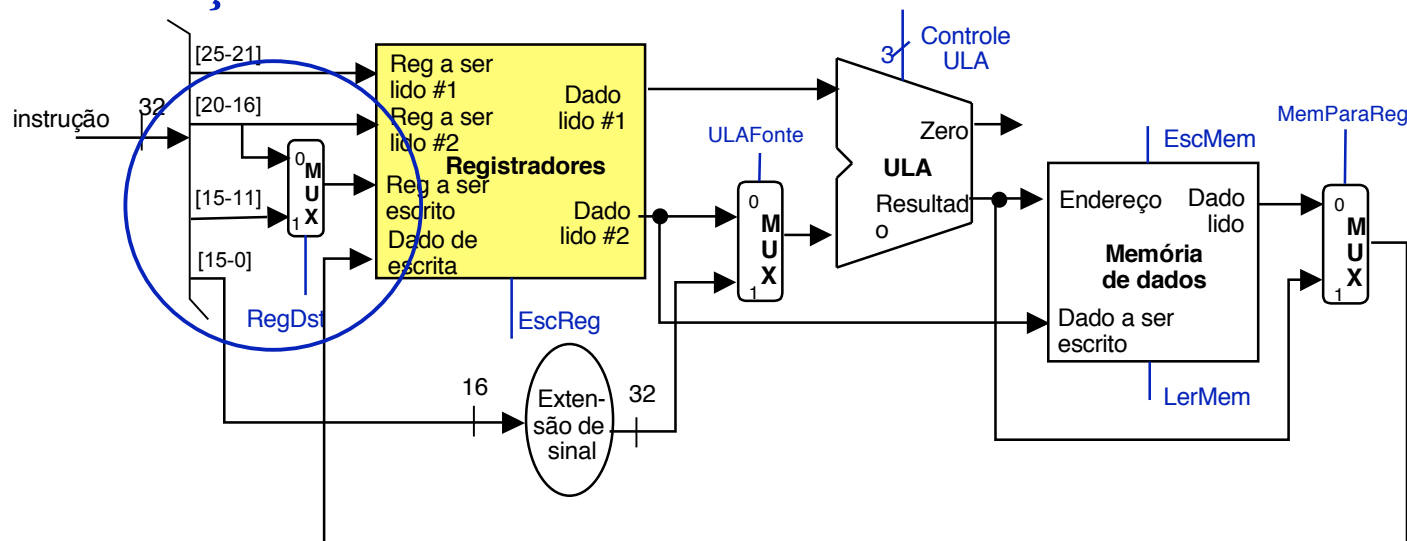


- Para **sw**, campo Rt (bits 20-16) designam registrador cujo conteúdo será escrito na memória de dados
- Para **lw**, Rt (bits 20-16) designam registrador que será carregado com valor lido da memória de dados

2. Organizações do MIPS: monociclo

► Compondo o Bloco Operativo Monociclo

Combinando os recursos para executar instruções tipo R ou instruções lw e sw...

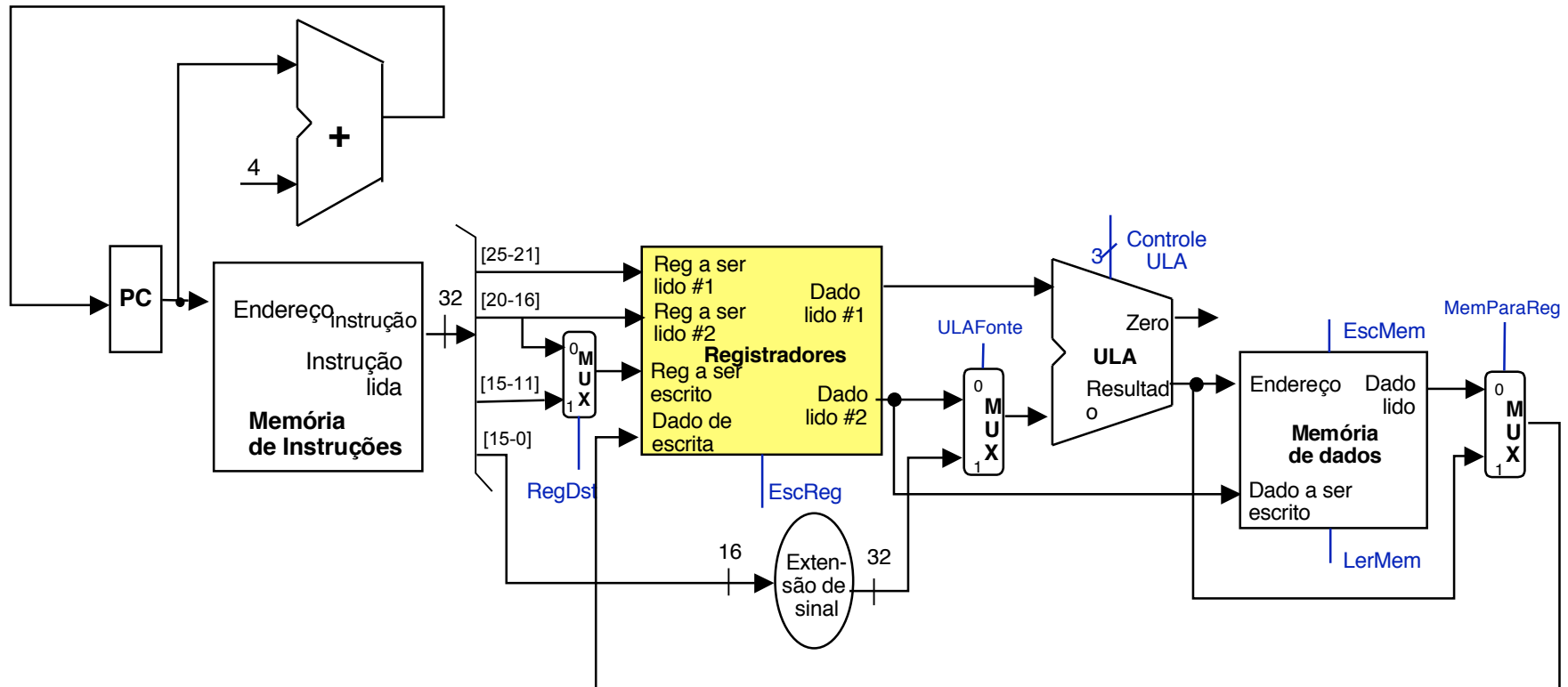


- Para **lw**, o endereço do registrador a ser escrito está no campo Rt (bits 20-16)
- Para **instruções tipo R**, o endereço do registrador a ser escrito está no campo Rd (bits 15-11)

2. Organizações do MIPS: monociclo

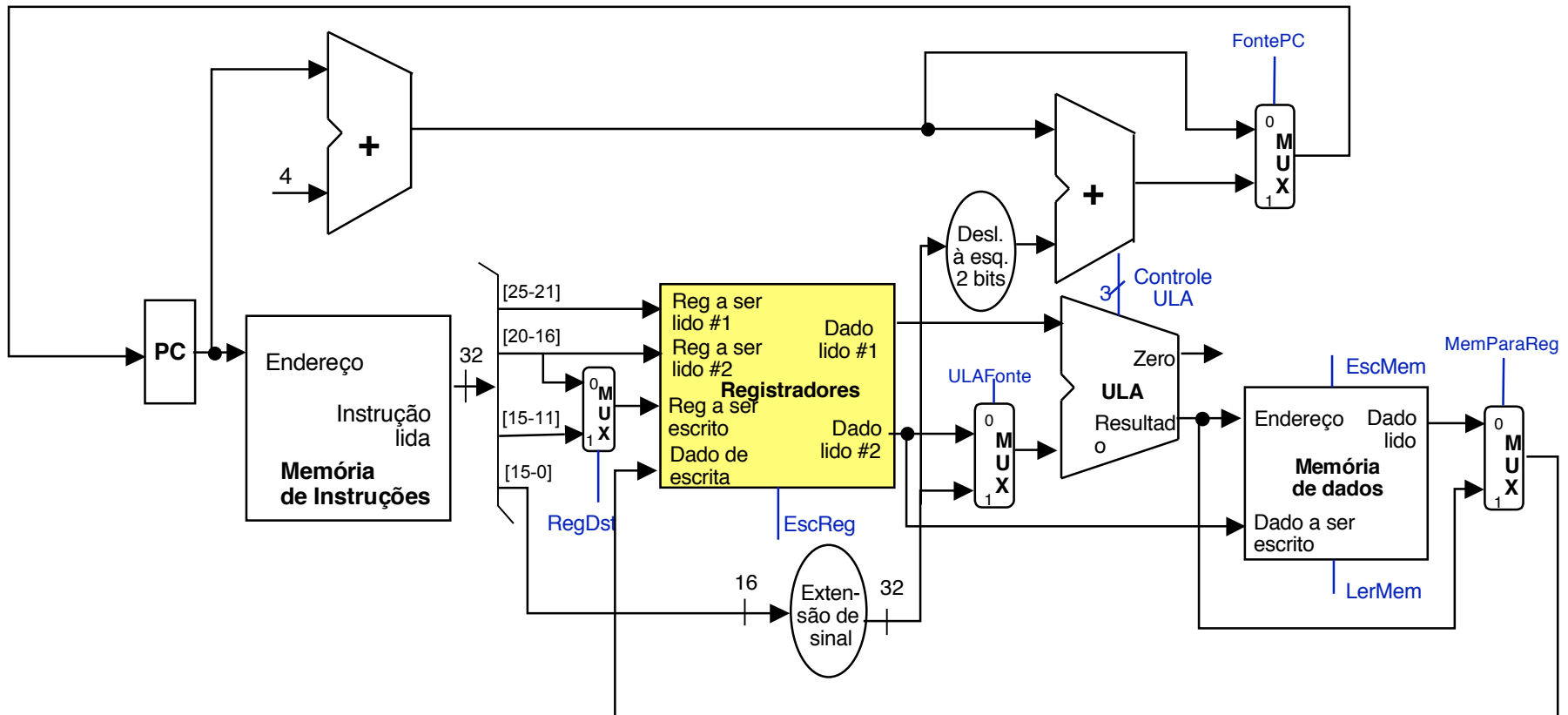
► Compondo o Bloco Operativo Monociclo

Acrescentando os Recursos para a Busca da Instrução e o Cálculo do Próximo Endereço (exceto em desvios)



2. Organizações do MIPS: monociclo

► Compondo o Bloco Operativo Monociclo Acrescentando os Recursos para Executar Desvio Condicional (Branch on equal)



2. Organizações do MIPS: monociclo

► **Bloco Operativo Monociclo**

Estimativa da Frequência Máxima de Funcionamento

- ao final de cada ciclo de relógio o PC é carregado com um novo valor
- mudança no valor do PC se propaga através de uma grande lógica combinacional
 - memória de instruções => banco de registradores => ULA => memória de dados => banco de registradores
- período do ciclo de relógio deve ser maior do que máximo atraso de propagação através desta lógica combinacional

2. Organizações do MIPS: monociclo

► Bloco Operativo Monociclo

Exemplo de Cálculo

- supondo os seguintes atrasos:
 - memórias: 4 ns
 - ULA: 2 ns
 - banco de registradores: 1 ns
 - somadores: 1 ns
 - demais componentes: atraso desprezível

instrução	busca	Lê registradores	Cálculo na ULA	Acessa memória de dados	Escreve em registrador	Total
add, sub, and, or	4ns	1ns	2ns	--	1ns	8ns
beq	4ns	1ns	2ns	--	--	7ns
sw	4ns	1ns	2ns	4ns	--	11ns
lw	4ns	1ns	2ns	4ns	1ns	12ns

período do ciclo de relógio deve ser maior do que 12 ns (cerca de 83 MHz)