

Velkommen til labforelesnining 4

TFE4101

Hva skal vi gjennom

- Presentasjon av absoluttverdikortet.
- Stige- og falltid.
- Forplantningsforsinkelse.
- Halvaddereren på tavle, dersom det trengs.
- Feilsøking

Laboppgave 4 Absoluttverdikrets

- Ferdiglaget kort med port-krester.
- Øvre kretser er for å dekode binær til 7-segment. Nedre er logikkretser dere skal koble ved hjelp av kretskortsokkelen og labledninger.
- Kun til utlån!



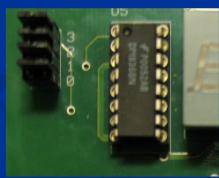
Hva er på kortet Integritt regulator

- Skal IKKE bruke strømforsyningen som '1'
- Kan bli ubehagelig varm.
- Forsyner kretsene med 5V



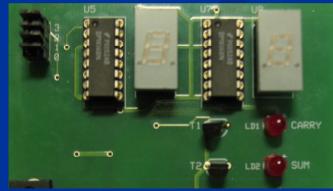
Hva er på kortet Koblingstifter

- Setter tilhørende inn-bit til '1'
- (Ikke mist dem.)



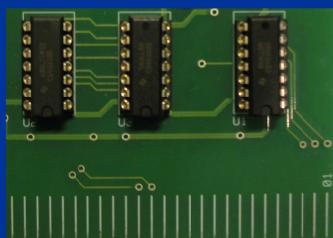
Hva er på kortet 7-segment

- Venstre 7-segment viser inn-verdi
- Høyre viser ut-verdi
- SUM og CARRY viser utgangene for første halvadderer



Hva er på kortet AND- og XOR-logikk

- 2 stk CD4030BE – 4stk 2-pot X-OR
- 1 stk CD4081BE – 4stk 2-pot AND
- Brukes til å lage absoluttverdikrets



Laboppgaven

- Designe en absoluttverdikrets.
- Koble opp en og teste absoluttverdikretsen.
- Måle og få innsikt i stige og falltid, samt forplantningsforsinkelse



Laboppgaven

- Forarbeid alpha og omega!
- Hold god orden, både i tegninger og på lab
- Denne oppgaven blir det mye kobling i



Stige og falltid

- Vi husker fra laboppgave 2, at utgangen på en CMOS-krets har en motstand: R_d
- Nytt er at inngangen, og ledningene i kretsen, utgjør en kondensator.
- Vi får med dette et RC-ledd.

Stige- og falltid

- Pga transistoren ikke oppfører seg som en linear mostand, vil stige- og fallspenningen være mer linear enn eksponensiell.
- Stigetid måles fra spenningen starter fra 10% til den når 90%. Falltid fra 90% til 10%.



Stige- og falltid i datablad

- Transition Time i datablad.
- Husk å bruk data for riktig Vdd. Vdd = 5V
- Merk forutsettningene for dataene

Texas INSTRUMENTS CMOS Quad 2-Input NAND Gate CD4011UB			
Data sheet acquired from Harris Semiconductor SCH80212 - Revised September 2003			
Dynamic electrical characteristics at: $T_A = 25^\circ C$, Input t_{PLH} and $t_{PHL} = 20$ ns, $C_L = 50$ pF, $R_L = 200$ k Ω			
CHARACTERISTICS	CONDITIONS	LIMITS	UNITS
	V_{DD} [V]	Min Typ Max	
t_{PLH}, t_{PHL}	5 10 15	- 60 120 - 80 160 - 28 50	ns
t_{Rise}, t_{Fall}	5 10 15	- 100 200 - 50 100 - 40 80	ns
Input Capacitance, C_{IN}	-	- 10 15	pF
Input logic-low V_{IL}	5 10 15	- 0.5 1.5 - 0.5 3 - 0.5 4	V
Input logic-high V_{IH}	5 10 15	- 3.5 $V_{DD}+0.5$ - 2 $V_{DD}+0.5$ - 1.1 $V_{DD}+0.5$	V

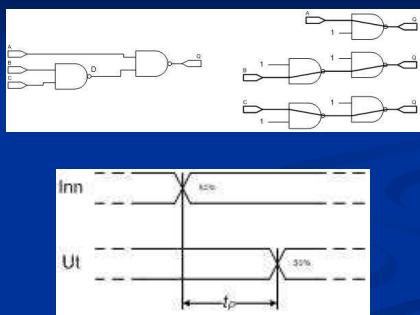
Forplantningsforsinkelse

- Portkretsene er koblet den ene etter den andre.
- Dette gir oss mange RC-ledd i serie.
- Fra vi setter et inngangssignal til vi får gyldig verdi ut, vil det derfor ta tid for alle RC-leddene til å nå stabil verdi.

Forplantningsforsinkelse

- Forskjellige portkretser har forskjellig forsinkelse.
- Vi må identifisere kritisk sti, den stien gjennom vår krets som tar lengst tid.
- MERK! Forplantningsforsinkelse måles fra inngangssignalet når 50% og til utgangssignalet når 50%. Merk forskjell fra stige- og falltid som går fra 10%-90%.

Forplantningsforsinkelse



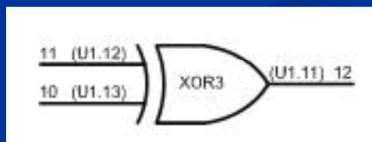
Forplantningsforsinkelse

- «Propagation Delay Time» i databladet.
- Husk å bruk data for riktig Vdd. Vdd = 5V
- Merk forutsetningene for dataene

Texas Instruments		CMOS Quad 2-Input NAND Gate CD4011UB		
Data sheet acquired from Texas Semiconductor Semiconductor Data Sheet Catalogue 2000				
CHARACTERISTICS	CONDITIONS V_{DD} [V]	LIMITS		UNITS
		Min	Typ	
Propagation Delay Time, t_{PLH}, t_{PHL}	5, 10, 15	-	60, 30, 25	ns
Transition Time, t_{TTL}, t_{TTU}	5, 10, 15	-	100, 50, 40	ns
Input Capacitance, C_{IN}	5, 10, 15	-	10, 15	pF
Input logic-low, V_{IL}	5, 10, 15	-0.5	1.5, 3, 4	V
Input logic-high, V_{IH}	5, 10, 15	3.5, 7	-	$V_{DD}+0.5$

Hvordan feilsøke

- Første nummer er nummer på kretskortskokkelen.
- Nummer i parentes er IC-nummer og bein-nummer.



Hvordan feilsøke

- IKKE «koble opp på nytt», finn feilen!
- Begynn med å måle inngangssignalet på portkretsen.
- Mål deretter utgangssignalet. Sjekk om det stemmer.
- Mål deretter inngangen på neste portkrets.
- ... Følg signalgangen til det ikke stemmer

Hvordan feilsøke

- Vanlige feil:
 - Koblingsfeil / slurvefeil
 - Løsningsfeil
 - Utstyrfeil, ofte ledninger. Det kan være brudd i labledninger.
- God feilsøkingsteknikk er verdifult i mange sammenhenger. Ikke bare på elektrolaben.

Vell møtt på lab