

Absoluttverdi 4-bit

Labrapport for laboratorieøving 4

Krets- og Digitalteknikk
TFE4101, labplass 49, pulje 3,
1. semester Høst 2015

Cale, Rendell og Fossøy, Synne

Utført: 2. nov 2015, Levert: 19. nov 2015

Sammendrag

Absoluttverdikretser er kretser som tar inn et tall og, dersom det er negativt, utfører 2's komplement. I dette laboratoriearbeidet koblet vi opp et utdelt absoluttverdikretskort og testet det ift. kritisk sti, forplantingsforsinkelse og maksimal frekvens. Med et oscilloskop ble forplantingsforsinkelsen gjennom kritisk sti målt til 592 ns og inngangssignalet til kretsen kan da ikke være høyere enn 845 kHz. Begge disse hadde ca. 10 % avvik fra de teoretiske beregningene. Vi oppdaget at kretsen kunne forenkles ved å fjerne en halvadder og en XOR port. Det kan tenkes at en slik endring ville både redusert produksjonskostnadene og økt maksimal frekvens.

Innhold

1	Introduksjon	1
2	Teori	1
2.1	Representering av binærtall	1
2.1.1	2's komplementform	1
2.1.2	Absoluttverdi	3
2.2	Kretselementer	3
2.2.1	Inverteringskrets	3
2.2.2	Addisjonskrets	4
2.2.3	Absoluttverdikrets	6
2.3	Kretsbegrensinger	6
2.3.1	Kritisk sti	6
2.3.2	Forplantningsforsinkelse	7
2.3.3	Stige-/falltid	8
2.3.4	Maksimal Klokkefrekvens	8
3	Utstyrliste	9
4	Laboratoriearbeid	9
5	Diskusjon	13
6	Konklusjon	14
7	Kilder	14
8	Vedlegg	I
8.1	Boolsk algebra i kretselementer	I
8.2	Mer om addisjonskretser	III
8.3	Absoluttverdikrets fra labheftet	IV
8.4	Datablader (utdrag)	V

1 Introduksjon

Denne rapporten tar for seg testing og måling på en forhåndslaget 4-bits absoluttverdikrets, som var en laboratorieøving i TFE4101, Krets- og digitalteknikk. Gjennom arbeidet har vi lært om bruk av oscilloskop og signalgeneratorer, og hvordan kritisk sti og forplantningsforsinkelse setter begrensinger for kretsers ytelse.

I seksjon 2, "Teori", vil vi ta for oss teori som brukes i arbeidet og gå gjennom kretsens oppbygging. I seksjon 4, "Laboratoriearbeid", vil fremgangsmåte og resultater bli presentert sammenhengende. Mer utdypende ikke-kritisk teori/informasjon vil være bakerst i seksjon 8, "Vedlegg". En sentral kretstegning fra laboratorieftet er gjengitt i vedlegg 8.3.

Kretsen har en innebygd spenningsregulator som gjør at kretselementene alltid har 5 V over seg, så alle databladreferanser o.l. er gjort med dette i bakhodet.

2 Teori

2.1 Representering av binærtall

MSB "Most Significant Bit"

det bittet i et binært tall som har størst vektning (mest til venstre)

LSB "Least Significant Bit"

det bittet i et binært tall som har minst vektning (mest til høyre)

2.1.1 2's komplementform

Vi ønsker å representere binære tall på en form som møter flere kriterier. Formen burde være posisjonsvektet, ha MSB som fortegnsgitt, muliggjøre enkel implementasjon av addisjon og subtraksjon, ha unik representasjon av alle tall.

En form som møter disse kravene er 2's komplement. Positive 2's komplementtall blir representert helt likt som "vanlige" binære tallsystemer som sign-magnitude. 2's komplementtall har fortegnsgitt, som vil si at når MSB er 1, f. eks. 1001_2 er tallet negativt, og for å finne ut magnituden til tallet må man ta 2's komplement av tallet. Mer generelt sier vi at radix-komplement til et tall er definert som

$$\bar{D} = r^m - D \quad (1)$$

hvor r er basen til tallet og m er antall siffer [1]. Så med dette kan vi regne ut 2's komplementtallet 1001_2 .

$$\overline{1001}_2 \stackrel{\text{def}}{=} 10_2^4 - 1001_2 \rightarrow 2_{10}^4 - 9_{10} = 16_{10} - 9_{10} = 7_{10}$$

$$\Rightarrow 1001_2 = -7_{10}$$

Denne formen er faktisk posisjonsvektet, men kun hvis MSB har negativ vektning. Dette kan enkelt illustreres med eksemplet 1001_2 som vi vet skal bli -7 i titallsystemet. Bruker reglene for omgjøring til titallsystemet bortsett fra at MSB får negativ vektning

$$1001_2 = -1 * 2^3 + 0 * 2^2 + 0 * 2^1 + 1 * 2^0 = -8 + 1 = -7$$

Det kan tenkes at å implementere dette er en ganske komplisert prosess fordi formelen inneholder eksponensialer og subtraksjon, så for å forenkle prosessen skal vi innføre noen nye begreper.

Sifferkomplement Sifferkomplementet i et generelt tallsystem er definert som

$$d' = (r - 1) - d \quad (2)$$

hvor r er basen og d er sifferet [1]. I base 2 vil utregningen være veldig enkel.

$$0' \stackrel{\text{def}}{=} (2 - 1) - 0 = 1$$

$$1' \stackrel{\text{def}}{=} (2 - 1) - 1 = 0$$

Observer at sifferkomplement i base to er trivielt, fordi det er bare å invertere bittet.

Simplifisert 2's komplement Ved å bruke sifferkomplement er det mulig å forenkle 2's komplement operasjonen. Vi definerer først D' som inverteringen av D , det vil si at man tar sifferkomplement av alle bittene til D . Med dette er det mulig å vise en ny ekvivalent definisjon av radix komplement [1].

$$\bar{D} = D' + 1 \quad (3)$$

Demonstrerer dette igjen med tallet 1001_2 , som vi vet skal bli -7_{10} .

$$\overline{1001}_2 = 0110_2 + 1_2 = 0111_2 = 7_{10} \quad (4)$$

2's komplement operasjonen gir oss størrelsen til tallet så utregningen over gir oss igjen at 1001_2 sin størrelse er 7 og vet at siden MSB er 1, så er fortegnet negativt, altså -7 . Fordelen med denne versjonen av 2's komplement er at invertering og addisjon er vesentlig enklere å implementere enn multiplikasjon og subtraksjon.

2.1.2 Absoluttverdi

Med 2's komplement er det veldig rett fram å ta absoluttverdien av ett tall. Grunnen til dette er at 2's komplementform har MSB som fortegnstegn, og at prosessen som definerer 2's komplement også gir absoluttverdien til tallet. Dette betyr at hvis MSB er 1, så vil 2's komplement av tallet gi absoluttverdien til tallet. Dette blir faktisk gjenspeilet i ligning 4. Hvis MSB er 0 vil absoluttverdien av tallet bare være tallet selv. I tabell 1 er en oversikt over de mulige kombinasjonene i med 4-bit og i høyre del er absoluttverdien av tallene. Merk at for å ta absoluttverdien av $-8_{10} = 1000_2$ trengs 5 bit, så siden vi kun har 4 bit vil svaret bli feil.

Tabell 1: Absoluttverditabell for 2's komplement

Binærtall	Heksadesimal	Desimal	Binærtall (abs)	Heksadesimal (abs)
0111	0x7	7	0111	0x7
0110	0x6	6	0110	0x6
0101	0x5	5	0101	0x5
0100	0x4	4	0100	0x4
0011	0x3	3	0011	0x3
0010	0x2	2	0010	0x2
0001	0x1	1	0001	0x1
0000	0x0	0	0000	0x0
1111	0xF	-1	0001	0x1
1110	0xE	-2	0010	0x2
1101	0xD	-3	0011	0x3
1100	0xC	-4	0100	0x4
1011	0xB	-5	0101	0x5
1010	0xA	-6	0110	0x6
1001	0x9	-7	0111	0x7
1000	0x8	-8	<i>1000</i>	<i>0x8</i>

2.2 Kretselementer

2.2.1 Inverteringskrets

For å utføre 2's komplement trenger vi en krets som kan invertere bittene på et ENABLE signal. Vi ønsker å lage en krets som kan sende signal gjennom uendret når ENABLE er 0, og som inverterer signalet når ENABLE er 1. Tabell 10 viser dette som en sannhetstabell.

Tabellen er identisk til en XOR-port sin sannhetstabell så for å lage en 1-bit inverteringskrets ville man brukt en 2 inngangs XOR-port.

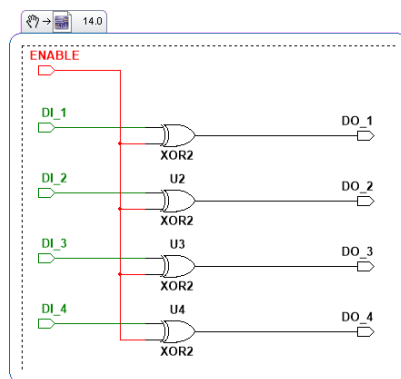
$$DI_1 \oplus EN = DO_1$$

Tabell 2: Sannhetstabell for inverteringskrets

Inn	EN	Ut
0	0	0
0	1	1
1	0	1
1	1	0

En 4-bits inverteringskrets kan lages ved å sette sammen 4 XOR-porter. Hver port tar seg av ett bit, og hvis vi kobler ENABLE-signalene sammen vil de være samkjørte. Et kretsskjema for en slik inverteringskrets er vist i Figur 1.

Figur 1: 4-bits "Inverter" kretsskjema



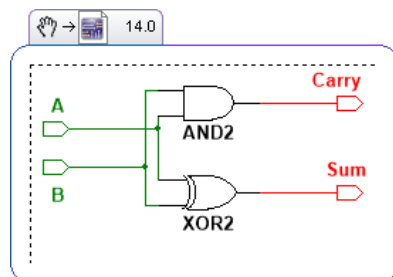
2.2.2 Addisjonskrets

Å addere to binære tall er ikke nødvendigvis en triviell sak. Så for å lage en krets som utfører addisjonen er det lurt å isolere bittene og se på dem hver for seg. Binær addisjon med 1-bits tall er relativt rett frem, og er derfor mye enklere å implementere som en krets.

Halvadderer Ved addisjon av to 1-bits tall A og B er det to resultater som må regnes ut og "lagres"; delsummen S_n og mente ut C_{n+1} . Sammenhengen mellom input og output er vist i Tabell 3, ligning 5 og 6, og Figur 2 viser hvordan kretsen realiseres.

$$S_n = A_n \oplus B_n \quad (5)$$

$$C_{n+1} = A_n B_n \quad (6)$$



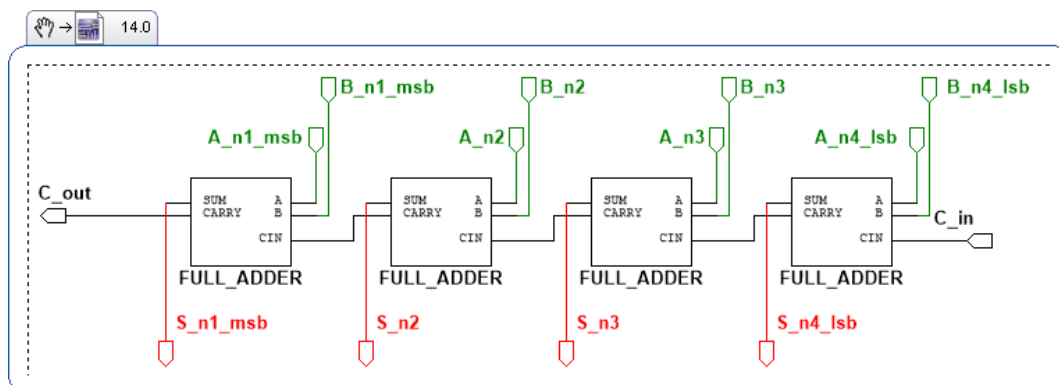
Figur 2: Kretsskjema for halvadderer

Tabell 3: Sannhetstabell for halvadderer

A_n	B_n	S_n	C_{n+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

”Ripple Carry”-adderer En Ripple Carryadderer er en addisjonskrets egentlig bestående av fulladdere. Ved å seriekoble fulladdere slik at menteinngangene går inn i hverandre (se Figur 3) har mente mulighet til å forplante seg gjennom alle fulladderene. Den er på sin mest generelle form altså istand til addere hvilke som helst binære tall av hvilke som helst størrelse, gitt at man har nok fulladdere i kretsen. Figur 3 viser en fire bits versjon.

Figur 3: 4-bits ”Ripple Carry”-adderer kretsskjema

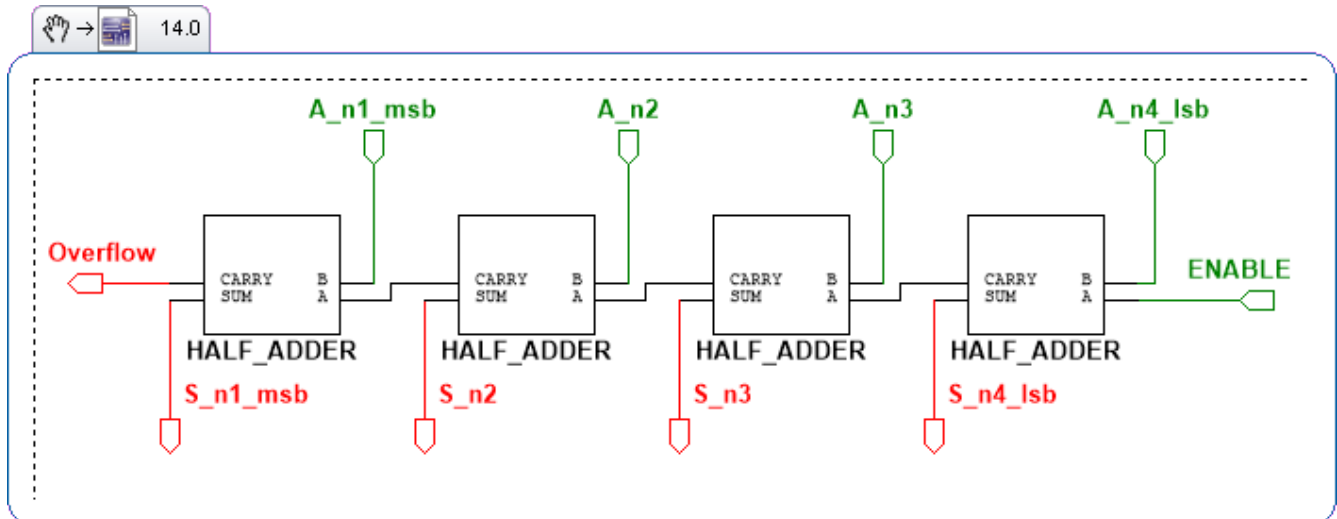


I vedlegg 8.2 står det mer om fulladdere, som er halvaddere med menteinngang, men det eneste man trenger å vite er at alle inngangene i fulladderer er likeverdige så å fjerne menteinngangssignalet C_n vil være ekvivalent med å fjerne B_n . Tabell 3 gjelder altså også hvis inngangene er A_n og C_n .

”Adder med 1”-krets En av funksjonene absoluttverdikretsen må kunne utføre er å addere et tall med 1 på et ENABLE signal. For å gjøre dette skal en simplifisert ”Ripple Carry”-adderer brukes. Å addere med 1 i 4-bits binærtall vil si å addere med 0001_2 . En ”Ripple Carry”-adderer ville fint klart denne addisjonen, men det ville vært overflødig fordi det kun er det minst signifikante bittet som endres, og alle andre er 0 hele tiden. Det er meningsløst å inkludere flere innganger i kretsen som alltid adderer med 0,

så derfor erstattes fulladderene med halvaddere. Figur 4 viser kretsskjema for dette. ENABLE signalet kobles inn i halvadderer til LSB, slik at når ENABLE er 1 vil kretsen addere med 1 på LSB, og ellers vil den addere med 0.

Figur 4: 4-bits "Adder med 1"-kretsskjema



2.2.3 Absoluttverdikrets

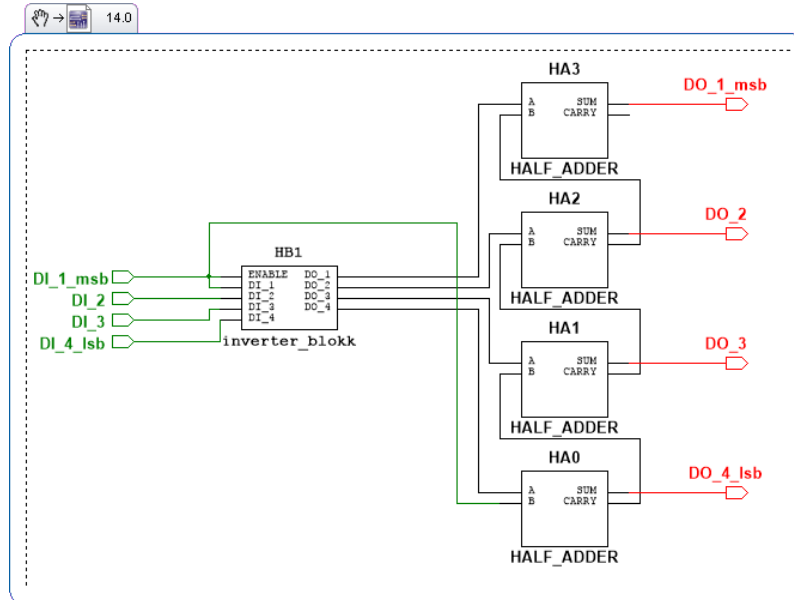
Fra avsnitt 2.1.1 om 2's komplement har vi at 2's komplementoperasjonen krever en invertering og en addisjon-med-1. En absoluttverdikrets må derfor kunne utføre disse operasjonene. Den må også gjenkjenne når den får et negativt tall fordi positive tall skal sendes uendret gjennom. Siden 2's komplement har fortegnbit er det en enkel sak å kjenne igjen negative tall. Hvis MSB er 1 skal både invertering og addisjon-med-1 utføres og hvis MSB er 0 skal ingen av operasjonene utføres. Hvis vi setter ENABLE=MSB så vil kretsen "skru seg av og på" ved riktige tidspunkter. Oppkoblingen av denne kretsen er vist i Figur 5.

2.3 Kretsbegrensinger

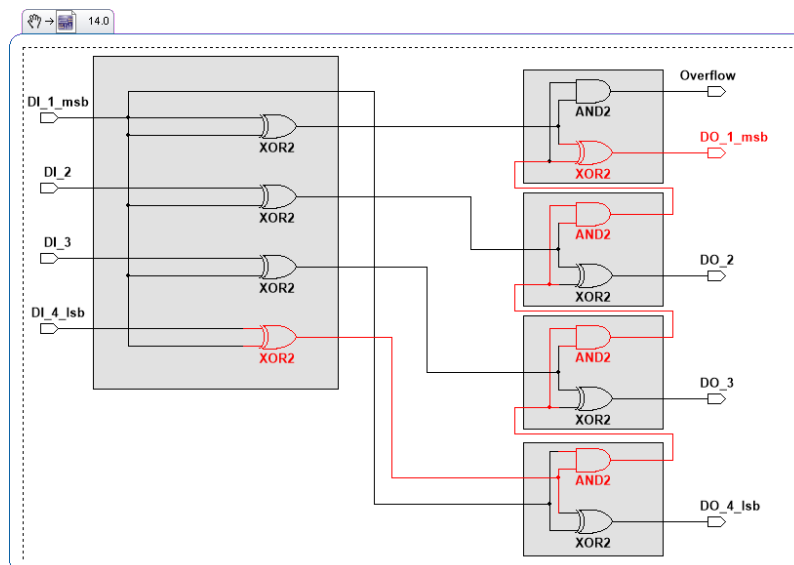
2.3.1 Kritisk sti

I større kretser vil det alltid være flere veier et signal kan bevege seg gjennom på. Kritisk sti til en krets er den veien gjennom kretsen som tar lengst tid. Det er den veien som passerer flest transistorer og i enkle kretser vil det ofte være den veien som har flest logiske porter. I Figur 6 er absoluttverdikretsens kritiske sti uthevet i rødt.

Figur 5: 4-bits Absoluttverdikrets



Figur 6: Kritisk sti i absoluttverdikrets



2.3.2 Forplantningsforsinkelse

Forplantningsforsinkelsen til en krets er et mål på den tiden det tar for et inn- gangssignal å bevege seg gjennom kretsen og bli til et (stabilt) utgangssignal. Den er definert som tiden fra inngangssignalet har steget/falt halvveis til sta- sjonæverdien, til utgangssignalet har steget/falt halvveis til stasjonæverdien

sin. Større kretser vil logisk nok ha lengere forsinkelser, og grunnen til det er at forplantningsforsinkelsen har direkte sammenheng med antall transistorer som signalet må gå gjennom. Vi snakker ofte om forplantningsforsinkelse ift. kritisk sti, fordi da ser vi på "worst case" scenarioet hvor kretsen trenger lengst tid på å utføre kalkulasjonen.

Å regne ut forplantningsforsinkelse er en ganske rett frem prosess siden alle portkretser har en tilhørende forplantningsforsinkelse, og når man har flere porter i serie er det bare å finne summen av alle forsinkelsene. Fra figur 6 ser vi at absoluttverdikretsens kritiske sti har 2 XOR-porter og 3 AND. XOR-porten som skal brukes er en CD4030B og AND-porten er en CD4081B. Fra databladene til disse portkretsene (se vedlegg 8.4) kan vi lese at XOR-porten sin forplantningsforsinkelse er 140 ns, mens AND-porten er 125 ns. Den forventede forplantningsforsinkelsen til kritisk sti blir da

$$2 * 140 \text{ ns} + 3 * 125 \text{ ns} = 655 \text{ ns} \quad (7)$$

Figurreferansene i neste avsnitt er til figurer i databladene i vedlegg 8.4.

Forplantningsforsinkelse øker med lastkapasitans en krets. I figur 7 i databladet for CD4030B (XOR) ser vi at det er en lineær sammenheng mellom kapasitans og forplantningstid. Sammenhengen mellom lastkapasitans og forplantningsforsinkelse for XOR er omtrent 1.25 ns/pF. I figur 4 for CD4081B (AND) er sammenhengen omtrent 0.78 ns/pF.

2.3.3 Stige-/falltid

Stige- /falltid er et mål responsen til kretsen. Stigetiden er den tiden signalet på å stige fra 10 % til 90 % av sin endelige verdi. Falltid er det samme bare reversert, altså tiden det tar for signalet å falle fra 90 % til 10 % av sin endelige verdi [1].

Figurreferansene i neste avsnitt er til figurer i databladene i vedlegg 8.4.

I likhet med forplantningsforsinkelse øker også stige-/falltiden med lastkapasitansen. I Figur 6 for CD4030B (XOR) er sammenhengen omtrent 1.25 ns/pF og det samme gjelder Figur 12 til CD4081B (AND), 1.25 ns/pF.

2.3.4 Maksimal Klokkefrekvens

Maksimal klokkefrekvens er det som avgjør hvor ofte en krets kan bli oppdatert med nye inputsignaler og fremdeles gi et fornuftig outputsignal. Denne frekvensen f_{maks} er definert i ligning 8 [2].

$$f_{maks} = \frac{1}{tidsforsinkelse_{kritisksti}} \quad (8)$$

$$f_{maks,teori} = \frac{1}{655.0 \text{ ns}} = 1.53 \text{ MHz} \quad (9)$$

3 Utstysrliste

Signalgenerator Id. nr.: CJ891410

Oscilloskop Id. nr.: 604-0278

Multimeter Id. nr.: 503-0295

Spenningskilde Id. nr.: FC4403

Absoluttverdikretskort Id. nr.: SY0210.27922-861

Veroboardsokkel

Oppkoblingsledninger BNC-kabler, BNC T-ledd, BNC-banan-overgang, banankabler

4 Laboratoriearbeid

Kontroll av halvadderer Vi plasserte det utdelte kretskortet i veroboardsokkelen og brukte banankabler til å koble sammen nodeparene 28-16, 28-13, 27-15 og 27-14 slik at vi fikk en halvadderer som vist i figur 2. Vi sjekket om halvadderer fungerte som den skulle ved å påtrykke 7 V spenning. Resultatet er i Tabell 4 og det stemte med resultatet fra forarbeidet som er i Tabell 3.

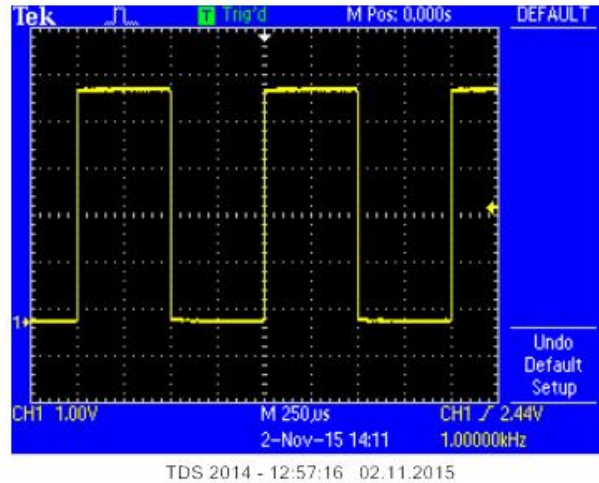
Tabell 4: Kontroll av halvadder

A, port 28	B, port 27	Carry	Sum
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Absoluttverdikrets Vi koblet opp absoluttverdikrets med banankabler slik at skulle få en krets tilsvarende den i figur 5. Kretsens kortslutningsbøyer ble fjernet og vi sjekket om denne kretsen fungerte som den skulle ved å påtrykke 7 V spenning. Kretsen gav riktige verdier, som var samme som i tabell 1.

Måling av forplantningsforsinkelse Fulgte prosedyren for probesjekk/probekalibrering C.6.1 i labheftet [2] for å sette opp proben for måling. Vi koblet sammen signalgeneratoren og oscilloskopet med BNC-BNC kabel, og brukte oscilloskopet til å stille inn signalgeneratoren til firkantpuls med frekvens 100 kHz

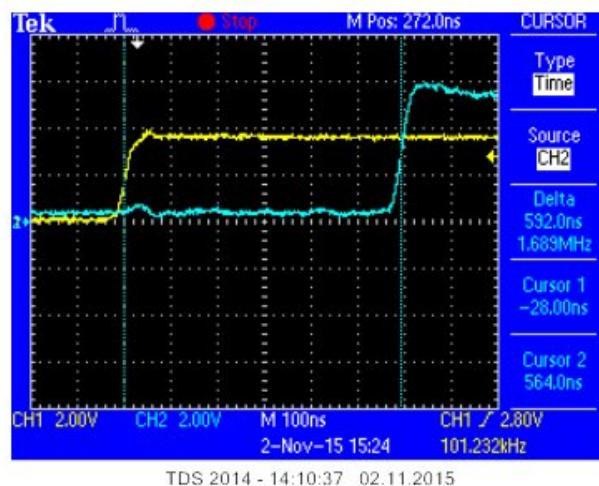
Figur 7: Firkantpuls



og amplitude 2.5 V og et DC-signal på 2.5 V. Det vil si at signalet varierte mellom 0 V og 5 V. Skjermdumpen fra dette er vist i figur 7.

Vi koblet signalgeneratoren til starten av kritisk sti for å måle forplantningsforsinkelsen gjennom absoluttverdikretsen. Deretter målte vi forplantningsforsinkelsen gjennom kretsen ved å plassere proben i den andre enden av kritisk sti. I figur 5 svarer dette til sum-utgangen til HA3 øverst til høyre, som også er pinne U3.11 i figur 18 i vedlegg 8.3. Skjermdumpen fra oscilloskopmålingen er vist i figur 8. Det gule signalet er påtrykket fra signalgeneratoren mens det blå er problemålingen ved utgangen av kritisk sti.

Figur 8: Forplantingsforsinkelse gjennom kritisk sti



I figur 8 satte vi cursor 1 ved 50 prosent av stasjonærverdien til det

inngangssignalet og cursor 2 ved 50 prosent av stasjonærverdien til utgangssignalet. Det vi måler da er forplantingsforsinkelse (gjennom kritisk sti) og den ble 592.0 ns.

Maksimal klokkehastighet Hvis vi har forplantingsforsinkelsen gjennom kritisk sti kan vi regne ut maksimal klokkehastighet med ligning 8.

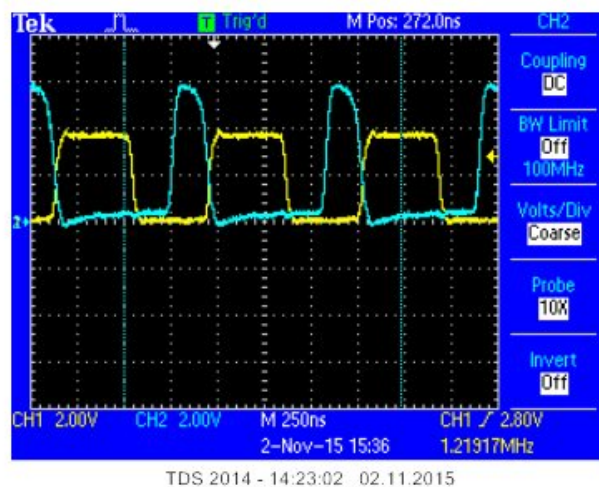
$$f_{maks} = \frac{1}{592.0 \text{ ns}} = 1.69 \text{ MHz}$$

Fordi signalgeneratoren påtrykket en firkantpuls med like lange topper som bunner er den maksimale frekvensen vi kan påtrykke, uten at det får konsekvenser for kretsen, faktisk halvparten av f_{maks} , som vil si at vi får:

$$0.5 * f_{maks} = 845 \text{ kHz}$$

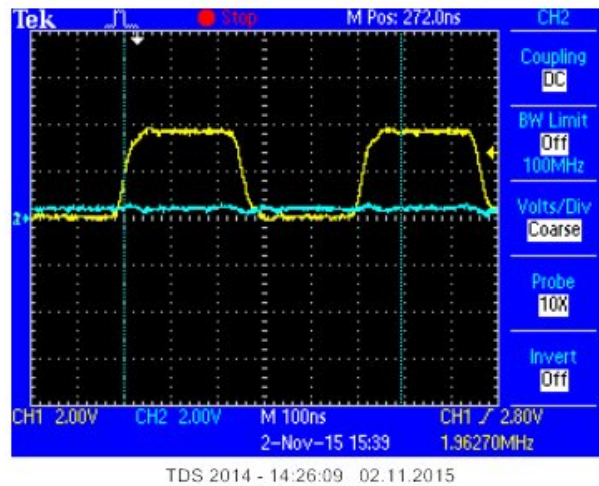
Hvis inngangssignalet går over halvparten av f_{maks} vil ikke utgangssignalet holde seg stabilt lenge slik vist i figur 9, og hvis frekvensen øker ytterligere vil ikke kretsen reagere kjapt nok til at vi ser noen endringer ved utgangen. Dette er demonstrert i figur 10, hvor frekvensen er nesten 2 MHz.

Figur 9: 1.22 MHz, litt over maksimal frekvens



Stige-/falltid Til slutt målte vi stige- og falltiden til de to ulike portene i kretsen, XOR-porten og AND-porten. Vi målte stige- og falltiden til XOR-porten ved å probe samme pinne som vi brukte tidligere da forplantningsforsinkelsen ble målt, altså sum-utgangen til HA3 i figur 5 eller U3.11 i figur 18. Vi målte stige- og falltiden til AND-porten ved å koble proben til pinne U2.3 i figur 18, ettersom dette er utgangen på en AND-port. Brukte measure menyen til oscilloskopet og stilte på "Rise Time" og "Fall Time" på de forskjellige portene. Resultatene er gjengitt i tabell 5.

Figur 10: 1.96 MHz, ,mye over maksimal frekvens

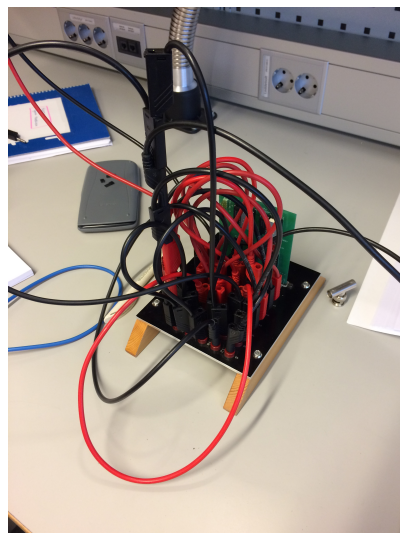


Tabell 5: Målt stige- /falltid for AND og XOR

Porttype	Stigetid	Falltid
AND	35 ns	20 ns
XOR	35 ns	50 ns

I figur 11 er et bilde av hvordan kretsen så ut mot slutten av labarbeidet.

Figur 11: Bilde av oppkoblet krets



Resultatoppsummering og avvik I tabell 6 er alle resultatene beskrevet ovenfor oppsummert med avvik og prosentavvik regnet ut.

$$avvik = |teoretisk - maalt| \quad (10)$$

$$prosentavvik = \frac{avvik}{maalt} * 100\% \quad (11)$$

Tabell 6: Resultatoversikt

	Verdi (teoretisk)	Verdi (målt)	Avvik (absolutt)	Avvik (prosent)
Forplantningsforsinkelse	655 ns	592 ns	63 ns	10 %
Maksimal klokkehastighet	1.53 MHz	1.69 MHz	0.16 MHz	9 %
Stigetid: XOR	100 ns	35 ns	65 ns	185 %
Falltid: XOR	100 ns	50 ns	50 ns	100 %
Stigetid: AND	100 ns	35 ns	65 ns	185 %
Falltid: AND	100 ns	20 ns	80 ns	1600 %

5 Diskusjon

En av forutsetningene for den teoretiske verdiene av forplantningsforsinkelsen er at lastkapasitansen er 50 pF (dette kommer fra databladene til portkretsene) og siden målingen gav 10 % mindre enn den teoretiske kan forklaringen være at lastkapasitansen var mindre enn det vi antok. En kan også lese ut av grafene i databladet for begge portene (XOR og AND) at ved lavere kapasitans vil også tidsforsinkelsen gjennom porten være mindre. Det samme gjelder for stige- og fall-tiden til begge portene, grafene i datablada sier at ved lavere kapasitans vil stige- og fall-tiden bli kortere. Dette stemmer ut i fra resultatene våre, hvor alle fall- og stigetidene til portene ble målt kortere enn de teoretiske verdiene. For eksempel fortalte databladet oss at XOR-porten ville ha en falltid på 140 ns ved 50 pF, mens det som ble målt verdi i kretsen var 50 ns. Videre sa databladet at stigetiden til en AND-port var 125 ns, mens vår målte verdi var 35 ns. Disse forskjellene gir oss altså ytterligere grunn til å tro at kapasitansen i kretsen var lavere enn 50 pF.

Å si nøyaktig hvorfor vi har så mye lavere kapasitans er ikke nødvendigvis åpenbart, men en grunn som er ganske tydelig er illustrert av oppkoblingsbildet i figur 11. Det er mange kabler som går på kryss og tverrs av hverandre, og det kan tenkes at summen av alle disse gir en ikke neglisjerbar kapasitans.

Kretsen har en klar øvre begrensing på frekvenser til inngangssignalet. det ble godt illustrert i figur 9 og figur 10, hvor frekvensene er høyere enn det kretsen skal håndtere. Ser der at utgangssignalet ikke rekker ikke å stabilisere seg. Årsaken til dette er at inngangssignalet endrer seg før det forrige signalet har rukket å gå gjennom de ulike portene i kretsen.

Optimaliseringsmuligheter Ved å tenke litt gjennom funksjonaliteten til kretsen og virkemåten kan man innse at det finnes måter å forbedre kretsen. Det er en absoluttverdikrets som jobber på 2's komplement tall så MSB vil alltid være 0 i utgangssignalet. Hvis MSB hadde vært 1 hadde utgangssignalet vært negativt. XOR-porten som virker på MSB vil også kun være aktivert når MSB i inngangssignalet er 1. Altså er begge inngangssignalene til XOR-porten like. Kan dermed forenkle XOR uttrykket slik:

$$\begin{aligned}x \oplus y &= \bar{x}y + x\bar{y} \\x &= y \\ \Rightarrow x \oplus y &= \bar{x}x + \bar{x}x \\x \oplus y &= 0 \\MSB \oplus ENABLE &= 0\end{aligned}$$

Utgangen av XOR-porten til MSB vil derfor alltid være 0 og porten er dermed overflødig. Utgangen fra XOR-porten går inn i halvadderer til MSB hvor den blir addert med menteut fra forrige halvadderer (HA2 i figur 5. Siden addisjon med 0 ikke endrer noe vil resultatet ut av MSB sin halvadder alltid være lik mente inn i halvadderern, derfor er også HA3 i figur 5 overflødig.

For å ta et lite sidesprang kan det også tenkes at et en absoluttverdikrets med fortegn-tall-verdi ville vært mer effektiv fordi i det tallsystemet kan man ta absoluttverdi ved å sette MSB til 0. Dette er selvsagt enklere å implementere, men 2's komplementsystemet er det systemet som brukes mest fordi det muliggjør enkel implementasjon av addisjon og subtraksjon, og det er en av grunnene til at vi kun har sett på det systemet i dette arbeidet.

6 Konklusjon

En 4 bits absoluttverdikrets vil ha flere begrensende faktorer. Klokkefrekvensen som styrer kretsen må være mindre 845 kHz, og den kan kun ta absoluttverdien av tall mellom -7 og 7 . Ved å fjerne en halvadder og XOR-port kan kretsstørrelsen og produksjonskostnaden reduseres, samtidig som ytelsen forbedres, men hvorvidt en slik krets vil oppføre seg i praksis bør undersøkes nærmere.

7 Kilder

I tillegg til det skriftlige materialet under "Referanser" er en del hentet fra teoriforelesningene til Per Gunnar Kjeldsberg, labforelesningene til Ingulf Helland og forklaringer fra studasser under selve labutførelsen.

Referanser

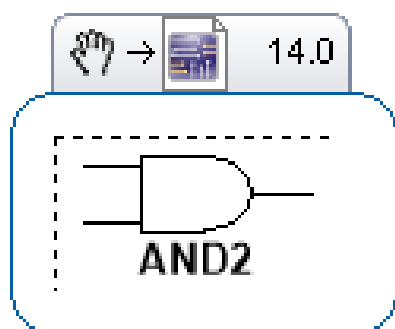
- [1] Svarstad, K., Kjeldsberg, P. G., Svensson, P. & Hergum, R. (eds.) (2014) *Electrical Circuits and digital design, part 2*. Essex: Pearson Education Limited
- [2] Svarstad, K., Yassin, Y. H., Helland, I. & Solvang, H. (2015) *TFE4101 Laboratoriehefte Høst 2015*. Trondheim: NTNU Institutt for elektronikk og telekommunikasjon

8 Vedlegg

8.1 Boolsk algebra i kretselementer

Denne seksjonen vil gi en elementær innføring i hvordan boolsk algebra ser ut i kretser. Vi vil kun ta for oss de elementene som er relevante for denne rapporten.

AND-operasjon 2-inngangs AND porter er porter som gir ut 1 når begge inngangssignalene er sanne. De svarer følgelig til den Boolske AND funksjonen.

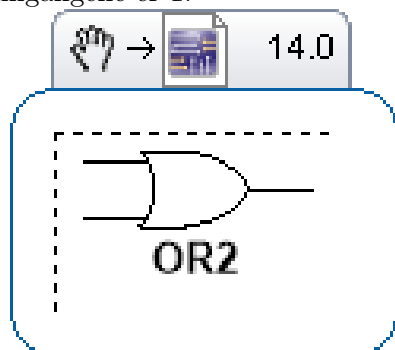


Tabell 7: Sannhetstabell for AND

x	y	xy
0	0	0
0	1	0
1	0	0
1	1	1

Figur 12: "AND" kretssymbol

OR-operasjon 2-inngangs OR-porter er porter som gir ut 1 når minst én av inngangene er 1.

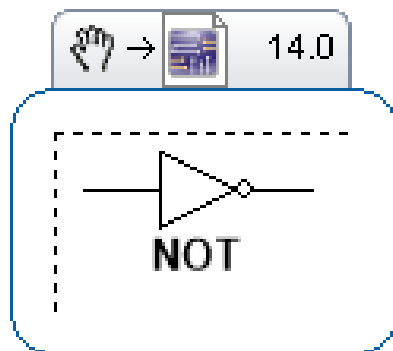


Tabell 8: Sannhetstabell for OR

x	y	$x + y$
0	0	0
0	1	1
1	0	1
1	1	1

Figur 13: "OR" kretssymbol

NOT-operasjon NOT-porter inverterer inngangssignalet.



Figur 14: "NOT" kretssymbol

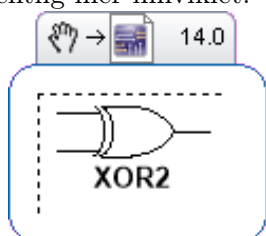
Tabell 9: Sannhetstabell for NOT

x	\bar{x}
0	1
1	0

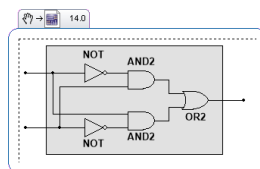
XOR-operasjon XOR er en litt mer avansert funksjon. Det betyr eksklusiv OR og den gir 1 når en av inngangene er 1, men 0 når begge er 1. Algebraisk kan den skrives slik:

$$x \oplus y = x\bar{y} + \bar{x}y$$

Siden XOR-operasjonen er mye brukt i kretser har den et eget symbol. I kretsskissen i figur 15 viser kretssymbolet og figur 16 viser innsiden av dette symbolet som en sammensetning av OR-, AND- og NOT-porter. Merk at virkelige XOR-porter kan se litt annerledes ut på innsiden, men poenget er å vise at kompleksiteten til XOR-operasjonen gjør at selve kretselementet blir vesentlig mer innviklet.



Figur 15: "XOR" krets-symbol

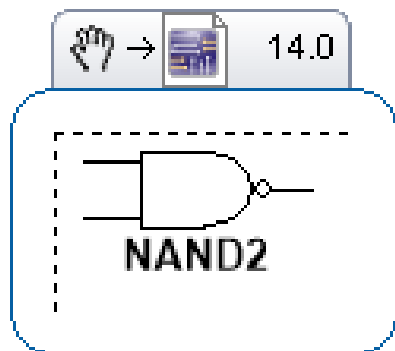


Figur 16: Oppbygning av XOR

Tabell 10: Sannhetstabell for XOR

x	y	$x \oplus y$
0	0	0
0	1	1
1	0	1
1	1	0

NAND-operasjon Dette er den inverteringen av en AND-operasjon og implementeres ved hjelp av en AND- og (en etterfølgende) NOT-port.



Figur 17: "NAND" kretssymbol

Tabell 11: Sannhetstabell for NAND

x	y	\overline{xy}
0	0	1
0	1	1
1	0	1
1	1	0

8.2 Mer om addisjonskretser

Full-adderer For å lage en fullverdig addisjonskrets trenger vi en 1-bit adderer som kan ta hensyn til mente inn. Så i tillegg til inngangssignalene A_n og B_n må den ha et tredje inngangssignal C_n , som tilsvarer mente inn. Sammenhengen mellom signalene er her gitt av sannhetstabellen Tabell 12 og ligning 12 og 13.

$$S_n = A_n \oplus B_n \oplus C_n \quad (12)$$

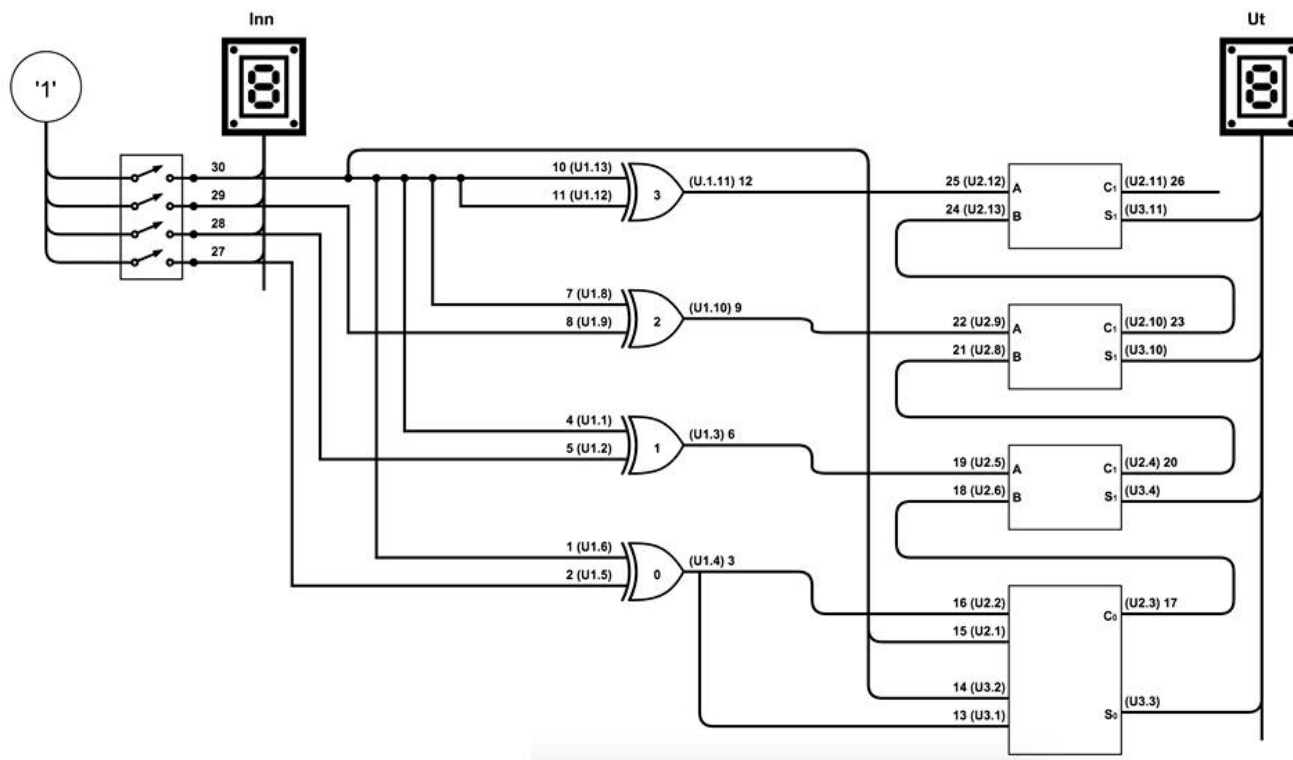
$$C_{n+1} = A_n B_n + A_n C_n + B_n C_n \quad (13)$$

Tabell 12: Sannhetstabell for fulladderer

A_n	B_n	C_n	S_n	C_{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

8.3 Absoluttverdikrets fra labheftet

Figur 18: Gjengivelse av Figur 4-11 i labheftet, laget av Egil Storesund



8.4 Datablader (utdrag)

CD4030B Types

CMOS

Quad Exclusive-OR Gate

High-Voltage Types (20-Volt Rating)

■ CD4030B types consist of four independent Exclusive-OR gates. The CD4030B provides the system designer with a means for direct implementation of the Exclusive-OR function.

The CD4030B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

Features:

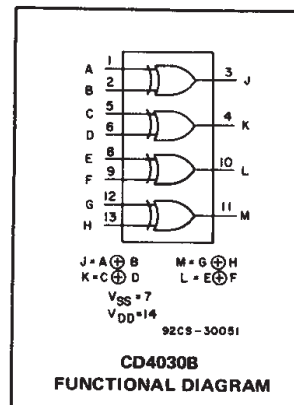
- Medium-speed operation— t_{PHL} , t_{PLH} = 65 ns (typ.) at V_{DD} = 10 V, C_L = 50 pF
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Maximum input current of 1 μ A at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin (over full package-temperature range):

1 V at V_{DD} = 5 V

2 V at V_{DD} = 10 V

2.5 V at V_{DD} = 15 V

- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



Applications:

- Even and odd-parity generators and checkers
- Logical comparators
- Adders/subtractors
- General logic functions

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

Voltages referenced to V_{SS} Terminal) -0.5V to +20V

INPUT VOLTAGE RANGE, ALL INPUTS -0.5V to V_{DD} +0.5V

DC INPUT CURRENT, ANY ONE INPUT ± 10 mA

POWER DISSIPATION PER PACKAGE (P_D):

For T_A = -55°C to +100°C 500mW

For T_A = +100°C to +125°C Derate Linearly at 12mW/°C to 200mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package-Types) 100mW

OPERATING-TEMPERATURE RANGE (T_A) -55°C to +125°C

STORAGE TEMPERATURE RANGE (T_{stg}) -65°C to +150°C

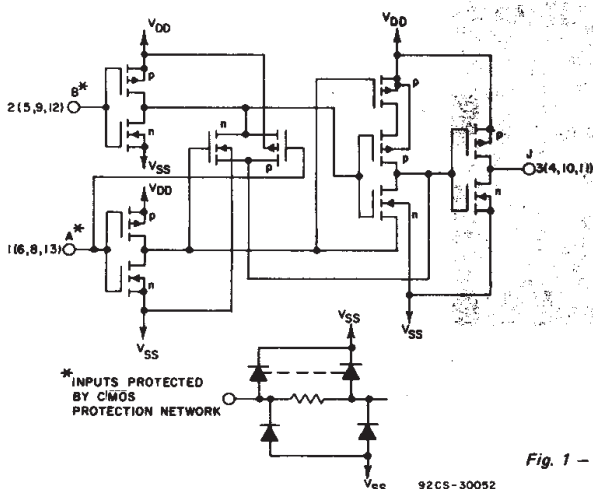
LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 \pm 1/32 inch (1.59 \pm 0.79mm) from case for 10s max +265°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range)	3	18	V



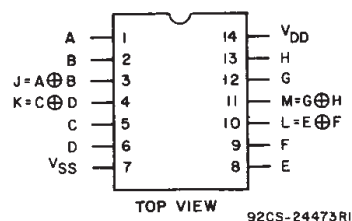
TRUTH TABLE FOR ONE OF FOUR IDENTICAL GATES

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

I = HIGH LEVEL
O = LOW LEVEL

Fig. 1 — Schematic diagram (1 of 4 identical gates).

TERMINAL DIAGRAM Top View



CD4030B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARAC- TERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							U N I T S
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	—	0,5	5	0.25	0.25	7.5	7.5	—	0.01	0.25	μA
	—	0,10	10	0.5	0.5	15	15	—	0.01	0.5	
	—	0,15	15	1	1	30	30	—	0.01	1	
	—	0,20	20	5	5	150	150	—	0.02	5	
Output Low (Sink) Current I _{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I _{OH} Min.	4.6	0,5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0,5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0,10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0,15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage: Low-Level, V _{OL} Max.	—	0,5	5	0.05				—	0	0.05	V
	—	0,10	10	0.05				—	—	0.05	
	—	0,15	15	0.05				—	0	0.05	
Output Voltage: High-Level, V _{OH} Min.	—	0,5	5	4.95				4.95	5	—	V
	—	0,10	10	9.95				9.95	10	—	
	—	0,15	15	14.95				14.95	15	—	
Input Low Voltage, V _{IL} Max.	0.5,4.5	—	5	1.5				—	—	1.5	V
	1,9	—	10	3				—	—	3	
	1.5,13.5	—	15	4				—	—	4	
Input High Voltage, V _{IH} Min.	0.5,4.5	—	5	3.5				3.5	—	—	V
	1,9	—	10	7				7	—	—	
	1.5,13.5	—	15	11				11	—	—	
Input Current I _{IN} Max.	—	0,18	18	±0.1	±0.1	±1	±1	—	±10 ⁻⁵	±0.1	μA

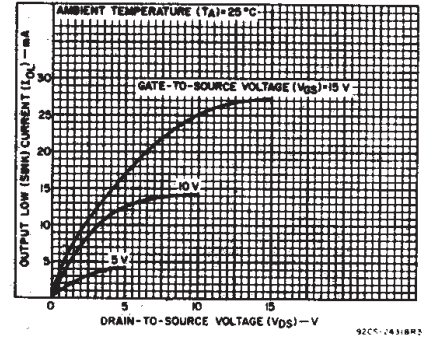


Fig. 2 — Typical output low (sink) current characteristics.

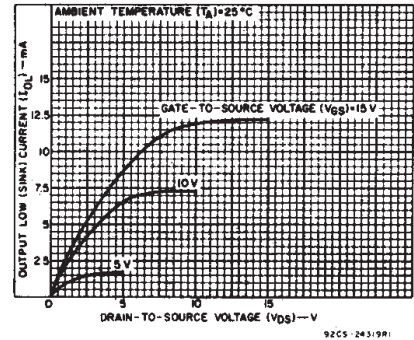


Fig. 3 — Minimum output low (sink) current characteristics.

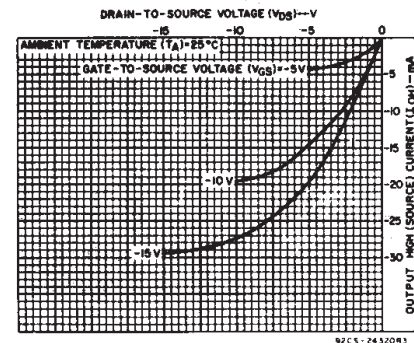


Fig. 4 — Typical output high (source) current characteristics.

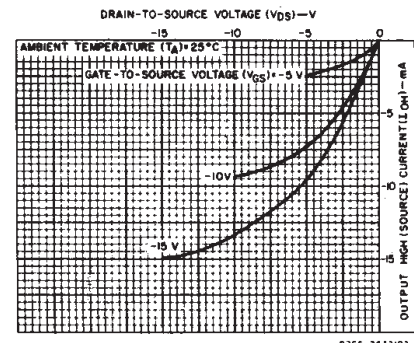


Fig. 5 — Minimum output high (source) current characteristics.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C; Input t_r, t_f = 20 ns, C_L = 50 pF, R_L = 200 KΩ

CHARACTERISTIC		CONDITIONS	LIMITS		UNITS
		V _{DD} (V)	Typ.	Max.	
Propagation Delay Time, t _{PLH} , t _{PHL}		5	140	280	ns
		10	65	130	
		15	50	100	
Transition Time, t _{THL} , t _{TLH}		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C _{IN}		Any Input	5	7.5	pF

CD4030B Types

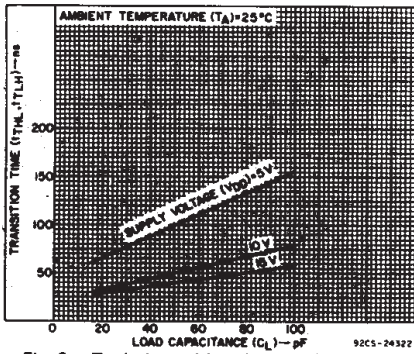


Fig. 6 - Typical transition time as a function of load capacitance.

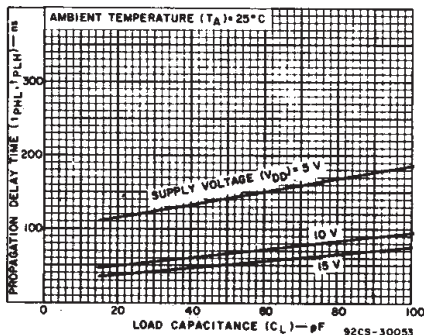


Fig. 7 - Typical propagation delay time as a function of load capacitance.

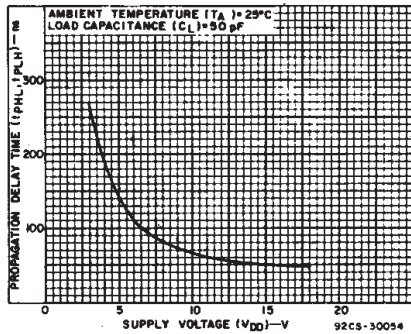


Fig. 8 - Typical propagation delay time as a function of supply voltage.

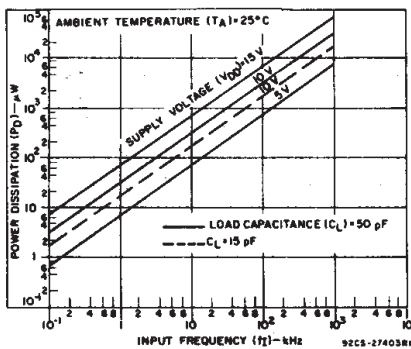


Fig. 9 - Typical dynamic power dissipation as a function of input frequency.

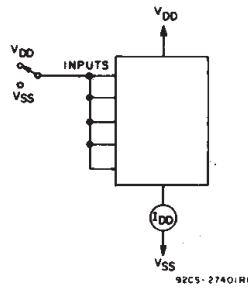


Fig. 10 - Quiescent device current test circuit.

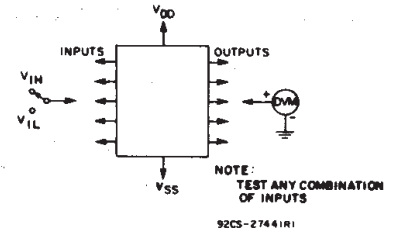


Fig. 11 - Input-voltage test circuit.

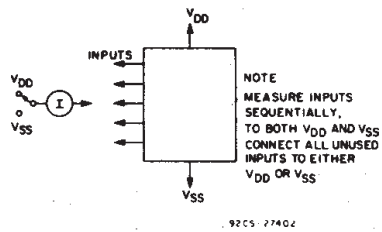


Fig. 12 - Input-current test circuit.

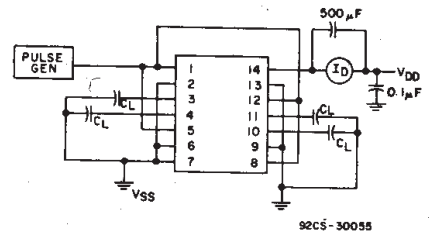
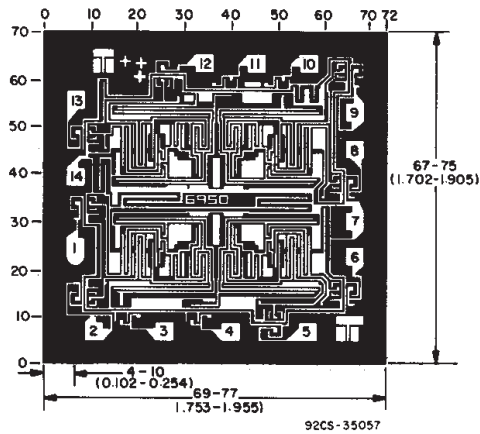


Fig. 13 - Dynamic power dissipation test circuit.



Dimensions and pad layout for CD4030BH.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

CD4073B, CD4081B, CD4082B Types

CMOS AND Gates

High-Voltage Types (20-Volt Rating)

CD4073B Triple 3-Input AND Gate

CD4081B Quad 2-Input AND Gate

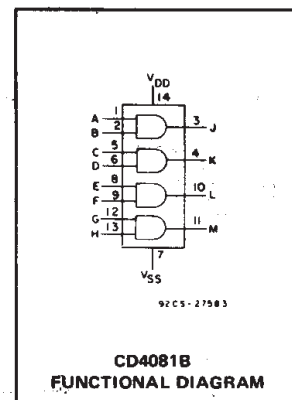
CD4082B Dual 4-Input AND Gate

■ CD4073B, CD4081B and CD4082B AND gates provide the system designer with direct implementation of the AND function and supplement the existing family of CMOS gates.

The CD4073B, CD4081B, and CD4082B types are supplied in 14-lead hermetic dual-in-line ceramic packages (F3A suffix), 14-lead dual-in-line plastic packages (E suffix), 14-lead small-outline packages (M, MT, M96, and NSR suffixes), and 14-lead thin shrink small-outline packages (PW and PWR suffixes).

Features:

- Medium-Speed Operation – t_{PLH} , $t_{PHL} = 60$ ns (typ.) at $V_{DD} = 10$ V
- 100% tested for quiescent current at 20 V
- Maximum input current of $1 \mu A$ at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range) =
 - 1 V at $V_{DD} = 5$ V
 - 2 V at $V_{DD} = 10$ V
 - 2.5 V at $V_{DD} = 15$ V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

Voltages referenced to V_{SS} Terminal) -0.5V to +20V

INPUT VOLTAGE RANGE, ALL INPUTS -0.5V to $V_{DD} + 0.5$ V

DC INPUT CURRENT, ANY ONE INPUT ± 10 mA

POWER DISSIPATION PER PACKAGE (P_D):

For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$ 500 mW

For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$ Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

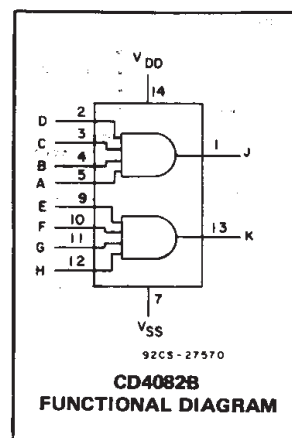
FOR $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$ 100 mW

OPERATING-TEMPERATURE RANGE (T_A) -55°C to $+125^\circ\text{C}$

STORAGE TEMPERATURE RANGE (T_{stg}) -65°C to $+150^\circ\text{C}$

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 \pm 1/32 inch (1.59 \pm 0.79 mm) from case for 10s max $+265^\circ\text{C}$



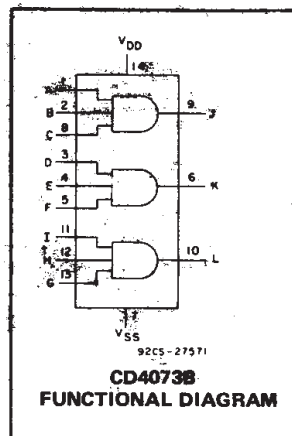
RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For $T_A = \text{Full Package Temperature Range}$)	3	18	V

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, Input $t_r, t_f = 20$ ns, and $C_L = 50$ pF, $R_L = 200$ k Ω

CHARACTERISTIC	TEST CONDITIONS	ALL TYPES LIMITS		UNITS	
		V _{DD} Volts	TYP.		MAX.
Propagation Delay Time, t _{PHL} , t _{PLH}		5	125	250	ns
		10	60	120	
		15	45	90	
Transition Time, t _{THL} , t _{TLH}		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C _{IN}	Any Input	—	5	7.5	pF



CD4073B, CD4081B, CD4082B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)					+25			
				-55	-40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	—	0,5	5	0.25	0.25	7.5	7.5	—	0.01	0.25	μA
	—	0,10	10	0.5	0.5	15	15	—	0.01	0.5	
	—	0,15	15	1	1	30	30	—	0.01	1	
	—	0,20	20	5	5	150	150	—	0.02	5	
Output Low (Sink) Current I _{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I _{OH} Min.	4.6	0,5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0,5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0,10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0,15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage: Low-Level, V _{OL} Max.	—	0,5	5	0.05				—	0	0.05	V
	—	0,10	10	0.05				—	0	0.05	
	—	0,15	15	0.05				—	0	0.05	
Output Voltage: High-Level, V _{OH} Min.	—	0,5	5	4.95				4.95	5	—	V
	—	0,10	10	9.95				9.95	10	—	
	—	0,15	15	14.95				14.95	15	—	
Input Low Voltage, V _{IL} Max.	0.5	—	5	1.5				—	—	1.5	V
	1	—	10	3				—	—	3	
	1.5	—	15	4				—	—	4	
Input High Voltage, V _{IH} Min.	0.5,4.5	—	5	3.5				3.5	—	—	V
	1,9	—	10	7				7	—	—	
	1.5,13.5	—	15	11				11	—	—	
Input Current I _{IN} Max.		0,18	18	±0.1	±0.1	±1	±1	—	±10 ⁻⁵	±0.1	μA

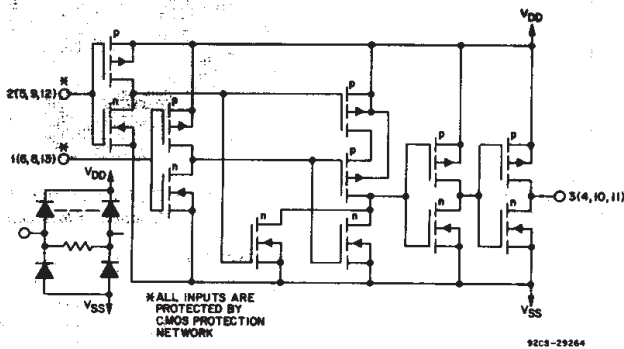


Fig. 1 — Schematic diagram for CD4081B (1 of 4 identical gates).

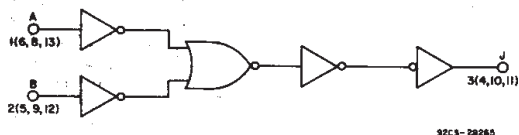


Fig. 2 — Logic diagram for CD4081B (1 of 4 identical gates).

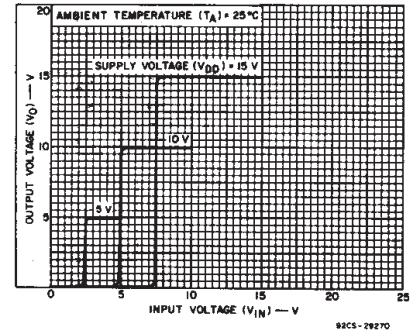


Fig. 3 — Typical voltage transfer characteristics.

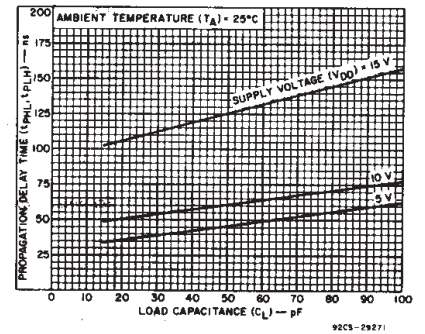


Fig. 4 — Typical propagation delay time as a function of load capacitance.

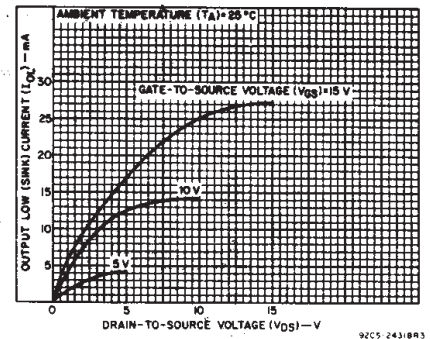


Fig. 5 — Typical output low (sink) current characteristics.

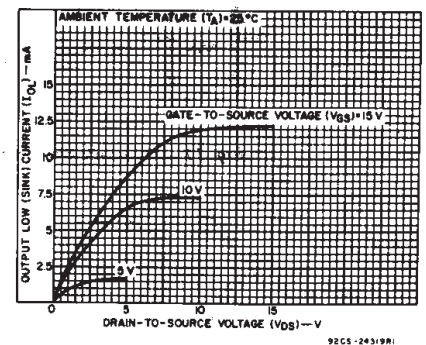


Fig. 6 — Minimum output low (sink) current characteristics.

CD4073B, CD4081B, CD4082B Types

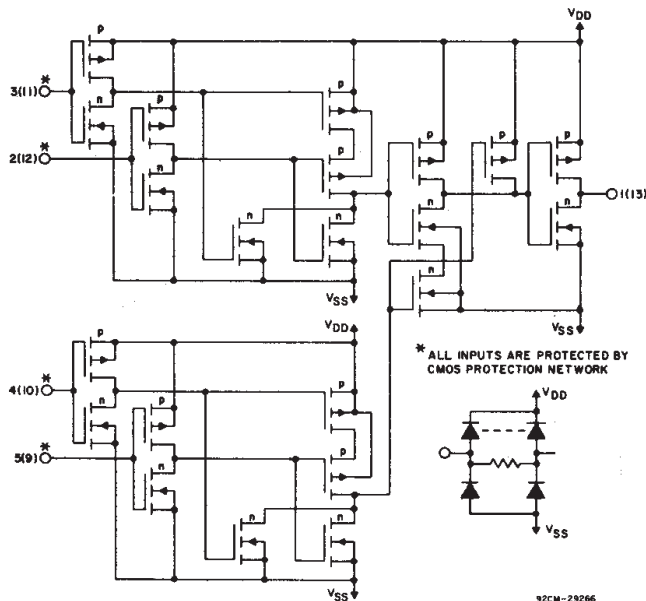


Fig. 7 — Schematic diagram for CD4082B (1 of 2 identical gates).

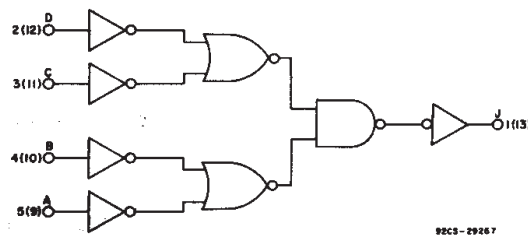


Fig. 9 — Logic diagram for CD4082B (1 of 2 identical gates).

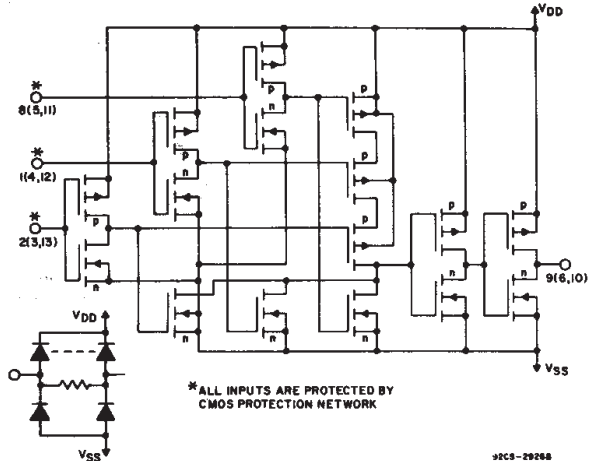


Fig. 11 — Schematic diagram for CD4073B (1 of 3 identical gates).

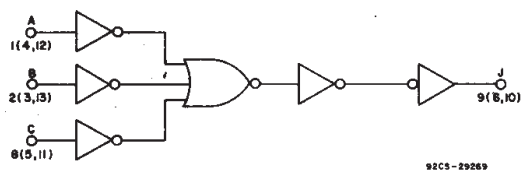


Fig. 13 — Logic diagram for CD4073B (1 of 3 identical gates).

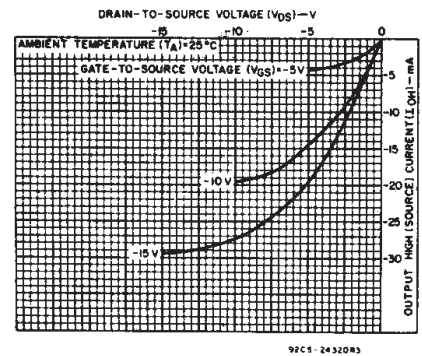


Fig. 8 — Typical output high (source) current characteristics.

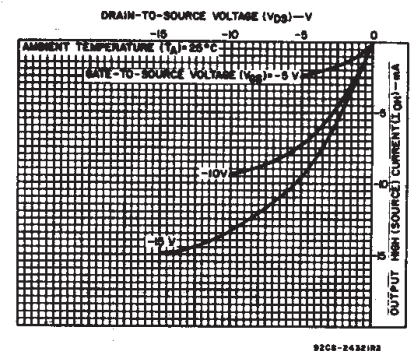


Fig. 10 — Minimum output high (source) current characteristics.

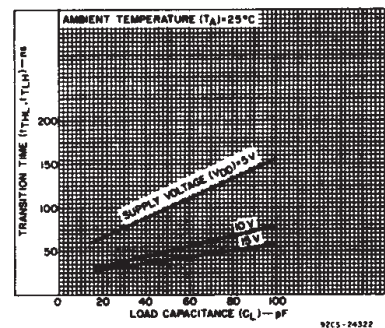


Fig. 12 — Typical transition time as a function of load capacitance.

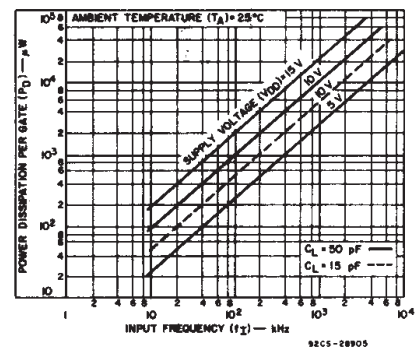


Fig. 14 — Typical dynamic power dissipation per gate as a function of frequency.

CD4073B, CD4081B, CD4082B Types

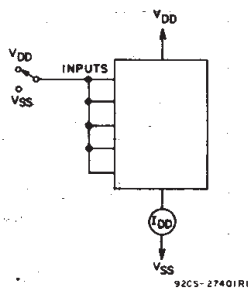


Fig. 15 - Quiescent device current test circuit.

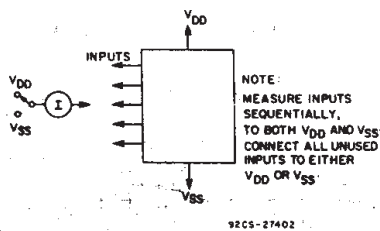


Fig. 16 - Input current test circuit.

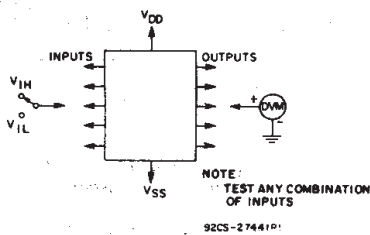
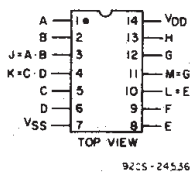
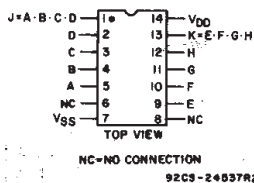


Fig. 17 - Input-voltage test circuit.

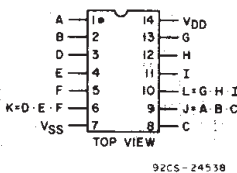
TERMINAL ASSIGNMENTS



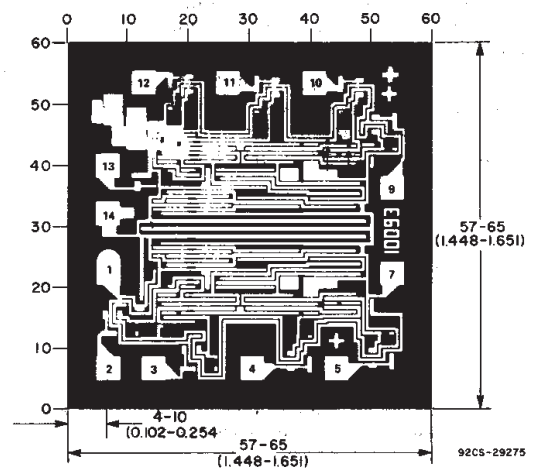
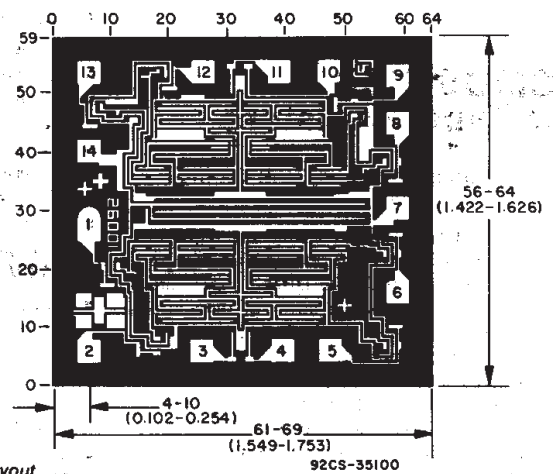
CD4081B



CD4082B



CD4073B



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

Chip dimensions and pad layout for CD4073B.

