

UART 通信

Document Version Control			
Version	Date	Author	Changes
1.0.0	2022.5.6	王雨霄	实现了 UART 通信协议
1.0.1	2022.8.28	王雨霄	添加 TCL 脚本（用于在 VIVADO 2021.2 中进行 IP 核导出）
1.1.0	2022.9.1	王雨霄	为发送端、接收端各自增添 16*8bits 内置 FIFO；修改 Testbench
1.1.1	2022.9.2	王雨霄	修改 FIFO 编码风格，使其能够被 VIVADO 综合为 RAM 实现；增设 FIFO 深度的自定义功能

一、功能概述

本设计对 UART 通信协议进行了 Verilog 实现，主要功能特性如下：

- 1、内含波特率发生器，能够在自定义的系统时钟频率下进行任意波特率通信（通信波特率时钟由系统时钟分频而来，使用者需根据波特率选取合适的系统时钟频率）；
- 2、支持 5、6、7、8 位数据位；
- 3、支持奇校验、偶校验、固定 0 校验、固定 1 校验、无校验；
- 4、支持 1 位、1.5 位、2 位停止位；
- 5、内含发送和接收 FIFO，FIFO 深度可自定义配置为 2^n ；
- 6、支持与 AXIS 接口进行连接；

二、接口概述

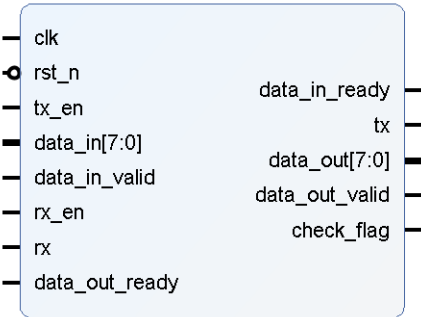


图 1. 模块接口

信号名称	功能
clk	系统时钟
rst_n	低电平异步复位信号
tx_en	发送模块使能信号（高电平有效，tx_en置0时，发送模块不工作）
data_in[7:0]	data_in[7:0]为FPGA端UART-TX的待发送数据；另外两个信号的功能参照AXIS接口定义
data_in_valid	
data_in_ready	
tx	FPGA端UART协议的TX发送口
rx_en	接收模块使能信号（高电平有效，rx_en置0时，接收模块不工作）
data_out[7:0]	data_out[7:0]为FPGA端UART-RX接收到的数据；另外两个信号的功能参照AXIS接口定义
data_out_valid	
data_out_ready	
check_flag	校验标志信号（当校验位存在且校验出错时，check_flag被拉高，data_out_valid可作为check_flag的有效标志）
rx	FPGA端UART协议的RX接收口

图 2. 接口功能表

三、 参数配置

1、 system_clk

设定系统时钟频率（单位 Hz）；例如系统时钟为 50M Hz 时，该参数设为 50000000。

2、 band_rate

设定串口通信波特率（单位 bits/s）；UART 通信的常用波特率有 9600、115200 等。

3、 data_bits

设定数据位的位宽（单位 bits），根据 UART 协议标准，该参数可在 5-8 取值。

本模块的对外数据接口 data_in、data_out 均为 8 bits 位宽，当实际传输的数据位位宽低于 8 bits 时，data_in、data_out 均采用低位有效的原则，例如当 data_bits=5 时，data_in、data_out 均按照如下格式传输数据：

bits	7	6	5	4	3	2	1	0
value	0	0	0	data				

图 3. 数据接口格式

4、 check_mode

设定校验模式：

- check_mode=0——无校验位；
- check_mode=1——偶校验位；
- check_mode=2——奇校验位；
- check_mode=3——固定 0 校验位（又称 Space 校验）；
- check_mode=4——固定 1 校验位（又称 Mark 校验）。

5、 stop_mode

设定停止位格式：

- stop_mode=0——1 位停止位；
- stop_mode=1——1.5 位停止位；
- stop_mode=2——2 位停止位。

6、 fifo_deepth

设定发送和接收 FIFO 的深度，该参数取值必须为 2^n，n 为任意正整数。

四、IP 核导出

1、双击运行 start.bat 脚本：

```
C:\Windows\system32\cmd.exe

*****FPGA Design Platform*****
Author : WangYuxiao
Email : wyxee2000@163.com
Version : V 1.0

Enter "1" for RTL Simulation Model
Enter "2" for Vivado Model
Enter "3" to exit
*****
```

2、在脚本弹出的命令窗中输入“2”，进入 VIVADO 模式：

```
C:\Windows\system32\cmd.exe

*****FPGA Design Platform*****
Author : WangYuxiao
Email : wyxee2000@163.com
Version : V 1.0

Enter "1" for RTL Simulation Model
Enter "2" for Vivado Model
Enter "3" to exit
*****
2

*****Vivado Model*****
Enter "1" to reset Vivado project
Enter "2" to creat Vivado project
Enter "3" to exit Vivado Model
*****
```

3、继续输入“2”，创建 VIVADO 工程并导出 IP：

UART					在 UART 中搜索	
	名称	修改日期	类型	大小		
	my_ip	2022/8/28 17:57	文件夹			
	project	2022/8/28 17:57	文件夹			
	sources	2022/8/28 17:55	文件夹			
	start.bat	2022/8/28 16:06	Windows 批处理...	3 KB		
	说明.docx	2022/8/28 17:54	Microsoft Word ...	111 KB		

导出的 IP 核即位于新生成的 my_ip 子文件夹中。

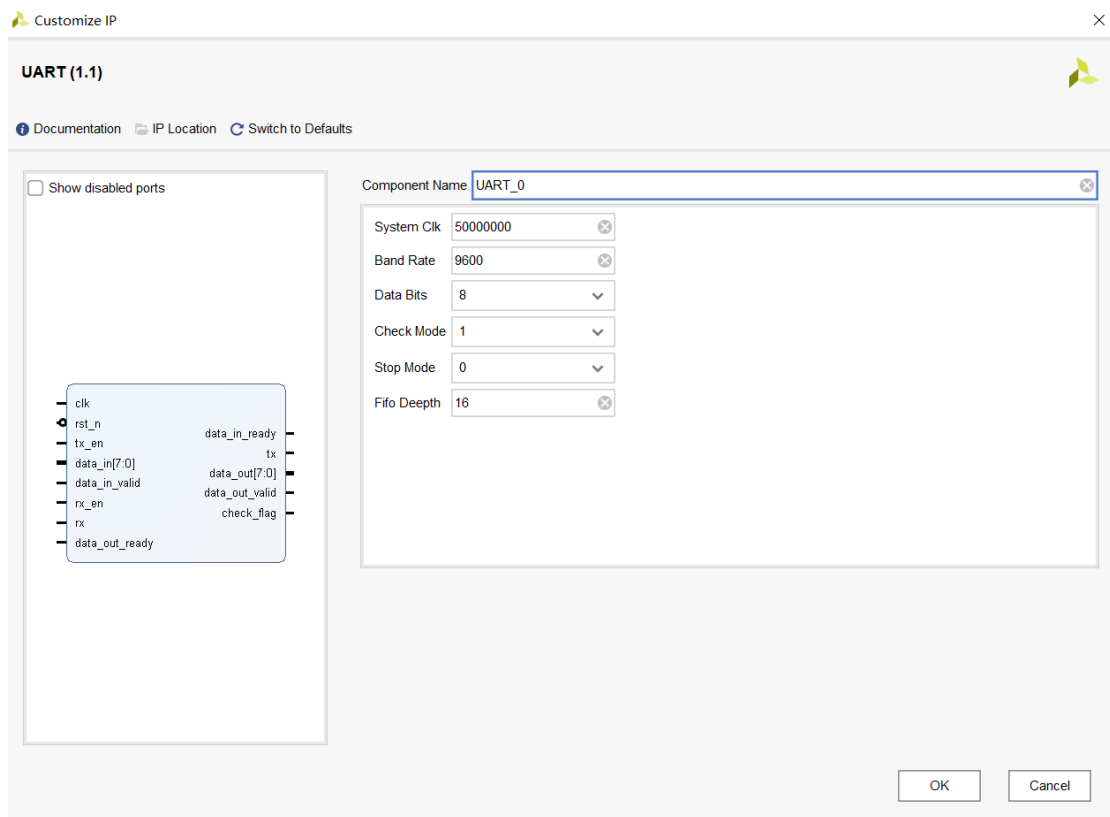


图 4. 将设计导出为 IP 核后的参数配置界面